

Deep Trench Filling 기술을 적용한 600 V급 Super Junction Power MOSFET의 최적화 특성에 관한 연구

이정훈¹, 정은식², 강이구^{1,a}

¹ 극동대학교 태양광공학과

² 메이플 반도체(주)

A Study on 600 V Super Junction Power MOSFET Optimization and Characterization Using the Deep Trench Filling

Jung-Hoon Lee¹, Eun-Sik Jung², and Ey-Goo Kang^{1,a}

¹ Department of Photovoltaic Engineering, Far East University, Chungbuk 369-700, Korea

² Maple Semiconductor, Incorporated, Bucheon 421-150, Korea

(Received March 20, 2012; Revised March 24, 2012; Accepted March 24, 2012)

Abstract: Power MOSFET(metal oxide silicon field effect transistor) operate voltage-driven devices, design to control the large power switching device for power supply, converter, motor control, etc. But on-resistance characteristics depending on the increasing breakdown voltage spikes is a problem. So 600 V planar power MOSFET compare to 1/3 low on-resistance characteristics of super junction MOSFET structure. In this paper design to 600 V planar MOSFET and super junction MOSFET, then improvement of comparative analysis breakdown voltage and resistance characteristics. As a result, super junction MOSFET improve on about 40% on-state voltage drop performance than planar MOSFET.

Keywords: Power device, Breakdown voltage, Deep trench, Super junction, MOSFET

1. 서론

Power MOSFET (metal oxide silicon field effect transistor) 소자는 전압 구동 방식으로 동작하는 소자이며, 큰 전력을 처리하기 위해 설계된 스위칭 디바이스로써 전원 공급 장치, 변환기, 모터 제어기 등에 널리 사용된다. 산업용 모터 구동에 사용되는 power MOSFET은 동작 상태에서 낮은 온 저항은 전력 공급의 손실은 줄여줌으로 효율을 높이고 결과적으로 저전력 구현을 가능하게 한다. 또한 스위칭 특성이 우수하며 입력 임피던스가 크기 때문에 구동

회로를 단순화할 수 있는 장점이 있다. 하지만 고전압 power MOSFET의 경우 고전압 특성 향상을 위해 항복 전압을 증가시키려면 드리프트 영역의 비저항과 두께를 증가시켜야 하며 따라서 온-저항 특성이 항복전압의 증가에 따라 급격히 증가하는 문제가 있다. 이에 600 V급 기준으로 고전압 특성을 가지면서도 기존 planar power MOSFET 대비 1/3 낮은 온-저항 특성을 가지는 super junction power MOSFET 기술로의 전환이 급격하게 이루어지고 있는 추세다. 본 논문에서는 고전압 power MOSFET에서 super junction MOSFET의 단위 셀의 상단부 구조가 일반적인 planar MOSFET의 게이트 구조와 거의 동일하므로 설계에 앞서 단위 cell 크기가 동일한 600 V

a. Corresponding author; keg@kdu.ac.kr

급 planar MOSFET를 설계하고 이 구조를 기반으로 600 V급 super junction MOSFET에 초점을 맞추어 설계하여 600 V급 planar MOSFET과 super junction MOSFET의 항복전압과 온 저항 상태의 특성 향상을 비교 분석하였다.

2. 실험 방법

2.1 Deep trench filling 기술을 이용한 super junction MOSFET 설계

Super junction MOSFET은 기존 planar power MOSFET의 P-body 밑에 P-pillar가 존재하여 드리프트 영역이 p/n/p/n/p.....의 구조를 갖는 소자이다. 드레인과 소스에 전압이 인가되면 p/n pillar 간의 공핍이 진행되며, 약 50 V의 전압에 의해 이 영역은 전하가 없는 유전체와 같은 특성을 띠게 된다. 즉, 드레인에 인가된 전압에 의해 p/n pillar의 전하는 서로 상쇄되며 완전히 전하가 제거되므로 드리프트 영역은 유전체와 같이 전하가 없는 상태가 된다. 이후 드레인 전압이 더욱 증가하면 flat한 전계 분포를 유지하면서 전반적인 전계 준위가 증가하여, 임계 전압에 이르면 애벌랜치가 발생한다. 전계의 적분이 전압이므로 전계 분포가 사각형 형태인 super junction MOSFET는 삼각형 형태인 기존의 planar MOSFET에 비해 더 높은 항복전압을 갖는다.

고전압 power MOSFET의 단위 셀의 단면 구조는 그림 1과 같고 이의 온-저항은 채널, JFET, N-드리프트 영역, 기판 영역의 성분으로 나눌 수 있다. 일반적인 고전압 소자의 항복전압은 그림 1의 왼쪽 그림에서 나타낸 것과 같이 게이트 전압이 소스 전압과 같을 때 드레인에 인가되는 전압에 의해 body (P-well)와 N-드리프트 영역 사이에 형성되는 공핍층에 의해 결정된다. 이와 같은 구조적 특성 때문에 N-드리프트 영역에서의 저항 성분은 다음 식과 같이 표현된다.

$$R_{N-drift} = \frac{4}{A\epsilon_S\mu_n} \cdot \frac{BV^2}{E_C^3} \quad (1)$$

이와 같이 N-드리프트 영역이 항복전압을 유지하기 위해서는 일정 이상의 두께와 농도를 유지해야 하므로 항복전압과의 관계 때문에 일정 이하의 저항 성분을 갖게 하는 것은 불가능하다. 따라서 N-드리프트

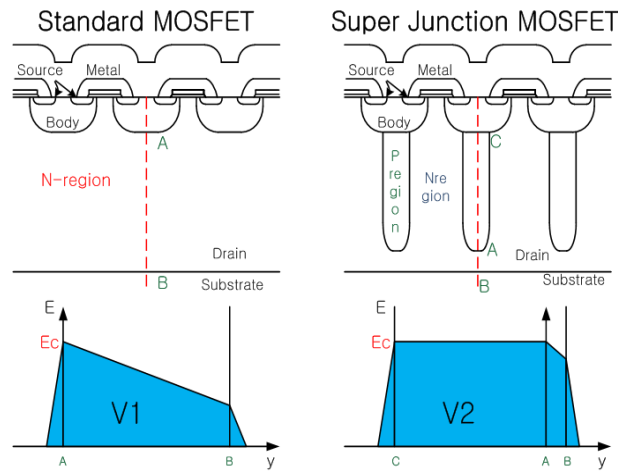


Fig. 1. Structure of planar power MOSFET and super junction power MOSFET, electric field when device have breakdown voltage.

영역의 온-저항 성분이 전체 온-저항 성분의 90%에 이르며 항복전압이 증가할수록 이와 같은 경향은 더욱 커지게 된다.

이에 항복전압과 온-저항 특성 간의 trade-off 관계를 극복하기 위해 그림 1의 오른쪽 그림과 같은 구조의 super junction MOSFET 구조가 제시되었다. 제시한 super junction 구조는 deep trench filling 기술을 이용하여 구현한데서 비롯되었다. 단위 셀의 상단부 구조는 일반적인 planar MOSFET의 구조와 거의 동일하지만 super junction의 특성을 얻기 위한 구조가 P-well 하단부의 드리프트 영역 내에 형성되어 있음을 알 수 있다.

이때 P-pillar (P-region) 내부의 전하량은 N-드리프트 영역의 전하량과 동일하여 드레인에 전압이 인가될 경우 일반적인 MOSFET는 수직 방향으로만 공핍층이 확장되는 것과 달리 수직 방향과 수평방향 모두 공핍층이 확장되게 된다. 이때 두 영역의 전하량은 동일하므로 N과 P 영역 모두 완전 공핍되게 되어 수직방향으로 전하가 존재하지 않으므로 수직 방향의 전계는 일정하게 된다.

2.2 600 V planar power MOSFET 설계

Super junction MOSFET는 단위 셀의 상단부 구조가 일반적인 planar MOSFET의 구조와 거의 동일하므로 super junction MOSFET의 설계에 앞서 super

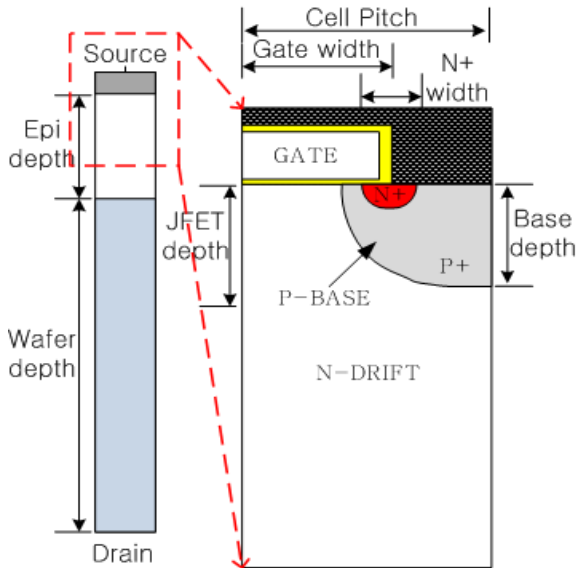


Fig. 2. Optimize 600 V planar power MOSFET.

Table 1. 600 V planar power MOSFET parameter.

Parameter	600 V/7 A
Cell Pitch	6.5 μm
Gate Width	4 μm
N+ Width	0.8 μm
JFET Depth	3.7 μm
P Base Depth	3.3 μm
N-Drift Epi Depth	43 μm
Wafer Depth	277 μm
Wafer resistivity	0.018 Ωcm
Epi resistivity	17 Ωcm
P+ Concentration	3.0×10^{15} @120 KeV cm^{-2}
N+ Source Concentration	5.0×10^{15} @100 KeV cm^{-2}
P Base Concentration	6.0×10^{13} @100 KeV cm^{-2}
N JFET Concentration	1.0×10^{12} @100 KeV cm^{-2}

junction MOSFET와 단위 cell 크기가 동일한 600 V 급 planar MOSFET를 설계하였다.

그림 2는 600 V 급 planar power MOSFET의 최종 설계 구조이다. 기본적인 planar power MOSFET 구조에서 시뮬레이션을 통하여 목표로 한 항복전압 600 V급 이상을 갖는 구조를 최종 설계하였으며 최적 파라미터 값을 표 1에 나타내었다.

600 V 급 planar power MOSFET의 동작 특성을 살펴보면, 다음 그림 3~5와 같다.

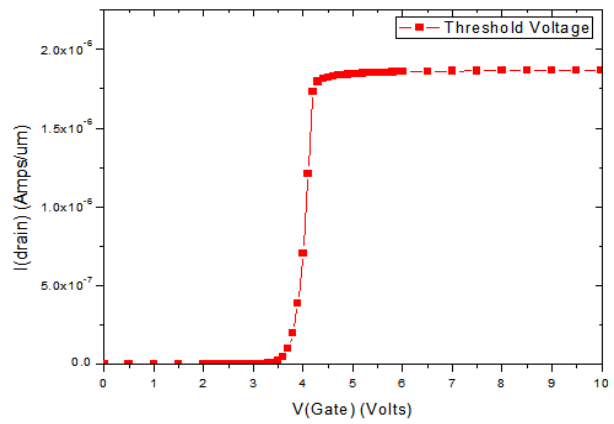


Fig. 3. 600 V planar power MOSFET ID-VG ($V_{th} = 3.9$ V).

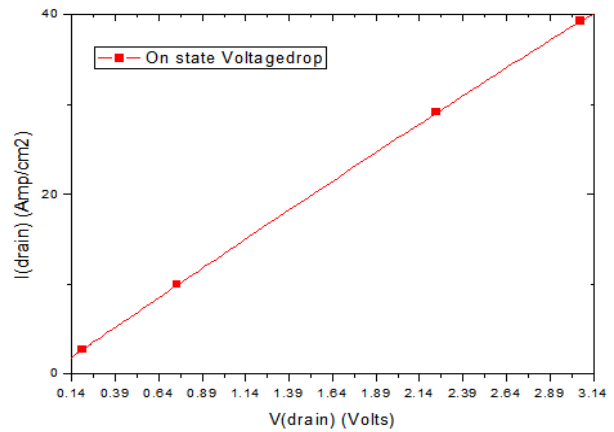


Fig. 4. 600 V planar power MOSFET ID-VD ($R_{DS(on)} = 78.5$ $\text{m}\Omega\text{cm}^2$ @40 A/cm^2).

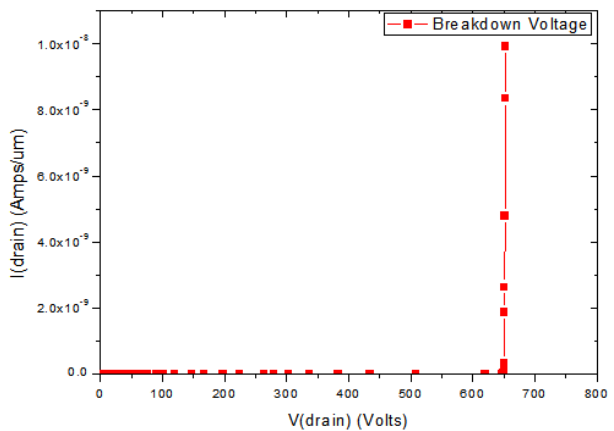


Fig. 5. 600 V planar power MOSFET ID-VD ($BV = 654$ V).

Table 2. 600 V planar power MOSFET character.

Vth	R _{DS(on)}	BV
3.9 V	78.5 mΩcm ²	654 V

이와 같이 600 V급 planar power MOSFET를 설계하여 임계전압 (threshold voltage) 3.9 V, R_{DS(on)}=78.5 mΩcm²@40 A/cm², 항복전압 654 V의 성능을 가지는 소자를 설계하였다.

2.3 600 V super junction MOSFET 설계

600 V super junction MOSFET의 최종 설계 구조는 앞서 설계한 planar power MOSFET의 구조에 deep trench filling 기술을 적용하여 진행하였다.

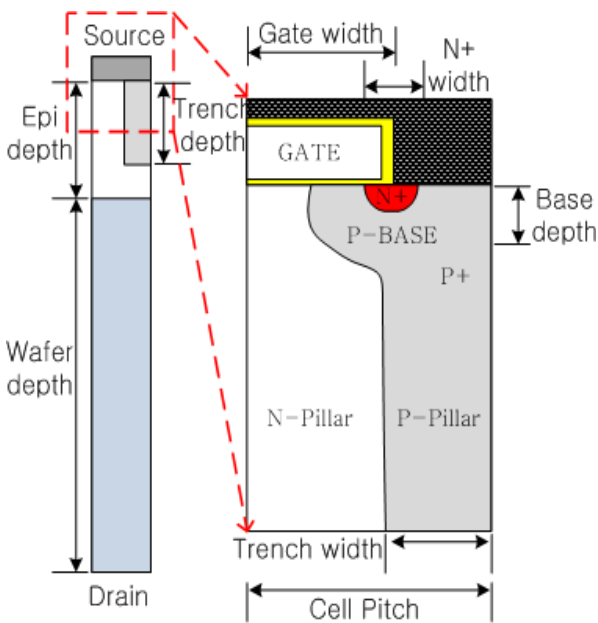


Fig. 6. Design 600 V super junction MOSFET.

Super junction MOSFET의 항복 전압은 pillar의 낮은 전하량을 사용할 경우 수평방향의 완벽한 공핍을 용이하게 얻을 수 있으나 낮은 온-저항을 얻기 위해서는 고농도의 pillar를 형성해야 한다.

동작특성에 끼치는 영향을 평가하기 위해서 N-pillar 농도와 P-pillar 농도를 표 3과 같이 p/n

Table 3. According to process p/n pillar change resistance BV and result of electrical properties.

N-pillar resistivity	N-pillar dose	P-pillar resistivity	P-pillar dose
1.2	4.0 ¹⁵	1.9	7.64 ¹⁵
1.25	3.90 ¹⁵	1.95	7.31 ¹⁵
1.3	3.74 ¹⁵	2.05	7.02 ¹⁵
1.35	3.59 ¹⁵	2.15	6.74 ¹⁵
1.4	3.46 ¹⁵	2.2	6.50 ¹⁵

N-pillar resistivity	Vth	Ron(40 A/) mohm*cm ²	BV(V)
1.2	4.2	20.375	723
1.25	4.1	21.25	752
1.3	3.6	22.25	758
1.35	3.6	22.75	770
1.4	4	23.75	787

Table 4. Optimize 600 V super junction MOSFET parameter.

Parameter	600 V/7 A
Cell Pitch	6.5 μm
Gate Width	4 μm
N+ Width	1.3 μm
P Base Depth	2.64 μm
N-Drift Epi Depth	59 μm
P-pillar Depth	44 μm
P-pillar Width	5 μm
Wafer Depth	255 μm
Wafer resistivity	0.018 Ωcm
P+ Base	3.0 ¹⁵ (Energy 160 KeV) cm ⁻²
N+ Source	1.0 ¹⁶ (Energy 110 KeV) cm ⁻²
P Base	6.5 ¹³ (Energy 80 KeV) cm ⁻²
N Pillar resistivity	1.30 Ωcm
P Pillar resistivity	2.02 Ωcm
Trench Angle	89.5°
N JFET dose	1.0 ¹² (Energy 100 KeV) cm ⁻²
P pillar Bottom dose	4.5 ¹² (Energy 100 KeV) cm ⁻²

pillar 비저항 변화와 BV (breakdown voltage) 및 전기적 특성 변화를 시뮬레이션하였다.

시뮬레이션 결과 N-pillar 농도 3.74¹⁵, P-pillar 농도 7.02¹⁵로 도핑하였을 때 이상적인 동작 상태를 보였고 동작특성 값은 표 5에 나타내었고 이때의 파라미터 값은 표 4와 같다.

600 V super junction MOSFET의 동작 특성을 살펴보면, 다음 그림 7~9와 같다.

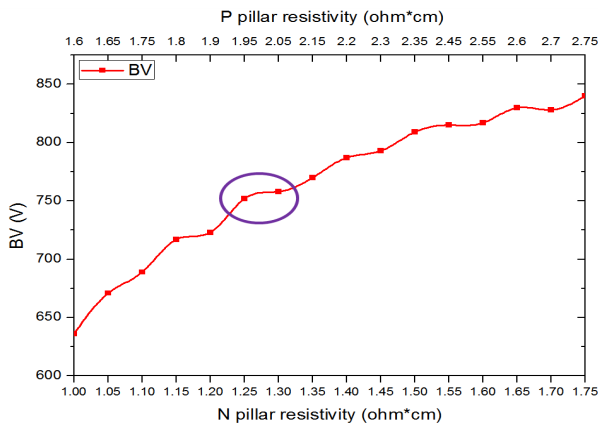


Fig. 7. According to split p/n pillar resistance 600 V super junction MOSFET BV.

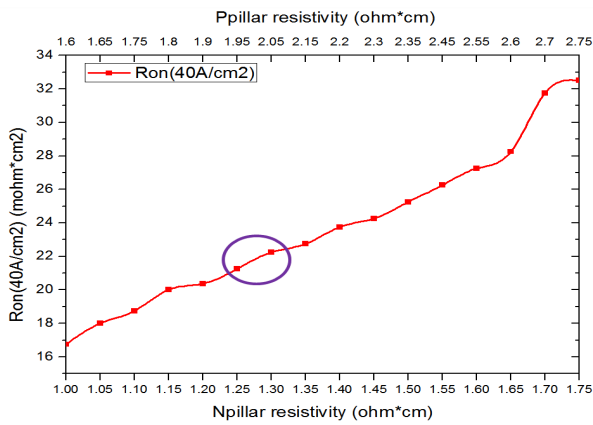


Fig. 8. According to split p/n pillar resistance 600 V super junction MOSFET on-state voltage drop.

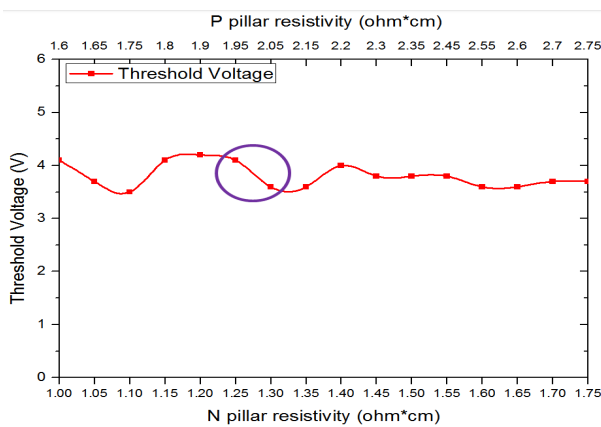


Fig. 9. According to split p/n pillar resistance 600 V super junction MOSFET Vth result.

Table 5. Character of 600 V planar power MOSFET.

Vth	R _{DS(on)}	BV
3.6 V	22.25 mΩcm ²	758 V

그림 7~9는 p/n-pillar 비저항 split을 통한 600 V super junction MOSFET의 BV, on-state voltage drop, Vth 시뮬레이션 결과를 그래프로 나타낸 것이다. 600 V급 planar power MOSFET 보다 높은 동작 특성을 보이는 것을 확인할 수 있다.

3. 결과 및 고찰

Super junction 구조의 p/n pillar의 비저항 조건을 split하여 전하균형을 이루는 최적 조건을 통해 최적의 온-저항 특성을 찾고자 하였다. 시뮬레이션을 통해 p/n pillar의 비저항 (도즈량)에 따른 항복전압, 온-저항, 임계전압 (Vth)를 확인하였으며 600 V급 super junction MOSFET 제작을 위한 p/n pillar 비저항의 최적 조건 결과 값과 앞서 설계했던 600 V급 planar power MOSFET의 breakdown voltage, on-state voltage drop, Vth 결과 값을 비교하였다.

최종적으로 설계한 600 V급 super junction MOSFET과 앞서 설계했던 600 V급 planar power MOSFET의 동작 특성을 비교한 결과 super junction MOSFET이 breakdown voltage은 약 104 V, on-state voltage drop이 약 56.25 mΩcm², Vth는 약 0.3 V 차이의 높은 동작 특성을 보이는 것을 알 수 있다.

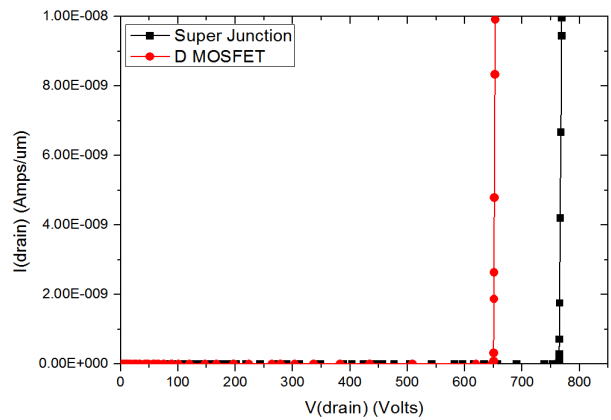


Fig. 10. 600 V super junction MOSFET ID-VD result (breakdown voltage).

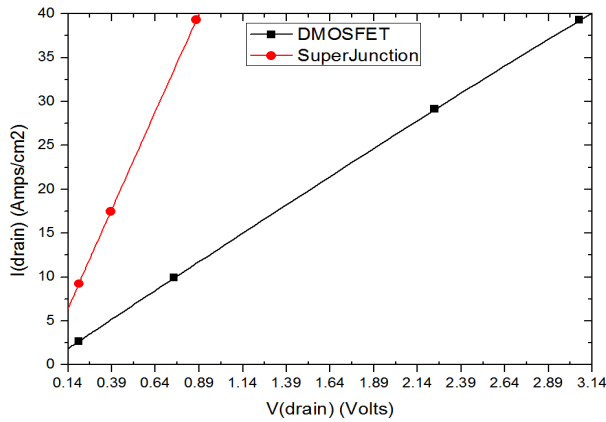


Fig. 11. 600 V super junction MOSFET ID-VD result (on-state voltage drop).

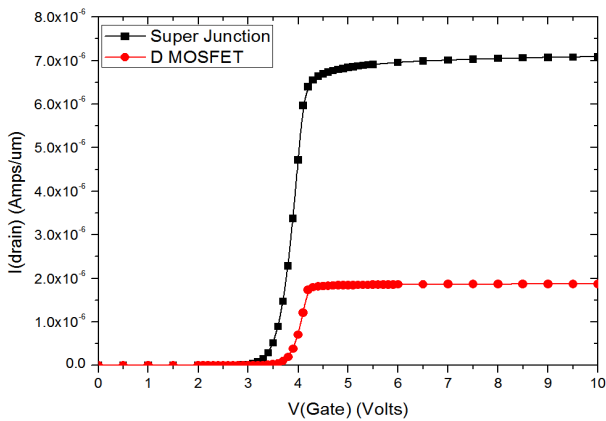


Fig. 12. 600 V super junction MOSFET ID-VD result (Vth).

Table 6. Character of 600 V super junction MOSFET and 600 V planar MOSFET.

	Super Junction MOSFET	Planar MOSFET
Breakdown voltage	758 V	654 V
On-state voltage drop	22.25 mΩcm ²	78.5 mΩcm ²
Threshold voltage	3.6 V	3.9 V

4. 결론

본 논문에서는 낮은 온 저항과 높은 항복전압을 얻기 위해 600 V급 planar MOSFET과 super junction MOSFET을 설계하여 동작 특성을 비교 분석하였다. 공정 조건 중에서 super junction 구조의 p/n pillar의 비저항 조건을 split하여 전하균형을 이루는 최적 조건을 통해 최적화 시뮬레이션을 진행하여 p/n pillar의 비저항 (도즈량)에 따른 항복전압, 온-저항, 임계전압 (Vth)를 확인하였으며 600 V급 super junction MOSFET 설계를 위한 p/n pillar 비저항의 최적 조건을 도출하였다. 결과적으로 600 V급 planar MOSFET 보다 super junction MOSFET 소자로 저전력 구현이 가능하고 전압 인가 시, 보다 더 높은 동작특성을 보이는 것을 확인하였다.

감사의 글

본 논문은 충청광역시권 선도사업 및 2012년 이공계 서포터즈 사업으로 수행된 연구결과입니다.

REFERENCES

- [1] E. G. Kang and M. Y. Sung, *J. KIEEME*, **15**, 758 (2002).
- [2] T. J. Nam, H. S. Chung, and E. G. Kang, *J. KIEEME*, **24**, 713 (2011).
- [3] M. Alvino, A. Paul, Bates, and David, *Electronic Principles* (McGraw-Hill College, 2006) p. 551.
- [4] Gates, Earl D., *Introduction to Electronics* (Delmar, California, 2001) p. 314.
- [5] S. S. Kyoung, J. H. Seo, Y. H. Kim, J. S. Lee, E. G. Kang, and M. Y. Sung, *J. KIEEME*, **22**, 12 (2009).
- [6] H. S. Lee, E. G. Kang, A. R. Shin, H. H. Shin, and M. Y. Sung, *KIEE*, **7**, 1406 (2006).
- [7] W. H. Hayt Jr., *Engineering Electromagnetics*, (McGraw-Hill, USA, 2005) p. 230.