

Hybrid 8T SRAM 설계 방법에 관한 연구

A Study on the Design Methodology for Hybrid 8T SRAM

조근호[★]
Geunho Cho[★]

Abstract

As the production process for silicon-based integrated circuits approaches physical limits, a lot of attention is focused on the new semiconductor materials to overcome these problems. Carbon NanoTubes(CNTs) are attracting a lot of interest as one of the most competitive materials with excellent electrical transport and scaling properties, and CNTFETs using CNTs are gaining popularity as next-generation semiconductor devices. However, since the technology to place CNTs in a certain direction and interval on the wafer is not yet mature enough, it is difficult to construct all necessary circuits with CNTFET only. So, there is increasing interest in a hybrid configuration using MOSFET and CNTFET together. Because SRAM plays a role as a cache in microprocessors and is a critical circuit block influencing microprocessor performance, research to implement existing SRAM in a hybrid form is steadily progressing. Therefore, in this paper, we will explain the design method of hybrid 8T SRAM based on the existing hybrid 6T SRAM and discuss the performance difference between the two circuits.

요약

실리콘 기반 집적회로의 제조 공정이 물리적 한계에 가까워짐에 따라 이를 극복하기 위한 반도체 물질에 많은 관심이 집중되고 있다. 탄소나노튜브(CNT)는 우수한 전기 수송 및 스케일링 특성을 가진 가장 경쟁력 있는 소재 중 하나로 많은 관심을 받고 있으며, 이러한 CNT를 활용한 CNTFET은 차세대 반도체 소자로 많은 인기를 얻고 있다. 하지만, CNT를 웨이퍼 위에 일정한 방향과 간격으로 배치시키는 기술이 아직 충분히 성숙하지 않아 CNTFET만으로 필요한 모든 회로를 구성하기에는 어려움이 있다. 따라서, MOSFET과 CNTFET을 함께 사용하는 hybrid 구성에 관심이 커지고 있다. SRAM은 마이크로프로세서에서 캐시 역할을 하며 마이크로프로세서 성능에 중요한 영향을 미치는 회로블록이기 때문에 기존 SRAM을 hybrid 형태로 구현하고자 하는 연구가 꾸준히 진행되고 있다. 따라서, 본 논문에서는 기존의 hybrid 6T SRAM을 기반으로 hybrid 8T SRAM 디자인 방법에 대해 설명하고 두 회로 사이의 성능차에 대해 논의하고자 한다.

Key words : MOSFET, CNTFET, SRAM, Hybrid, Carbon Naboutube

* Department of Electronic Engineering, Seokyeong University

★ Corresponding author

E-mail : choroot@skuniv.ac.kr, Tel : 02-940-7730

※ Acknowledgment

This Research was supported by Seokyeong University in 2024.

The EDA tool was supported by the IC Design Education Center(IDEC), Korea

Manuscript received Aug. 9, 2024; revised Sep. 9, 2024; accepted Sep. 19, 2024.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

1. 서론

MOSFET과 같은 기존 실리콘 기반 반도체 소자의 스케일링이 근본적인 한계에 다다름에 따라 반도체 연구자들은 이를 극복하기 위한 새로운 반도체 물질에 많은 관심을 가지게 되었다. 다양한 반도체 후보 물질 중, Carbon NanoTube(CNT)는 최소 단채널 효과, 높은 이동성, 그리고 높은 구동 전류와 같은 다양한 장점을 가지고 있어, 반도체 연구자들은 이를 활용한 Carbon NanoTube Field Effect Transistor(CNTFET)에 높은 관심을 갖게 되었다. CNTFET에서 CNT는 소스(source)와 드레인(drain) 사이의 채널 통로로 활용됨에 따라 기존 실리콘 기반 트랜지스터보다 약 5배의 성능향상을 확보할 수 있

음이 알려지면서 이를 활용한 고성능 집적 회로에 많은 관심이 집중되고 있다. 하지만, 이러한 CNTFET을 활용하기 위해서는 높은 순도의 CNT를 반도체 웨이퍼 위에 일정한 방향과 간격으로 배치시켜야 하는데 아직 관련 기술이 충분히 성숙되지 않아 현재 상용화에 어려움을 겪고 있다[1][2][3][4].

Static Random Access Memory(SRAM)은 마이크로프로세서에서 캐시(cache)를 구성한다. 캐시는 마이크로프로세서와 메인 메모리 사이에서 자주 사용하는 데이터를 고속으로 제공하는 버퍼 역할을 하고 마이크로프로세서 전체 면적의 90%를 차지한다. 현재 SRAM 역시 MOSFET과 같은 실리콘 기반 반도체 소자로 만들어지고 있으나 지속적인 스케일링으로 단채널 효과와 누설 전류와 같은 부작용이 생기게 되었다. 이를 극복하기 위한 방안으로 CNTFET을 활용하는 방안이 관심을 가지게 되었으나, 앞서 언급한 바와 같이, CNTFET 공정 기술이 충분히 성숙하지 않아 모든 회로블록에 CNTFET을 적용하기에는 어려움이 있다. 그러나 메모리의 한 종류인 SRAM은 마이크로프로세서 안에서 일정한 간격으로 반복적으로 배치되는 특성을 가지고 있어 아직 성숙하지 않은 CNTFET 공정에 덜 영향을 받을 수 있는 가능성이 높다고 볼 수 있다. 더욱이, CNTFET은 MOSFET과 함께 하나의 반도체 칩 안에 함께 존재하는 hybrid 구조를 가질 수 있기 때문에 회로 블록의 역할에 따라 CNTFET과 MOSFET을 적절히 배치하고 활용할 수 있다면 CNTFET과 MOSFET 각각의 단점을 보완하고 장점을 극대화 할 수 있는 가능성이 있다. 일반적으로 SRAM은 6개의 트랜지스터로 구성되어 있어 이를 6T SRAM이라고 불리운다. 하지만, 6T SRAM에도 단점은 존재하여 이를 극복하기 위해 트랜지스터의 숫자를 늘리거나 배선의 숫자를 늘리는 등 다양한 방법을 시도하고 있으나, 하나의 SRAM 셀에 트랜지스터나 배선의 수를 늘리면 전체 캐시의 면적을 급격하게 증가시킬 수 있어 신중하게 접근해야 한다. 왜냐하면 앞서 언급 언급한 바와 같이 이미 마이크로프로세서에서 SRAM은 많은 면적을 차지하고 있기 때문이다[5]-[12].

따라서, 본 논문에서는 기존의 6T SRAM의 성능을 향상시키고 단점을 보완하기 위한 hybrid 8T SRAM 디자인 방법에 대해 논의하고자 한다. 이를 위해 기존 MOSFET 8T SRAM 디자인을 참고하고 hybrid 6T SRAM 디자인 방법을 활용하여 hybrid 8T SRAM을 디자인 방법에 대해 논의하고자 한다. 이후 hybrid 8T SRAM의 성능을 기존 hybrid 6T hybrid SRAM과 성능과 비교하여 그

성능 향상 정도를 논의하고자 한다. 이를 위해 동일한 gate length를 갖는 32nm MOSFET 라이브러리 파일과 32nm CNFET 라이브러리 파일을 사용하였다[12]-[15].

II. 본론

1. Hybrid SRAM

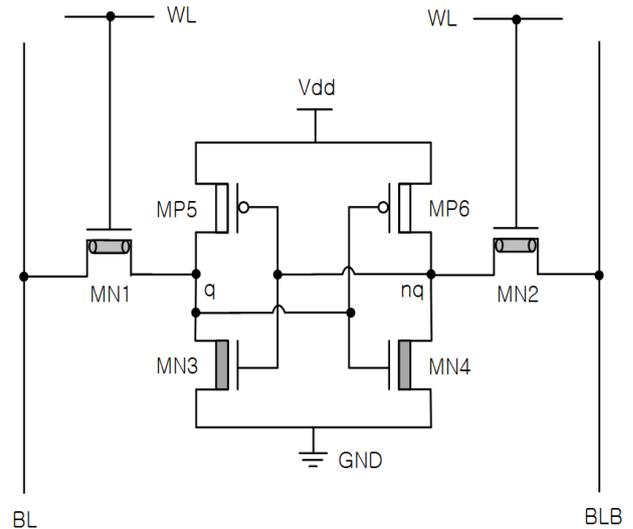


Fig. 1. Conventional Hybrid 6T SRAM [12].

그림 1. 기존 hybrid 6T SRAM [12]

그림 1은 [12]에서 제안한 hybrid 6T SRAM을 보여 주고 있다. MOSFET으로만 구성된 기존 6T SRAM 구조를 기반으로 읽기/쓰기 성능을 향상시키고 CNTFET 공정편차에 강건한 구조를 갖기 위해 데이터 저장부(MN3, MN4, MP5, 그리고 MP6)는 기존 실리콘 기반 MOSFET으로 구성하고 데이터 저장부와 비트 라인(BL과 BLB)을 연결하는 부분(MN1과 MN2)은 CNTFET으로 구성하였다. 이와 같은 구조를 도식적으로 표현하기 위해 그림 1에서 CNTFET은 CNT를 상징하는 원기둥을 CNTFET 안에 배치하였고, 각 트랜지스터의 채널이 NFET인 경우 회색으로 그리고 PFET인 경우 하얀색으로 각각 표현하였다. 이러한 구성의 변화로 hybrid 6T SRAM은 CNTFET으로만 이루어진 6T SRAM 보다 쓰기 지연에서 약 3배의 감소 그리고 쓰기 전력에서 약 2배의 감소가 있었지만 읽기 전력은 약 20배 정도 증가하였다. 두 모델에서 읽기 지연에는 큰 차이가 없었지만, 두 회로 각각 읽기 지연과 쓰기 지연 사이에는 큰 차이(약 3배 그리고 약 10배)가 있었다[12][13].

따라서, 본 논문에서는 hybrid 6T SRAM의 읽기 지연을 줄여 hybrid 6T SRAM의 읽기 성능을 향상시키

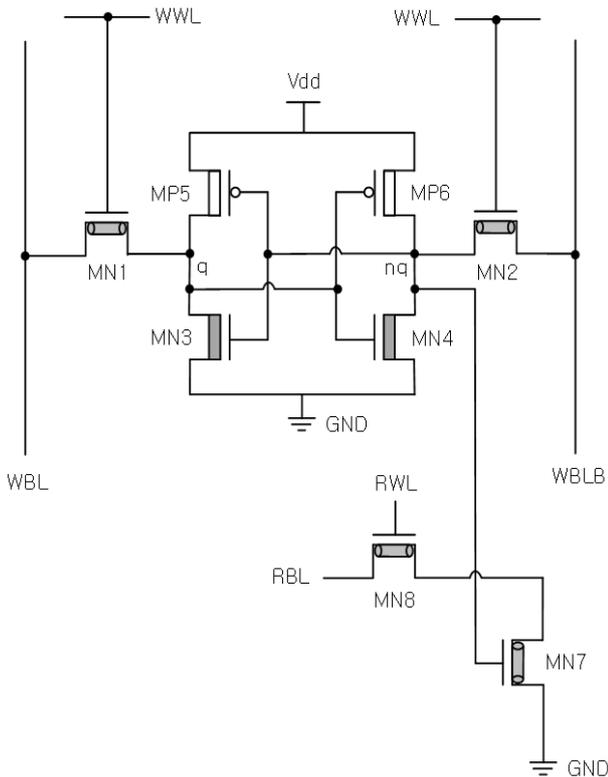


Fig. 2. Proposed Hybrid 8T SRAM.
그림 2. 제안하는 hybrid 8T SRAM 셀

고, 읽기 지연과 쓰기 지연 사이의 시간차를 줄이고자 한다. 이를 위해 기존 6T SRAM에 읽기 동작을 위한 트랜지스터(MN7과 MN8)와 비트 라인(RBL과 RWL)을 추가한 8T SRAM을 활용하고자 한다. 8T SRAM은 MOSFET 그리고 CNTFET를 활용한 설계에 있어서 오랫동안 언급되어 왔던 회로로서, 본 논문에서의 8T SRAM이 기존 8T SRAM과 달라진 점이 있다면 MN1 그리고 MN2와 더불어 MN7과 MN8 역시 MOSFET이 아닌 CNTFET으로 구성했다는 점이다. 이를 본 논문에서는 hybrid 8T SRAM으로 부를 예정이며 이를 그림 2와 같이 도시하였다[5]-[12].

앞서 언급한 바와 같이 이미 SRAM은 마이크로프로세서에서 큰 면적을 차지하고 있어 현 상황에서 추가로 각 SRAM 셀의 트랜지스터와 배선 수를 늘리는 방안은 신중을 기해야 한다. 하지만, 일반적으로 MOSFET과 CNTFET은 다른 층에 배치될 수 있고 MOSFET 공정과 CNTFET 공정을 층별로 분리할 수 있는 장점이 있기 때문에 이러한 트랜지스터 수와 배선의 수를 증가를 증가시키는 방법은 마이크로프로세서 전체 면적의 증가에 큰 영향을 미치지 않는다고 볼 수 있다. 무엇보다 읽기 지연을 줄여야 하는 현 시점에서 MOSFET보다 성능

Table 1. Read Delay, Power, and PDP of Hybrid 6T SRAM and Hybrid 8T SRAM depending on MN7 & MN8 gate width.

표 1. Hybrid 6T SRAM 그리고 Hybrid 8T SRAM의 읽기 지연, 전력, 그리고 PDP

	MN7 & MN8 gate width (nm)	Read Delay (ps)	Read Power (uW)	Read PDP (aj)
Hybrid 6T SRAM [12]	N/A	104.00	0.080	8.31
Hybrid 8T SRAM	32	155.70	0.030	4.61
	64	90.42	0.031	2.76
	96	66.54	0.030	1.97
	128	54.89	0.030	1.67
	160	46.39	0.027	1.26
	192	53.32	0.029	1.52
	224	49.41	0.030	1.48
	256	46.86	0.029	1.36
	320	42.24	0.030	1.28

이 뛰어난 CNTFET을 면적과 공정에 대한 적은 부담으로 도입할 수 있는 점은 긍정적으로 평가할 만하다고 볼 수 있다[16].

Table 2. Write Delay, Power, and PDP of Hybrid 6T SRAM and Hybrid 8T SRAM depending on MN7 & MN8 gate width.

표 2. Hybrid 6T SRAM 그리고 Hybrid 8T SRAM의 쓰기 지연, 전력, 그리고 PDP

	MN7 & MN8 gate width (nm)	Write Delay (ps)	Write Power (uW)	Write PDP (aj)
Hybrid 6T SRAM [12]	N/A	11.70	0.752	8.80
Hybrid 8T SRAM	32	11.98	0.809	9.69
	64	12.25	0.868	10.64
	96	12.53	0.927	11.62
	128	12.81	0.990	12.69
	160	13.09	1.055	13.81
	192	13.38	1.122	15.01
	224	13.67	1.189	16.25
	256	13.96	1.257	17.55
	320	14.29	1.326	18.95

설계적인 측면에서 볼 때, 이미 6T SRAM의 트랜지스터 사이즈가 결정되어 있다면, 8T SRAM의 트랜지스터 사이즈 결정은 설계 측면에서 편리함을 제공한다. 일반적으로, SRAM에 저장된 데이터를 읽을 때 SRAM 셀에 저장된 값이 변하지 않도록 MN4/MN2 사이즈를 결정해야 한다. 즉, SRAM에 저장된 데이터 값(예를 들어, 그림 1의 $q=0.9V$ 그리고 $nq=0V$ 일 때)을 읽기 위해 비트 라인(그림 1의 BL과 BLB)이 $0.9V$ 로 충전되고, SRAM의 저장부와 비트 라인을 연결할 때(즉, WL이 $0.9V$ 가 될 때), 'nq'의 전압값이 MOSFET의 문턱 전압값 $0.18V$ 보다 높아지게 되면 저장부에 저장된 데이터가 변하게 될 수 있다. 이를 막기 위해 MN4/MN2 사이즈를 최적화해야 하지만 8T SRAM의 경우, 그림 2와 같이 읽기 nq 지점이 MN7의 게이트(gate)에 연결되어 있고, 비트 라인(RBL)과는 MN8로 분리되어 있어 읽기 동작 중 RBL의 전하가 nq에 영향을 미칠 가능성이 매우 낮고 시뮬레이션으로도 읽기 동작 중에 nq의 값이 거의 변화가 없음을 확인하였다. 다음으로 MP5/MN1 사이즈에 대해 논의하면, SRAM에 데이터를 저장할 때, 'q'의 전압값이 MOSFET의 문턱전압보다 낮을 수 있도록 MP5/MN1 사이즈를 결정해야 한다. 하지만, 그림 2와 같이 쓰기 동작이 이루어질 때, 'nq'는 MN7의 게이트에 연결되어 있어 'nq'는 RBL과 분리되어 있다. 따라서, hybrid 8T SRAM은 쓰기 동작 중에 하나의 독립적인 hybrid 6T SRAM처럼 동작한다고 해도 큰 무리가 없다고 볼 수 있으며 시뮬레이션 값을 체크해 보았을 때 hybrid 6T SRAM에서 MP5/MN1에 따른 'q'의 값의 변화와 거의 동일한 값을 확인하였다. 따라서 본 논문에서는 MN7과 MN8을 제외한 hybrid 8T SRAM의 트랜지스터 사이즈는 hybrid 6T SRAM의 사이즈와 동일한 사이즈를 사용하고자 한다 [12][17].

2. 시뮬레이션 결과

앞서 논의한 hybrid 8T SRAM 디자인 방법을 고려할 때, hybrid 8T SRAM의 MN1, MN2, MN3, MN4, MP5, 그리고 MP6의 사이즈는 hybrid 6T SRAM의 사이즈를 그대로 활용하고 MN7과 MN8의 사이즈를 최적화하면 됨을 알 수 있었다. 본 논문에서는 읽기 지연을 최소화하는 것이 목표이고 일반적으로 MN7과 MN8의 사이즈를 증가하며 읽기 지연 시간을 줄이고자 한다. 표 1은 MN7과 MN8의 사이즈를 10배 증가하는 과정에서 읽기 지연(Read Delay), 읽기 전력(Read Power), 그리고 읽기 전력지연곱(Read Power Delay Product,

Read PDP) 값의 변화를 보여주고 있다. 표 1로부터 읽기 지연, 읽기 전력, 그리고 읽기 PDP는 최대 2.737배, 2.850배, 그리고 7.791배 감소되었음을 알 수 있고, 이 때, 쓰기 지연, 쓰기 전력, 그리고 쓰기 PDP는 1.221배, 1.763배, 그리고 2.154배 증가하였음을 알 수 있다. 즉, 읽기 성능 개선을 위해 MN7 그리고 MN8이 추가되었고, 이 두 트랜지스터를 통해 읽기 신호가 좀 더 빠르게 처리될 수 있어 읽기 성능이 크게 향상될 수 있지만, 두 트랜지스터는 쓰기 구동에서는 전혀 사용되지 않고 내부 캐패시턴스만 증가시키기 때문에 쓰기 성능은 오히려 악화시키는 단점이 있다. 하지만, 그 악화된 정도보다 더 큰 읽기 성능 개선을 얻을 수 있고 결과적으로 읽기 지연과 쓰기 지연사이의 차이를 줄일 수 있으므로 MN7과 MN8의 gate width 증가는 성능적인 측면에서 손해보다 더 큰 이득을 가져다 줄 수 있다고 판단된다. 다만, MN7과 MN8의 gate width가 $160nm$ 보다 커지는 시점부터는 읽기 지연의 감소가 gate width 증가량에 비해 현저히 감소하므로 마이크로프로세스의 CNTFET 면적을 고려하며 MN7 그리고 MN8의 gate width를 증가시킬 필요하다고 생각된다. 앞서 언급된 바와 같이, 일반적으로 CNTFET과 MOSFET은 서로 다른 층에 배치될 수 있기 때문에 CNTFET인 MN7과 MN8 면적의 증가가 곧 SRAM Cell 전체 면적 증가를 의미하지는 않는다. 따라서, 최적의 MN7과 MN8의 사이즈는 표 1과 표 2의 값을 기반으로 설계팀에 주어진 스펙, 예를 들어 SRAM Cell 면적과 성능을 고려하여 최종 결정되어야 할 것으로 판단된다.

III. 결론

CNTFET의 뛰어난 성능을 활용하고 불완전한 CNTFET 공정의 한계를 극복하기 위해 MOSFET과 CNTFET을 함께 사용한 hybrid 회로에 대한 관심이 높아지고 있다. SRAM은 마이크로프로세서에서 일정한 간격으로 반복 배치되는 특성이 있어 CNTFET 공정에 덜 민감한 특성을 가지고 있다. 따라서, SRAM을 hybrid 형태로 구현할 수 있다면 CNTFET의 단점을 극복하고 장점을 극대화 할 수 있는 가능성이 있다. 본 논문에서는 기존 hybrid 6T SRAM을 변형한 hybrid 8T SRAM 설계 방법을 설명하고 성능 향상 정도를 논하였다. 시뮬레이션 결과 hybrid 8T SRAM은 hybrid 6T SRAM에 비해 읽기 지연, 읽기 전력, 그리고 읽기 PDP에 있어 약 2.737배, 2.850배, 그리고 7.791배의 성능 향상이 있음을 알 수 있었다.

References

- [1] F. Zahoor *et al.*, "Carbon nanotube field effect transistors: an overview of device structure, modeling, fabrication and applications," *Physica Scripta*, vol.98, 2023.
DOI: 10.1088/1402-4896/ace855
- [2] G. Fan *et al.*, "Physics-integrated machine learning for efficient design and optimization of a nanoscale carbon nanotube field-effect transistor," *ECS Journal of Solid State Science and Technology*, vol.12, 2023. DOI: 10.1149/2162-8777/acfb38
- [3] Y. Kim *et al.*, "A novel CNFET SRAM-based compute-in-memory for BNN considering chirality and nanotubes," *Electronics*, vol.13, 2024.
DOI: 10.3390/electronics13112192
- [4] J. Cui *et al.*, "Carbon nanotube integrated circuit technology: purification, assembly and integration," *International Journal of Extreme Manufacturing*, vol.6, 2024. DOI: 10.1088/2631-7990/ad2e12
- [5] S. Jayanthi *et al.*, "Single-ended 12T CNTFET SRAM cell with high stability for low power smart device applications," *e-Prime - Advances in Electrical Engineering, Electronics and Energy*, vol.7, 2024.
DOI: 10.1016/j.prime.2024.100479
- [6] M. Elangovan *et al.*, "Effect of CNTFET parameters on novel high stable and low power: 8T CNTFET SRAM cell," *Transactions on Electrical and Electronic Materials*, vol.23, 2022.
DOI: 10.1007/s42341-021-00346-9
- [7] M. U. Mohammed *et al.*, "A disturb free read port 8T SRAM bitcell circuit design with virtual ground scheme," *2018 IEEE 61st International Midwest Symposium on Circuits and Systems*, 2018. DOI: 10.1109/MWSCAS.2018.8624107
- [8] A. Teman *et al.*, "A 250 mV 8 kb 40 nm ultra-low power 9T supply feedback SRAM (SF-SRAM)," *IEEE Journal of Solid-State Circuits*, vol.46, 2011. DOI: 10.1109/JSSC.2011.2164009
- [9] N. Verma *et al.*, "A 256 kb 65 nm 8T subthreshold SRAM employing sense-amplifier redundancy," *IEEE Journal of Solid-State Circuits*, vol.43, 2008. DOI: 10.1109/JSSC.2007.908005
- [10] L. Chang *et al.*, "Stable SRAM cell design for the 32 nm node and beyond," *Digest of Technical Papers. 2005 Symposium on VLSI Technology*, 2005. DOI: 10.1109/.2005.1469239
- [11] Y. Li *et al.*, "Monolithic three-dimensional integration of RRAM-based hybrid memory architecture for one-shot learning," *Nature Communications*, 2023. DOI: 10.1038/s41467-023-42981-1
- [12] G. Cho, "A Study on the Design Method of Hybrid MOSFET-CNTFET based SRAM," *Journal of IKEEE*, vol.27, 2023.
DOI: /10.7471/ikeee.2023.27.1.65
- [13] Y. Cao *et al.*, "Predictive technology model for nano-CMOS design exploration," *2006 1st International Conference on Nano-Networks and Workshops*, 2006.
DOI: 10.1109/NANONET.2006.346227
- [14] CNFET Models. <https://nano.stanford.edu/downloads/stanford-cnfet-model/stanford-cnfet-model-hspice>
- [15] G. Hills *et al.*, "Modern microprocessor built from complementary carbon nanotube transistors," *Nature*, 2019. DOI: 10.1038/s41586-019-1493-8
- [16] Anantha Chandrakasan *et al.*, "Design of High-Performance Microprocessor Circuits," *Wiley-IEEE Press*, 2000.

BIOGRAPHY

Geunho Cho (Member)



2004 : BS degree in Electronic Engineering, Sogang University.
2006 : MS degree in Electronic Engineering, Sogang University.
2012 : PhD degree in Electrical Engineering, Northeastern University.
2012~2017 : Senior Engineer, Samsung Display.

2017~present : Professor, Department of Electronic Engineering, Seokyeong University.