

Part 25급 항공기용 금속계 제동패드 백플레이트의 표면처리

Surface Treatment of Backplate for Part 25 Aircraft Metal Brake Pads

김호형 · 김민지 · 김경택*

한국생산기술연구원 지능화뿌리기술연구소

Hohyeong Kim · Min-ji Kim · Kyung-taek Kim*

Research Institute of Intelligent Manufacturing & Materials Technology, Korea Institute of Industrial Technology, Incheon, 21999, Korea

[요 약]

본 연구에서는 도금 공정 시뮬레이션에 필요한 전기화학적 분극 데이터와 도금 조건 시뮬레이션 및 도금층의 특성 평가에 대해 다루었다. Ni과 Cu의 동전위 분극 분석 및 정전류 분극 시험을 통해 얻은 전기화학적 분극 데이터는 도금액의 유동 조건에 따른 과전압 분포 변화를 관찰하는 데 사용되었다. 도금 조건 시뮬레이션에서는 랙 핀의 접점 위치와 개수가 도금 품질에 미치는 영향을 분석하기 위해 다양한 변수 하에서 전류 밀도 분포 및 도금 두께 분포를 평가하였다. 양극 형상, 극간 거리, 보조 양극 배치, 피도금체 간격 변화 등의 변수에 따른 시뮬레이션 결과를 통해 도금 두께 편차를 개선할 수 있는 방안을 모색하였다. 또한, 도금층의 특성 평가는 버퍼레이어 형성 유무에 따른 도금층의 두께, 밀착성 및 박리 여부를 분석하였다. 시뮬레이션을 통해 도금 공정의 효율성과 품질 향상을 위한 중요한 기초 데이터로 활용될 수 있다.

[Abstract]

In this study, the electrochemical polarization data required for the simulation of the plating process, simulation of plating conditions, and characterization of the plating layer were discussed. The electrochemical polarization data obtained by potentiodynamic polarization tests and potentiostat analysis of Ni and Cu were used to observe changes in the overvoltage distribution with the flow conditions of the plating solution. In the simulation of plating conditions, the current density distribution and plating thickness distribution were evaluated under different variables to analyze the influence of the location and number of contacts on the rack pins on the plating quality. Simulation results under variables such as anode geometry, interpole distance, auxiliary anode placement, and variation of substrate spacing were used to explore ways to improve plating thickness deviation. Additionally, plating layer characterization analyzed the thickness, adhesion, and delamination of the plating layer with and without buffer layer formation. The simulation results can be utilized as important basic data for improving the efficiency and quality of the plating process.

Key word : Back plate, Coating simulation, Coating thickness, Part 25 aircraft, Surface treatment.

<https://doi.org/10.12673/jant.2024.28.4.544>



This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

Received 22 July 2024; Revised 27 August 2024

Accepted (Publication) 29 August 2024 (30 August 2024)

*Corresponding Author; Kyung-taek Kim

Tel: +82-32-850-0213

E-mail: kkt@kitech.re.kr

I. 서 론

최근 세계적인 항공기 수요는 2040년까지 매년 4.7%씩 성장하여 2015년 대비 2배의 수준으로 증가할 것으로 전망되며, 특히 미국 항공 업계는 향후 20년간 총 4만 2595대의 신규 항공기 수요가 발생할 것으로 예측하고 있다[1]. 이처럼 항공기 산업의 지속적인 성장이 전망되는 가운데 국내에서도 항공기용 부품 시장 진출을 위한 항공기용 부품개발이 요구되고 있다[2].

항공기용 부품 중 수송류 항공기용 제동패드에는 금속계 제동패드가 주로 사용되고 있으며, 금속계 제동패드의 원소재에 관한 연구뿐만 아니라 표면처리에 관한 연구도 활발하게 진행되고 있다[3].

도금 두께 균일도 향상을 위한 도금 공정의 최적화를 위해 사용하는 도금 시뮬레이션은 컴퓨터 모델링을 통해 도금과정에서 발생할 수 있는 다양한 변수와 조건을 미리 분석하고 예측하는 역할을 하게 되기 때문에 이를 통해 실제 도금 작업을 보다 효율적이고 정확하게 수행 할 수 있다[4]-[6].

첫째 도금 두께의 균일성, 도금 속도, 전류 분포 등을 사전에 분석할 수 있다. 이를 통해 도금 공정을 최적화하여 생산성을 향상시키고 불량률을 줄일 수 있어 공정 최적화가 가능하며[4],

둘째 최적의 도금 조건을 찾음으로써 재료 사용량을 최소화하고, 에너지 소비를 줄일 수 있어 이는 생산 비용 절감에 큰 도움이 된다.

셋째 공정 중 발생할 수 있는 문제를 사전에 발견하고 해결책을 마련하는 데 유용하며 이를 통해 도금 공정 중 발생할 수 있는 결함이나 문제를 예방할 수 있다.

이러한 장점들로 인해 도금 시뮬레이션은 도금 라인에서 필수적인 도구로 자리 잡고 있다. 또한 니켈 하지 도금 공정은 금속 표면에서 얇은 니켈 층을 형성하는 과정에서 중요한 도금 기술 중 하나이며 주로 다른 금속 표면 위에 니켈 도금을 실시하기 전에 접착력을 높이기 위해 사용되며, 니켈 하지 도금은 얇은 니켈 층을 신속하게 형성하여, 이후의 니켈 도금 공정에서 두꺼운 니켈 층이 잘 붙도록 돕는 역할을 한다[7, 8].

본 연구에서는 항공기용 금속계 제동패드의 도금 공정을 개발하기 위해 도금 품질 예측을 위한 도금 조건을 모델링하였으며, 시뮬레이션을 진행하였다. 도금 조건 모델링은 각각 1) 양극 형상 변화에 따른 모델링, 2) 극간 거리 조절에 따른 모델링, 3) 보조 양극 배치에 따른 모델링, 4) 피도금체 간격 변화에 따른 모델링을 진행하였다. 도금 시뮬레이션을 통한 예측결과를 바탕으로 도금 실증실험을 진행하여 도금층의 특성평가를 진행하였다.

II. 실험 방법

2-1 표면 전처리

표면 전처리 공정은 시편 표면에 형성되어 있는 탄화물에 의한 도금층의 밀착성 불량을 개선하기 위하여 알칼리 탈지 공정 및 산세 공정을 적용하였다. 알칼리 탈지 공정은 알칼리 탈지 수용액(10 g/L)을 사용하여 60℃에서 1분간 침지한 후 증류수로 3회 수세하였으며, 산세 처리 공정은 35 wt% 염산 수용액을 사용하여 35℃에서 3분간 침지한 후 증류수로 3회 수세하였다.

실증 실험 시에는 도금 밀착성 향상을 위해 샌드블라스트와 초음파 세척을 통해 피도금체에 부착된 오염 생성물을 제거하였다.

2-2 전기화학적 분극 데이터

도금 공정 시뮬레이션에 필요한 전기화학적 분극 데이터는 습식 표면처리 용매인 Ni과 Cu의 동전위 분극(Potentiodynamic-polarization) 분석 및 정전류 분극 시험을 통해 확보하였다.

동전위 분극 분석의 경우 전극 타입의 회전실린더전극(RC E; rotating cylinder electrode)와 Potentiostat(PARSTAT 2273, A METEK)을 사용하여 전류밀도 변화에 따른 과전압을 측정하였다.

정전류 분극 시험은 실제로 도금 반응이 일어나는 영역에서 전류를 세분화하여 정전류 법으로 과전압을 측정하는 방법을 사용하였으며, 특정 전류밀도 고정을 통한 과전압 측정 범위를 확인하였다. 도금 효율은 분해능 0.00001 g의 초정밀 저울(XA 210.3Y, RADWAG)을 이용하여 도금 전·후 무게를 측정하여 계산하였다.

2-3 도금 조건 모델링

도금 공정의 시뮬레이션을 위한 모델링은 양극 형상, 극간 거리, 보조 양극 및 피도금체인 백플레이트의 간격 등 도금 공정의 주요 변수를 반영하였다.

기본 모델링은 그림 1과 같이 실제 도금하고자하는 백플레이트의 형상을 모델링하여 기초를 설계하였으며, 도금 조건은 Ni 스트라이크의 경우 인가 전압 5V에서 30초, Cu 도금에서는 1V, 260초로 설정하였다.

양극 형상 변화에 따른 모델링은 그림 2에 보인바와 같이 양극을 각각 기존의 양극 형태인 22,500 mm² 크기의 사각 형태 및 5,024 mm² 크기의 원형으로 모델링하였다.

극간 거리 조절 변화에 따른 모델링은 양극과 음극의 거리를 각각 기존과 같은 100 mm 및 기존 거리보다 가깝게 설정한 50 mm로 모델링을 하였으며, 그림 3에 나타내었다.

그림 4에는 보조 양극이 도금 품질에 미치는 영향을 예측하기 위하여 백플레이트의 중앙부 홀이 존재하는 영역에 Φ 10, 길이 50 mm 크기의 보조 양극을 장착한 모델링을 보여주고 있다.

그림 5는 양산시의 도금공정을 고려하여 백플레이트 간의 간격을 각각 65 mm 및 15 mm의 간격으로 3×3 배열한 모델링

을 나타내었다.

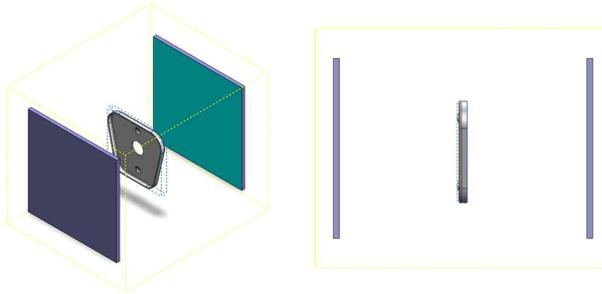


그림 1. 피도금체 모델링
Fig. 1. Modeling of the substrate.

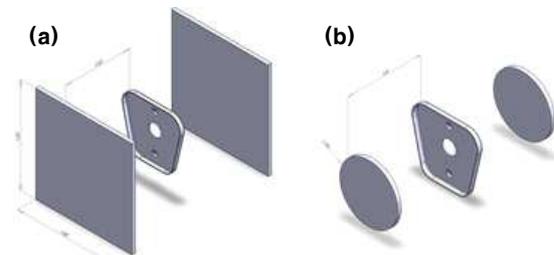


그림 2. 양극 형상 변화 모델링: (a) 22,500 mm² 사각형, (b) 5,024 mm² 원형
Fig. 2. Modeling of Anode shape change: (a) 22,500 mm² square, (b) 5,024 mm² circle.

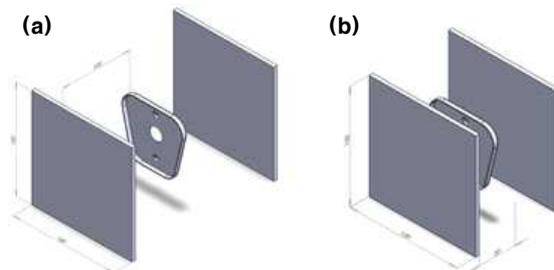


그림 3. 극간 거리 변화에 따른 모델링: (a) 100 mm, (b) 50 mm
Fig. 3. Modeling of changes in electrode distance: (a) 100 mm, (b) 50 mm.

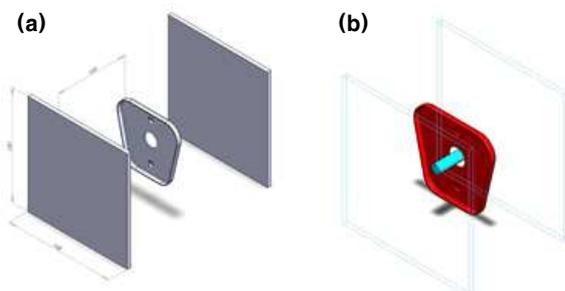


그림 4. 보조 양극 배치 모델링: (a) 기존, (b) 보조 양극
Fig. 4. Modeling of auxiliary anode arrangement: (a) original, (b) auxiliary anode.

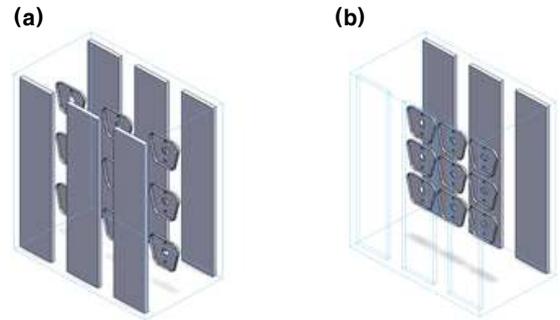


그림 5. 피도금체 간격 변화에 따른 모델링: (a) 65 mm, (b) 15 mm
Fig. 5. Modeling of changes in spacing between plated objects: (a) 65 mm, (b) 15 mm.

2-4 도금 공정 실증

도금 공정은 Ni 하지 도금, Cu 무전해 도금 및 Cu 전해 도금으로 나누어 진행하였다. Ni 하지 도금은 염화니켈(180 g/L)과 35 wt% 염산(120 ml/L)을 사용하여 25°C에서 1분간 0.5 mA/mm²의 전류밀도 하에서 수행하였다. Cu 무전해 도금은 황산구리(10 g/L), EDTA(30 g/L), 25 wt% NaOH(100 ml/L) 및 포름알데히드(10 ml/L)를 함유하는 용액을 사용하여 60°C에서 30분간 실시하였다. Cu 전기도금은 황산구리(100 g/L), 황산(50 g/L) 및 첨가제(2.5 ml/L)를 사용하여 25°C에서 0.6 mA/mm²의 전류밀도로 3분간 시행하였다.

2-5 도금층의 특성평가

도금 공정을 진행한 후 도금층의 특성을 평가하기 위하여 버퍼 레이어 형성 실증 실험, 도금층의 두께 및 균일도와 밀착성 평가를 진행하였다. 도금층의 분석은 주사전자현미경(Apreo 2S, FEI)을 사용하여 도금 두께 및 박리유무와 도금층 두께의 균일도를 분석하였다. 도금 균일도 평가는 KS D 0246 규격에 따라 Cu 도금층의 두께를 ED-XRF(XDAL, FISCHER) 장비로 측정하였다[9]. 도금 밀착성 평가는 ASTM B571 규격에 따라 Cross cut tester(CC3000, TQC sheen)를 활용하였다[10].

III. 실험결과 및 고찰

3-1 전기화학적 분극 데이터 결과

본 절에서는 도금 공정 시뮬레이션에 필요한 전기화학적 분극 데이터인 습식 표면처리 용매 Ni과 Cu의 동전위 분극 분석 및 정전류 분극 시험 결과를 기술하였다.

도금 시뮬레이션의 경우 도금액의 교반이 충분한 상태라고 가정하고 계산을 진행하므로 실제 도금액의 유동에 따른 변화 관찰이 필요하다. 이러한 유속 조건에 따른 과전압 분포의 변화를 관찰하기 위하여 실린더 타입의 회전 전극과 Potentiostat

을 사용하여 다양한 유속 조건을 분석하였다. 이를 통해 실제 도금조의 전류 표면에서 일어나는 반응과 유사한 조건을 찾아 시뮬레이션의 정확도를 높일 수 있다. 그림 6은 500 RPM 조건에서 Ni과 Cu 도금액의 동전위 분극 분석 결과를 나타낸다. 제동패드 백플레이트 도금액 데이터 확보를 위해 유속을 고정하고 도금이 일어나는 전류 범위를 선정하여 각 전류에 따른 과전압을 측정하고, 분석 시간 동안 석출된 금속의 양을 Faraday 방정식을 이용한 이론적 무게와 계산하여 효율을 산출하였다. 이를 통해 표 1과 같은 용액 데이터를 얻을 수 있었다.

3-2 도금 조건 시뮬레이션 결과

도금 공정 시 랙 핀의 접점 위치와 각 피도금체에 접촉된 랙 핀의 개수가 피도금체의 도금 품질을 결정하는 중요한 요인으로 작용한다. 따라서 전류밀도 분포 및 도금두께의 분포 확인을 통해 랙 핀의 접점 위치와 개수를 선정하기 위하여 실제 도금하고자 하는 피도금체의 형상 모델링을 통해 시뮬레이션을 진행하였다.

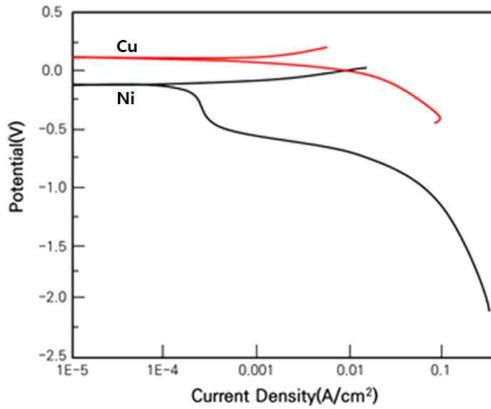


그림 6. Ni과 Cu 도금액의 동전위 분극 곡선 (500 RPM)
 Fig. 6. Potentiodynamic Curves of Ni and Cu Electrolyte Solutions Analyzed at 500 RPM.

표 1. 정전류 분극 시험을 통한 도금 용액 DB
 Table 1. Electrolyte DB According to the Galvanostatic polarization test.

Ni			Cu		
Potential (V)	Current density (mA/mm²)	Efficiency (%)	Potential (V)	Current density (mA/mm²)	Efficiency (%)
-0.4	-0.005	1.0	-0.1	-0.1	0.9
-0.5	-0.04	0.7	-0.1	-0.3	1.0
-0.5	-0.06	0.7	-0.2	-0.5	1.0
-0.5	-0.12	0.8	-0.2	-0.7	1.0
-0.5	-0.15	0.8	-0.3	-0.9	1.0
-0.6	-0.30	0.8	-0.3	-1.1	1.0
-0.6	-0.45	0.9	-0.3	-1.3	1.0

그림 7에 보인 바와 같이 Ni 스트라이크와 Cu 도금 조건의 전류밀도 분포를 확인한 결과, 두 조건 모두 전류밀도의 분포가 위치별로 차이가 크며 부분적으로 전류 집중이 심한 것을 확인할 수 있다. 그림 8에 나타난 도금두께 분포 결과에서는 Ni 스트라이크의 경우 1 μm(그린) 이하인 영역은 불량 가능성이 높으며, Cu 도금두께 분포 결과 역시 15 μm(블루) 이하의 영역에서는 불량 가능성이 높고 특히 0~2 μm(레드)영역은 도금 취약부를 의미한다. 두 조건 모두 전체적으로 레드 영역이 많이 확인되었으며 전면 대비 후면의 두께 균일도가 떨어지는 것을 확인할 수 있다.

1) 양극 형상 변화에 따른 시뮬레이션 결과

양극을 각각 22,500 mm² 크기의 사각 형태(기준) 및 5,024 mm² 크기의 원형으로 모델링하여 시뮬레이션을 진행한 결과를 그림 9에 나타내었다. 기준 사각 형태의 양극에 비해 원형으로 설계한 양극 형상에서 중앙부 레드 영역이 미세하게 사라진 했지만 큰 차이를 보이지 않았다. 또한, 양극 형상에 따라 도금 두께 분포가 일부 변화하나 백플레이트 모델의 구조적인 영향으로 인해 완벽하게 개선이 되지 않음을 확인할 수 있었다.

2) 극간 거리 조절 변화에 따른 시뮬레이션 결과

양극과 음극의 거리를 각각 100 mm(기준) 및 50 mm로 기준의 거리보다 가깝게 설정하여 시뮬레이션을 진행한 결과, 그림 10과 같이 백플레이트의 전면과 후면 모두 극간 거리가 가까워짐에 따라 중앙부 레드 영역이 대부분 옐로 영역으로 변화하였다. 이를 바탕으로 극간 거리가 가까울수록 백플레이트 모델의 도금 두께 개선에 큰 영향을 미치는 것을 확인하였다.

3) 보조 양극 배치에 따른 시뮬레이션 결과

백플레이트의 중앙부에 존재하는 홀 영역에서 Φ10, 길이 50 mm 크기의 보조 양극을 장착한 모델링을 통해 도금 두께 분포 변화를 확인하였다. 그 결과 그림 11과 같이 전면과 후면 모두 보조양극이 장착된 중앙부는 블루 영역으로 변화하였으며, 그 외의 영역에서도 도금 취약부인 레드 영역이 대부분 옐로 영역으로 변화하였다. 따라서, 백플레이트 중앙부에 보조 양극을 장착할 경우 도금 두께 개선의 효과를 기대할 수 있을 것으로 판단된다.

4) 피도금체 간격의 변화에 따른 시뮬레이션 결과

도금 공정 진행 시 백플레이트 간의 간격을 각각 65 mm 및 15 mm의 간격으로 3×3 배열한 모델링을 바탕으로 시뮬레이션을 진행하였다. 그림 12에 보인 바와 같이 백플레이트의 간격이 65 mm인 경우에는 대부분의 시편에서 두께 분포가 균일한 것을 확인할 수 있는 반면, 간격이 15 mm인 경우 두께 분포가 전체적으로 균일하지 않으며 3×3 배열에서 중앙 부분의 두께가 감소하는 것을 볼 수 있다.

그림 13에는 백플레이트의 간격 별로 각각 배열의 중앙부에 존재하는 시편들을 비교한 결과를 나타내었다. 시뮬레이션 결

과에서 15 μm 이상으로 도금된 블루영역을 제외한 영역은 불량으로 판단할 경우, 백플레이트의 간격이 65 mm 일때 불량 부분이 적은 것을 확인할 수 있다. 또한 15 mm의 간격과 비교하였을 때 두께편차가 감소하였으며, 시편의 최대두께는 172.97 μm 에서 130.19 μm 로 25% 감소하였고 최소 두께는 6.18 μm 에서 8.28 μm 로 33% 증가하였다.

따라서, 백플레이트의 간격을 일정 거리 이상 확보하면 도금 두께 편차 개선에 영향을 줄 수 있으며 이는 각 백플레이트가 보조 음극의 역할을 수행하기 때문인 것으로 판단된다.

3-3 도금층의 특성평가

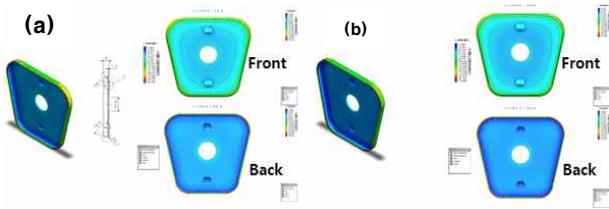


그림 7. 전류밀도 분포: (a) Ni 스트라이크, (b) Cu 도금
 Fig. 7. Current density distribution: (a) Ni strike, (b) Cu plating.

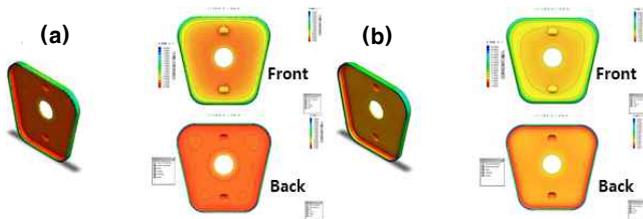


그림 8. 도금 두께 분포: (a) Ni 스트라이크, (b) Cu 도금
 Fig. 8. Plating thickness distribution: (a) Ni strike, (b) Cu plating.

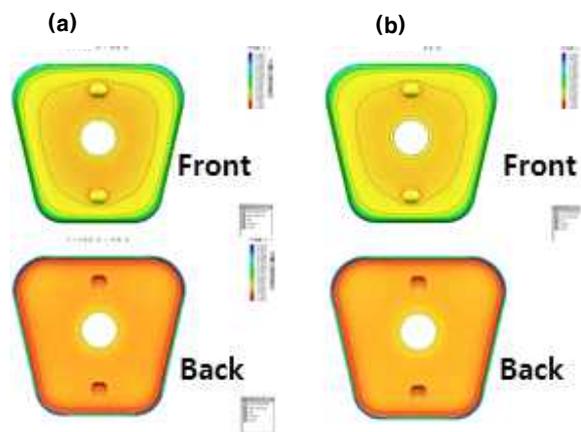


그림 9. 양극 형상 변화에 따른 도금 두께 분포: (a) 22,500 mm² 사각형, (b) 5,024 mm² 원형
 Fig. 9. Plating thickness distribution according to anode shape change: (a) 22,500 mm² square, (b) 5,024 mm² circle.

도금층의 특성평가는 버퍼레이어 형성 유무에 따른 도금층의 두께 및 박리 유무와 밀착성 평가를 진행하였다.

백플레이트와 같은 철계 소재의 경우 도금 시 부식이 쉽게 발생할 수 있으므로 밀착성 및 피복력을 향상시키기 위하여 버퍼레이어를 형성하기 위한 도금을 진행해야 한다. 버퍼레이어를 형성하기 위해서는 일반적으로 Cu, Ag 및 Ni 하지 도금이 사용되고 있으며[11, 12], 본 연구에서는 각 도금액을 적용하여 시험한 결과 Cu와 Ag는 버퍼레이어가 제대로 형성되지 않았고 Ni의 경우 버퍼레이어가 가장 우수하게 형성되는 것을 확인하였다. 따라서 그림 14와 같이 Ni 하지 도금의 버퍼레이어 형성 유무에 따른 결과를 통해 각각의 도금층을 비교 분석하였다. 그림 14(a)와 같이 버퍼레이어를 형성하지 않은 경우 도금층의 두께는 9.84~14 μm 의 범위로 Cu 도금막이 미세하게 분리되어 있는 것을 확인할 수 있으며, 표면에 박리가 관찰되었다.

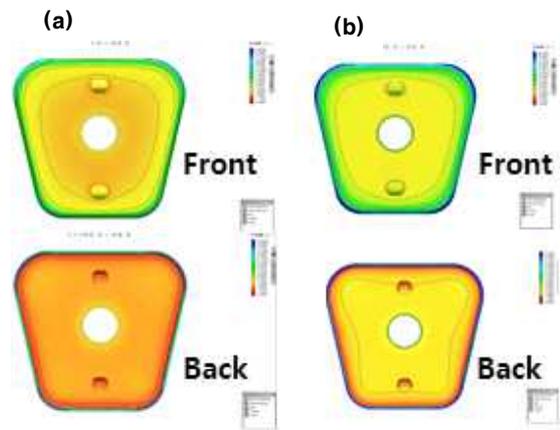


그림 10. 극간 거리 변화에 따른 도금 두께 분포: (a) 100mm, (b) 50mm
 Fig. 10. Plating thickness distribution according to the change in inter-electrode distance: (a) 100 mm, (b) 50 mm.

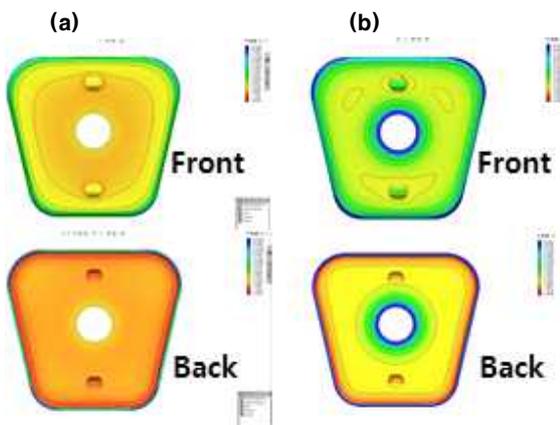


그림 11. 보조 양극 배치에 따른 도금 두께 분포: (a) 기존, (b) 보조 양극
 Fig. 11. Plating thickness distribution according to the auxiliary anode arrangement: (a) original, (b) auxiliary anode.

이는 모재에 Cu 도금을 바로 진행하게 되면 인가한 전류만큼 도금이 원활하게 일어나지 않아 도금의 효율이 낮아지고 전극 접점에 전류 집중이 발생하기 때문으로 판단된다.

그림 14(b)는 Ni 하지 도금을 통해 버퍼레이어를 형성한 결과이다. 버퍼레이어의 두께는 3.86~8.88 μm 범위이며, Cu 도금층은 12.74~25.1 μm 범위의 두께를 형성하였다. 버퍼레이어를 형성함에 따라 Cu 도금 공정이 원활하게 진행되었으며 도금층이 모재에 잘 밀착되는 것을 확인할 수 있었다.

도금 균일도 평가의 경우 백플레이트의 6개 영역에서 3개 시편의 균일도를 확인한 결과를 표 2에 나타내었다. Cu 도금층은 15~20 μm 의 두께를 만족하여야 하는데 3개의 시편 모두 도금층 평균값이 15.94~16.34 μm 의 범위의 값으로 요구되는 두께를 만족하였다. 또한, 도금층의 균일도는 규격에 따라 10.10 %의 균일도를 갖는 것을 확인하였다. 도금 밀착성은 4B이상의 값이 요구되는데 본 연구에서는 5B 값을 얻었다.

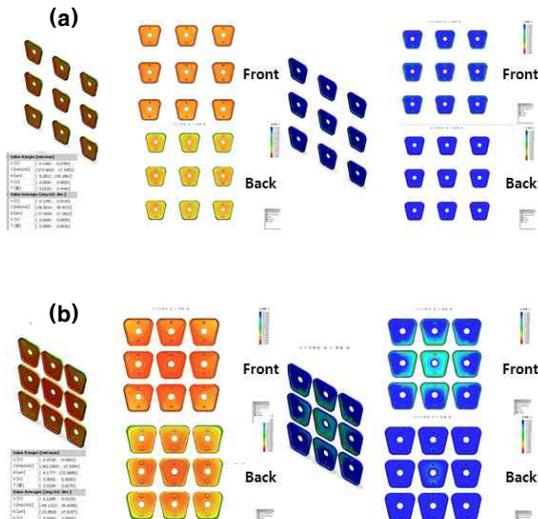


그림 12. 피도금체 간격 변화에 따른 도금 두께 분포: (a) 65 mm, (b) 15 mm
 Fig. 12. Plating thickness distribution according to the change in spacing of the plated objects: (a) 65 mm, (b) 15 mm.

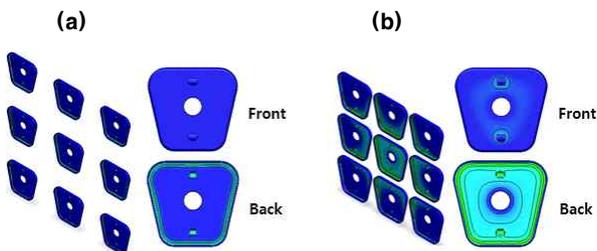


그림 13. 피도금체 간격 센터 시편 비교: (a) 65 mm, (b) 15 mm
 Fig. 13. comparison of center specimens according to the spacing of the plated objects: (a) 65 mm, (b) 15 mm.

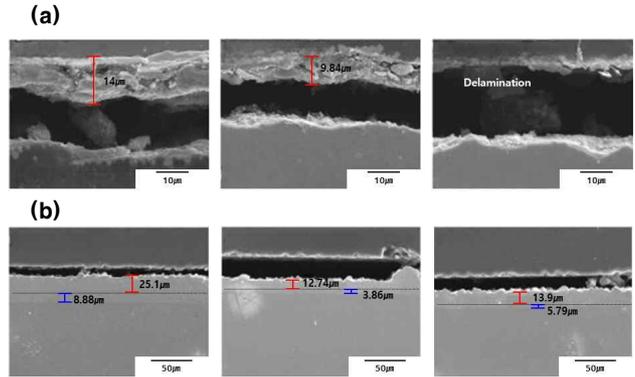


그림 14. 버퍼레이어 형성 유무에 따른 도금층 분석: (a) 미형성, (b) 형성
 Fig. 14. Analysis of plating layer according to presence or absence of buffer layer formation: (a) unformed, (b) formed.

표 2. 도금 두께 균일도 측정 결과

Table 2. Plating thickness uniformity measurement results.

No.	Average (μm)	Standard deviation	
#1	16.27	1.87	
#2	15.94	1.50	
#3	16.34	1.53	
No.	Coefficient of variation (%)	Uniformity (%)	Uniformity average (%)
#1	0.12	11.51	10.10
#2	0.09	9.44	
#3	0.09	9.35	

IV. 결 론

본 연구에서는 항공기용 금속계 제동패드의 전처리 및 도금 공정을 개발하기 위해 도금 품질 예측을 위한 도금 조건을 모델링하였으며, 시뮬레이션을 진행하였다. 도금 시뮬레이션을 통한 예측결과를 바탕으로 도금 실증실험을 진행하여 도금층의 특성평가를 진행한 결과는 다음과 같다.

- (1) 도금 시뮬레이션의 정확도를 높이기 위해, 실린더 타입 전극과 Potentiostat을 사용하여 다양한 유속 조건에서 과전압 분포 변화를 분석하였으며, 이를 통해 실제 도금조의 유동 조건을 반영한 Ni, Cu 도금액 데이터를 확보하였다.
- (2) Ni 스트라이크와 Cu 도금 조건 모두 전류 밀도 분포가 위치별로 큰 차이를 보였으며, 일부 영역에서는 전류 집중이 심하게 발생하였다. 또한, 두 조건 모두 전체적으로 전면 대비 후면의 두께 균일도가 떨어지는 것을 확인하였다.
- (3) 양극 형상 변화에 따른 시뮬레이션 결과, 중앙부 레드 영역이 미세하게 개선되었지만 전체적인 차이는 크지 않았다. 이는 백플레이트 모델의 구조적인 영향으로 인해 도금의 두께 분포가 완벽하게 개선이 되지 않음을 의미한다.
- (4) 양극과 음극의 거리를 기존의 100 mm에서 50 mm로 줄일(그림 10참조) 경우, 중앙부 레드 영역이 대부분 옐로 영역

으로 변화하였으며, 극간 거리가 가까울수록 도금 두께의 개선에 큰 영향을 미치는 것을 확인하였다.

(5) 백플레이트의 중앙부에 보조 양극을 장착한 결과(그림 11 참조), 중앙부와 그 외의 영역에서 도금 취약부인 레드 영역이 대부분 옐로 영역으로 변화 하였으며, 보조 양극을 장착할 경우 도금 두께 개선의 효과를 기대할 수 있을 것으로 판단된다.

(6) 백플레이트의 간격을 65 mm와 15 mm로 설정한 경우, 간격이 65 mm일 때 도금 두께 분포가 균일하였으며 불량 부분이 적었다. 이를 통해, 피도금체 간격을 일정 거리 이상 확보하면 도금두께 편차 개선에 영향을 줄 수 있음을 알 수 있으며, 이는 각 백플레이트가 보조 음극의 역할을 수행하기 때문인 것으로 사료된다.

(7) 버퍼레이어를 형성하지 않은 시편의 경우 도금층의 두께는 9.84~14 μm 의 범위로 Cu 도금막이 미세하게 분리되어 있으며, 표면에 박리가 관찰되었다. Ni 하지 도금을 통해 버퍼레이어를 형성한 경우에는 버퍼레이어의 두께는 3.86~8.88 μm 범위이며, Cu 도금층은 12.74~25.1 μm 범위의 두께를 형성하였다. 버퍼레이어를 형성함에 따라 Cu 도금 공정이 원활하게 진행되었으며 도금층이 모재에 잘 밀착되는 것을 확인할 수 있었다.

(8) 도금 균일도 평가 결과는 도금층의 평균값이 15.94~16.34 μm 의 범위의 값으로 요구되는 두께를 만족하였으며, 규격에 따라 10.10 %의 균일도를 갖는다. 도금 밀착성은 규격에서 요구되는 4B이상의 값인 5B 값을 얻었다.

Acknowledgments

본 연구는 산업통상자원부 항공우주부품기술개발사업(과제 번호; 20007282)의 지원에 의하여 이루어진 연구로서 관계부처에 감사드립니다.

References

[1] Ministry of land, Infrastructure and Transport, *The 5th comprehensive long-term plan for airport development (2016-2020)*, pp. 20, 2016. Retrieved from https://www.molit.go.kr/USR/BORD0201/m_69/DTL.jsp?mode=view&idx=226321.

[2] Korea Aerospace Industries Association, *MRO demand forecast by global region in 2020*, 2020. Retrieved from <https://aerospace.or.kr/document/KOREA%20AEROSPACE%20INDUSTRY%202020-2021.pdf>.

[3] M. Granata, G. Gautier di Confiengo, D. Scamardella and F. Bellucci, "Potential coatings for aircraft brakes application.

Part I : Thermal spray coatings," *International Journal of Astronaut Aeronautical Engineering*, Vol. 6, Issue. 2, Article No: 56, Oct. 2021. DOI: <https://doi.org/10.35840/2631-5009/7556>.

[4] O. Sadiku-Agboola, E. R. Sadiku and O. F. Biotidara, "The properties and the effect of operating parameters on nickel plating," *International Journal of the Physical Sciences*, Vol. 7, No. 3, pp. 349-360, Jan. 2012. DOI: <https://doi.org/10.5897/IJPS11.1163>.

[5] G. Yang, D. Deng, Y. Zhang, Q. Zhu and J. Cai, "Numerical optimization of electrodeposition thickness uniformity with respect to the layout of anode and cathode," *Electrocatalysis*, Vol. 12, No. 5, pp. 478-488, Apr. 2021. DOI: <https://doi.org/10.1007/s12678-021-00668-5>.

[6] K. H. Lee, "Application of plating simulation for pcb and packaging process," *Journal of the Microelectronics and Packaging Society*, Vol. 19, No. 3, pp. 1-7, Sep. 2012. DOI: <http://dx.doi.org/10.6117/kmeps.2012.19.3.001>.

[7] W. C. Klippel and C. B. Hamilton, "Advantages of a nickel strike prior to electrodeposition of the nickel zinc alloy layer on steel for automotive applications," *SAE Technical Paper*, Article No: 892562, 1989. DOI: <https://doi.org/10.4271/892562>.

[8] V. Singh and M. Marya, "Thermally assisted adhesion enhancement in high-phosphorous electroless nickel plating," *Journal of Materials Engineering and Performance*, Vol. 28, No. 4, pp. 2147-2157, Apr. 2019. DOI: <https://doi.org/10.1007/s11665-019-03999-z>.

[9] Korean Standards Association, *KS D 0246: Methods of thickness test for metallic coatings*, 2018.

[10] D. Plating, C. Efficiency, A. Efficiency, B. N. Solutions, M.D. Plating and M. Chromium, "Nickel electroplating," *Journal of Nanoscience and Nanotechnology*, Vol. 5, No. 8, pp. 1-26, 1994. Retrieved from <https://www.casf.ca/wp-content/uploads/2014/04/NickelElectroplating.pdf>.

[11] Ya. V. Ivshin, F. N. Shaikhutdinova and V.A. Sysoev, "Electrodeposition of copper on mild steel: peculiarities of the process," *Surface Engineering and Applied Electrochemistry*, Vol. 54, No. 5, pp. 452-458, Apr. 2018. DOI: <https://doi.org/10.3103/S1068375518050046>.

[12] N. Fukazawa, W. Fujikawa, A. Murakawa and J. Shirakami, "Improved adhesion of plating copper metal on various substrates by controlled interface of ag nanoparticles and thin polymer layer," *International Conference on Electronics Packaging (ICEP)*, IEEE, pp. 345-350, Jun. 2017. DOI: <https://doi.org/10.23919/ICEP.2017.7939392>.



김 호 형 (Hohyeong Kim)

2007년 2월 : 인하대학교 신소재공학부(공학사) 2009년 2월 : 인하대학교 대학원 금속공학과(공학석사)
2020년 8월~현재 : 인하대학교 대학원 신소재공학과(박사과정)
2018년 10월~현재 : 한국생산기술연구원 지능화뿌리기술연구소 선임연구원
※관심분야 : 기능성 습식 표면처리, 소재 미세조직 분석 및 특성평가



김 민 지 (Min-ji Kim)

2020년 2월 : 강원대학교 신소재공학과(공학사) 2022년 2월 : 인하대학교 대학원 신소재공학과(공학석사)
2023년 3월~현재 : 인하대학교 대학원 첨단소재공정공학과(박사과정)
※관심분야 : 금속 3D 프린팅, 인증체계 및 특성평가



김 경 택 (Kyung-taek Kim)

1990년 2월 : 인하대학교 금속공학과(공학사), 1992년 2월 : 인하대학교 대학원 금속공학과(공학석사)
2005년 2월 : 인하대학교 대학원 금속공학과(공학박사)
1995년 3월~현재 : 한국생산기술연구원 지능화뿌리기술연구소 수석연구원
※관심분야 : 시스템 엔지니어링, 인증체계 및 특성평가