


# 저온 열처리를 통한 MOSFETs 소자의 방사선 손상 복구

박효준, 길태현, 연주원, 이문권, 윤의철, 박준영 

충북대학교 반도체공학부

## Recovery of Radiation-Induced Damage in MOSFETs Using Low-Temperature Heat Treatment

Hyo-Jun Park, Tae-Hyun Kil, Ju-Won Yeon, Moon-Kwon Lee, Eui-Cheol Yun, and Jun-Young Park  
School of Semiconductor Engineering, Chungbuk National University, Cheongju 28644, Korea

(Received May 8, 2024; Accepted May 21, 2024)

**Abstract:** Various process modifications have been used to minimize SiO<sub>2</sub> gate oxide aging in metal-oxide-semiconductor field-effect transistors (MOSFETs). In particular, post-metallization annealing (PMA) with a deuterium ambient can effectively eliminate both bulk traps and interface traps in the gate oxide. However, even with the use of PMA, it remains difficult to prevent high levels of radiation-induced gate oxide damage such as total ionizing dose (TID) during long-term missions. In this context, additional low-temperature heat treatment (LTHT) is proposed to recover from radiation-induced damage. Positive traps in the damaged gate oxide can be neutralized using LTHT, thereby prolonging device reliability in harsh radioactive environments.

**Keywords:** Enclosed-layout transistors (ELTs), MOSFETs, Radiation-induced damage, Recovery, Reliability, Heat treatment, Total ionizing dose (TID) effects

### 1. 서론

Metal-oxide-semiconductor field-effect transistors (MOSFETs) 반도체 소자 채널의 길이는, 높은 집적도의 확보와 출력 속도의 개선을 위하여, 수십 년간 소형화되어 오고 있다 [1]. 특히, 이와 같은 소형화된 반도체 소자에서 우수한 게이트 통제력(gate controllability)을 확보하기 위해서는, 얇은 두께의 게이트 절연막을 채택하는 것이 효과적이다. 하지만 얇은 게이트 절연막은 bias-temperature instability (BTI) 및 hot-carrier injection (HCI) 등의 전기적 스트레스뿐만 아니라,  $\gamma$ -ray, heavy ion, 그리고 proton 등 환경적인 스트레스에 매우 취약하

다. 이러한 전기적/환경적 스트레스 조건에서, 절연막 계면 및 절연막 내에서는 다수의 interface traps 및 bulk traps이 생성되어, 절연막의 노후화(aging)가 진행된다 [2-4]. 이와 같은 게이트 절연막의 노후화는, threshold voltage ( $V_{TH}$ )의 mismatch 및 subthreshold swing ( $SS$ )의 증가뿐만 아니라, off-state current ( $I_{OFF}$ ) 및 gate leakage ( $I_G$ )의 증가를 초래하는 등 반도체 소자의 성능과 신뢰성 저하에 치명적이다 [3,5].

이러한 맥락에서, 전기적/환경적 스트레스에 의한 게이트 절연막의 노후화를 최소화하기 위하여, post-metallization annealing (PMA), electro-thermal annealing (ETA) 등의 다양한 기법이 제안되었다 [6,7]. 특히 PMA는, 질소로 희석된 수소(hydrogen, H<sub>2</sub>) 또는 중수소(deuterium, D<sub>2</sub>) 환경에서 소자를 열처리 진행함으로써, 절연막 계면 및 절연막 내에서 발생하는 traps의 양의 증가를 억제할 수 있다 [8,9]. 하지만 이러한 PMA의 적용에

✉ Jun-Young Park; [junyoung@cbnu.ac.kr](mailto:junyoung@cbnu.ac.kr)

Copyright ©2024 KIEEME. All rights reserved.  
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

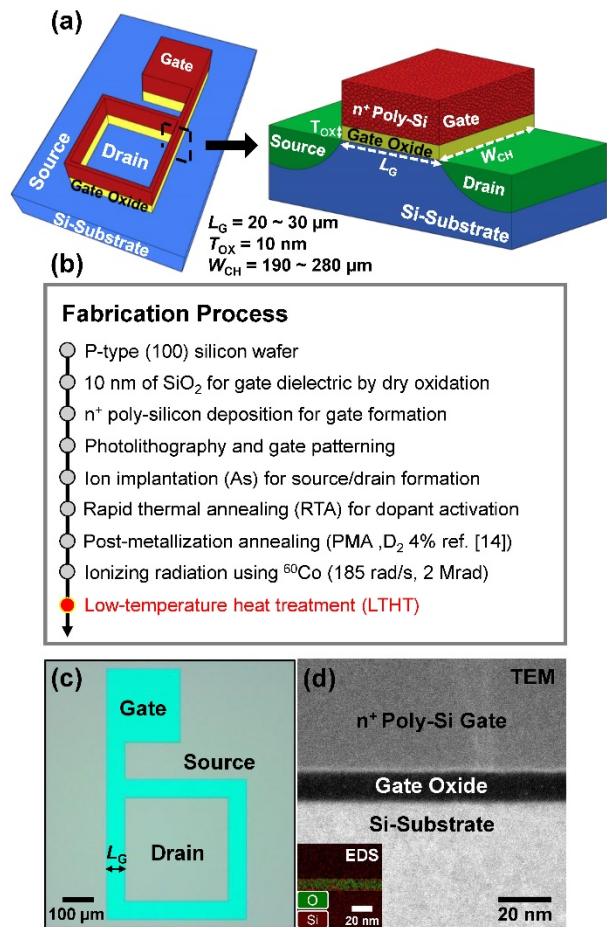
도 불구하고, total ionizing dose (TID) 효과와 같이 오랜 기간 동안 누적되는 소자의 손상을 예방하기엔 무리가 있다.

따라서 본 연구에서는, 오랜 기간 방사선에 의해 손상 받은 MOSFETs 반도체 소자의 전기적 특성을 일부 복구하기 위한 후속 열처리 공정을 제안한다. 먼저, 실리콘 웨이퍼 상에서 enclosed-layout MOSFETs 소자를 제작한다. 이 과정에서, 게이트 절연막의 노후화를 최소화하기 위하여, deuterium annealing을 PMA로써 적용한다. 그리고 대략 63년 동안의 노출량에 해당하는, 고준위  $\gamma$ -ray에 소자를 노출시켜, 소자의 손상을 정량적으로 평가한다 [10]. 이후, 제안하는 low-temperature heat treatment (LTHT)를 단시간 진행하여, 소자의 전기적 특성 복구를 확인하고, 정량적으로 분석한다. 그리고 다양한 게이트 길이 (gate length,  $L_G$ ) 및 채널의 폭(channel width,  $W_{CH}$ )을 지니는 소자를 제작하여, 제안하는 LTHT의 유효성을 재확인한다. 이러한 연구는, 가혹한 전기적/환경적 환경에서 구동하는 반도체 소자의 장기적인 신뢰성 및 수명 연장을 위하여, 효과적으로 적용될 수 있다.

## 2. 실험 방법

LTHT를 통한 소자의 복구를 확인하기에 앞서, enclosed-layout transistor (ELT) 구조 기반의 NMOS 소자를 그림 1(a)와 같이 실리콘 기판 상에서 제작하였다 [11]. 이와 같은 소자 구조는 shallow trench isolation (STI)과 같은, 두꺼운  $\text{SiO}_2$  isolation층을 지니고 있지 않은 것이 특징이다. 따라서 TID에 대한 내 방사선(radiation tolerance) 소자 구조로 잘 알려져 있다 [12]. 뿐만 아니라, ELT 소자는 제조 과정이 간단하여, 소자 및 공정의 검증을 위한 test vehicles (TVs)로 활용되기에 적합하다 [13]. 본 연구에서는 그림 1(b)와 같이 4인치 p-type 실리콘 웨이퍼 상에서 ELT 구조의 TVs 소자를 제작하였다. 웨이퍼 클리닝 이후, dry oxidation을 통해 10 nm 두께의  $\text{SiO}_2$  gate oxide을 형성하였다. 그 후, low-pressure chemical vapor deposition (LPCVD) 공정 및 포토 공정을 진행하여 100 nm 두께의  $n^+$  poly-Si gate 전극을 형성하였다. 그리고 ion implantation 공정을 통해 Arsenic ( $5 \times 10^{15} \text{ cm}^{-2}$ , 40 keV)을 self-align으로 주입하고, rapid thermal annealing (RTA) 공정을 1,000°C에서 10초간 진행하여, source와 drain 영역을 형성하였다. 제작된 소자의 광학 현미경 사진과 transmission-electron microscopy (TEM) 사진은 그림 1(c) 및 (d)와 같다. 제작된 소자는  $L_G$

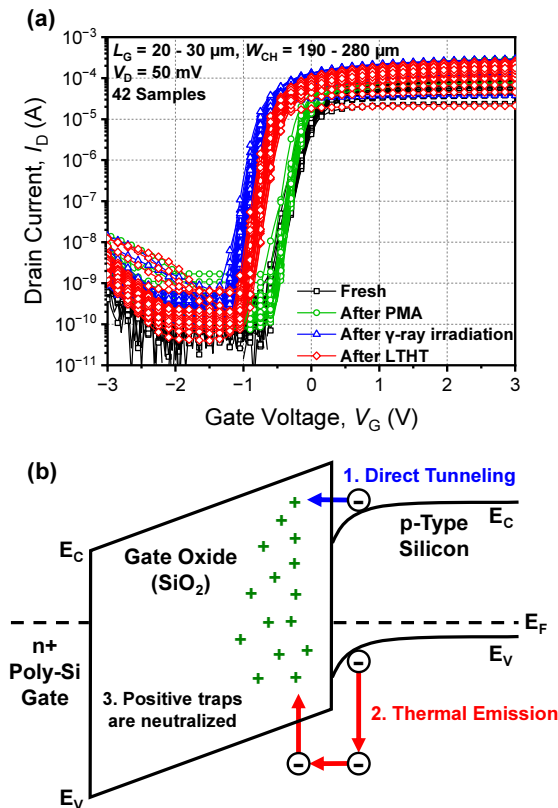
를 기준으로 20~30  $\mu\text{m}$  범위, 그리고  $W_{CH}$ 를 기준으로 190~280  $\mu\text{m}$  범위를 지니고 있으며, 제작 완료된 소자를 질소( $\text{N}_2$ )와 중수소( $\text{D}_2$ )가 혼합된 가스를 챔버에 주입하여, 300°C에서 60분간 PMA를 수행하였다 [14]. 이후, 소자는  $^{60}\text{Co}$ 가 방출하는, 선량 185 rad/s의  $\gamma$ -ray에 노출되었으며, 총 누적 선량 2 Mrad의 TID 스트레스에 노출되었다. 이때, 소자의 모든 전극은 모든 전극을 floating 상태를 유지하였다.  $\gamma$ -ray에 소자 노출 전/후, Keithley 4200A parameter analyzer를 활용하여, 총 42개 소자의  $I_D$ - $V_G$  특성을 측정하고,  $V_{TH}$  및  $SS$ 를 추출하였다. 이후, hot-plate를 활용하여 200°C에서 60분간 LTHT를 수행하였으며, LTHT 종료 이후, 동일한 소자를 동일한 조건에서 재 측정하였다. 모든 측정은 상온의 대기 중에서 이루어졌다.



**Fig. 1.** (a) 3D schematics of an enclosed-layout transistor (ELT) for test vehicles (TVs), (b) summary of the fabrication process flow of the TVs, (c) an optical microscope image, and (d) a TEM image of a device.

### 3. 결과 및 고찰

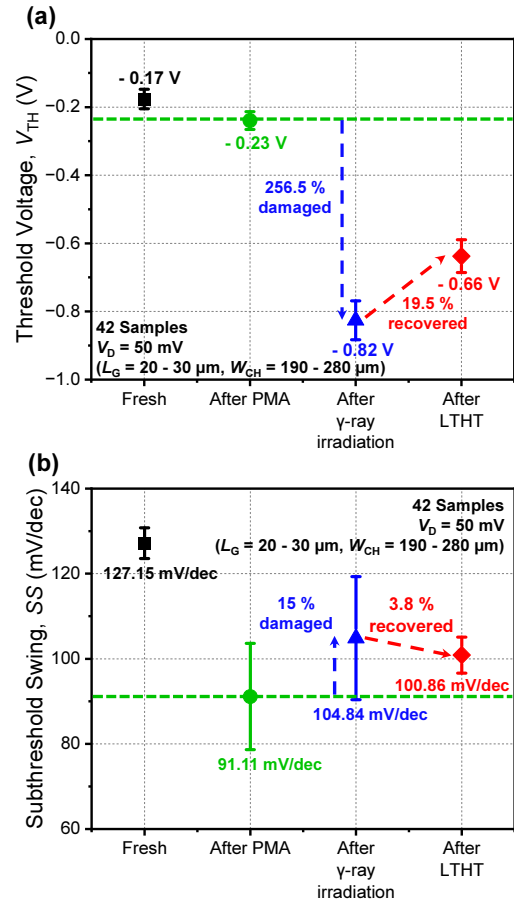
그림 2(a)는 실험에 사용된 소자들의  $I_D$ - $V_G$  특성을 보여 준다. 소자의 측정은, 소자 제작 직후(fresh), PMA 직후(after PMA),  $\gamma$ -ray 노출 직후(after  $\gamma$ -ray irradiation), 그리고 LTHT 직후(after LTHT), 동일한 소자를 대상으로 총 4회 이루어졌다. Fresh 상태의 소자에서, PMA 적용 이후, 소자의  $SS$  및  $I_{D,sat}$  특성이 확연히 개선됨이 확인되었으며, 이는 주입된 deuterium을 통한  $SiO_2$  gate oxide와 Si 채널 사이의 interface trap이 효과적으로 제거되었음을 보여준다 [4]. 이후, 동일한 소자를  $\gamma$ -ray에 노출시켰을 때, 소자의  $V_{TH}$ 는 음의 방향으로 이동하며, 이는 그림 2(b)와 같이  $SiO_2$  gate oxide 내에서 이온화되어 축적된 positive traps으로 인한 것이다 [15,16]. 그리고 제안하는 LTHT를  $\gamma$ -ray에 의해 손상된 소자에 적용한 경우, 소자의  $V_{TH}$ 가 다시 양의 방향으로 돌아가는 것을 확인할 수 있다. 이를 통해,  $\gamma$ -ray에 의해 손상된 소자가 LTHT를 통해 일부 복구 가능함을 확인할 수 있다.  $\gamma$ -ray로 인하여,



**Fig. 2.** (a) Measured  $I_D$ - $V_G$  characteristic at fresh, after PMA, after  $\gamma$ -ray irradiation, and after LTHT and (b) schematic of thermal recovery using LTHT for damaged gate oxide.

$SiO_2$  gate oxide 내에 생성된 positive traps는  $200^\circ C$  전후의 온도에서, 실리콘 기판상에서 공급되는 전자의 direct tunneling 또는 thermal emission에 의한 recombination 및 중성화로 제거 가능한 것으로 알려져 있다 [16-18].

그림 3은 다수 소자의 전기적 특성을 정량적으로 평가하기 위하여 추출된,  $V_{TH}$ 와  $SS$ 의 평균값 및 표준편차를 보여준다. 이때, 소자의  $V_{TH}$ 는 일정 크기의  $I_D$ 와  $W_{CH}/L_G$  비율을 곱하여 추출하는 constant current (CC) method를 기반으로 추출하였다 [19]. 그리고  $SS$ 는  $V_{TH}$ 를 기준으로 100배 낮은 전류 구간의 기울기를 통하여 추출하였다.  $\gamma$ -ray에 노출된 이후, 손상된 소자의  $V_{TH}$  평균 값은  $-0.82 V$ 이었으나, LTHT 이후,  $-0.66 V$ 으로 19.5% 복구되었다. 마찬가지로,  $\gamma$ -ray에 노출된 이후의 손상된 소자의  $SS$  평균 값은  $104.84 mV/dec$ 에서  $100.86 mV/dec$ 으로 3.8% 복구되었다. 애초에  $\gamma$ -ray에 의하여 발생한  $V_{TH}$ 의 손상은



**Fig. 3.** Extracted (a)  $V_{TH}$  and (b)  $SS$  characteristics of devices at fresh, after PMA, after  $\gamma$ -ray irradiation, and after LTHT.

256%인 반면, SS의 손상은 15%로 상대적으로 적은 것을 확인할 수 있다. 즉  $\gamma$ -ray에 의한 SiO<sub>2</sub> gate oxide 및 소자의 손상은,  $V_{TH}$ 를 변화시키는 positive traps의 증가가, SS를 변화시키는 interface traps의 증가보다 더 우세한 것으로 여겨진다 [20,21]. 따라서 소자의 복구 측면에서도, 주요 소자 손상 원인인 positive traps의 제거로 인하여,  $V_{TH}$ 의 복구가 SS의 복구보다 더 뚜렷하게 나타남을 확인할 수 있다.

#### 4. 결론

이 연구에서는, 고준위  $\gamma$ -ray에 의하여 손상된 NMOS 반도체 소자의, 전기적 특성 복구를 가능하게 하는 low-temperature heat treatment (LTHT) 기술을 제안하였다. 먼저, 실리콘 웨이퍼에서 enclosed-layout transistor (ELT) 구조 기반의 NMOS 소자를 제작하였으며, deuterium을 활용하여 PMA를 진행하였다. PMA가 적용된 소자를 고준위  $\gamma$ -ray에 노출시켰을 때, 소자의  $V_{TH}$  및 SS 손상이 각각 256.5%, 15.0% 발생함을 확인하였다. 따라서 비록 deuterium을 활용한 PMA 공정이, MOSFET의 신뢰성을 연장시키는 가장 효과적인 방법임에도 불구하고, 고준위  $\gamma$ -ray에 의한 소자의 SiO<sub>2</sub> gate oxide 손상은 여전히 불가피함이 확인되었다. 그리고 제안하는 LTHT를 통하여, 소자의 복구 특성을 정량적으로 확인하였다. LTHT 시행 이후, 소자의  $V_{TH}$  및 SS는 각각 19.5%, 3.8% 복구되었으며, 이는 인가된 열을 통해 positive traps가 실리콘 기판상에서 공급되는 전자의 direct tunneling 또는 thermal emission에 의한 중성화로 제거되기 때문이다. 결론적으로, 소자 제작 이후 주기적으로 반복되는 저온의 후속 열처리, 소자의 전기적 특성 열화 복구를 가능하게 하여, 장기간 구동하는 반도체 소자에 유용하게 적용될 수 있다.

#### ORCID

Jun-Young Park

<https://orcid.org/0000-0003-4830-9739>

#### 감사의 글

본 과제(결과물)는 2024년도 교육부의 재원으로 한국연구재단의 지원을 받아 수행된 지자체-대학 협력 기반 지역 혁신 사업의 결과입니다(2021RIS-001).

#### REFERENCES

- [1] C. Hu, *Proc. IEEE*, **81**, 682 (1993).  
doi: <https://doi.org/10.1109/5.220900>
- [2] A. Acovic, G. La Rosa, and Y. C. Sun, *Microelectron. Reliab.*, **36**, 845 (1996).  
doi: [https://doi.org/10.1016/0026-2714\(96\)00022-4](https://doi.org/10.1016/0026-2714(96)00022-4)
- [3] J. R. Schwank, M. R. Shaneyfelt, D. M. Fleetwood, J. A. Felix, P. E. Dodd, P. Paillet, and V. Ferlet-Cavrois, *IEEE Trans. Nucl. Sci.*, **55**, 1833 (2008).  
doi: <https://doi.org/10.1109/TNS.2008.2001040>
- [4] D. H. Wang, S. S. Yoon, J. Y. Ku, D. H. Jung, K. S. Lee, D. Kim, and J. Y. Park, *IEEE Trans. Device Mater. Reliab.*, **23**, 297 (2023).  
doi: <https://doi.org/10.1109/tdmr.2023.3275947>
- [5] T. R. Oldham and F. B. McLean, *IEEE Trans. Nucl. Sci.*, **50**, 483 (2003).  
doi: <https://doi.org/10.1109/TNS.2003.812927>
- [6] N. M. Johnson, D. K. Biegelsen, and M. D. Moyer, *J. Vac. Sci. Technol.*, **19**, 390 (1981).  
doi: <https://doi.org/10.1116/1.571070>
- [7] J. Y. Park, D. I. Moon, H. Bae, Y. T. Roh, M. L. Seol, B. H. Lee, C. H. Jeon, H. C. Lee, and Y. K. Choi, *IEEE Electron Device Lett.*, **37**, 843 (2016).  
doi: <https://doi.org/10.1109/LED.2016.2574341>
- [8] Ph. Avouris, R. E. Walkup, A. R. Rossi, T. C. Shen, G. C. Abeln, J. R. Tucker, and J. W. Lyding, *Chem. Phys. Lett.*, **257**, 148 (1996).  
doi: [https://doi.org/10.1016/0009-2614\(96\)00518-0](https://doi.org/10.1016/0009-2614(96)00518-0)
- [9] E. Cartier, J. H. Stathis, and D. A. Buchanan, *Appl. Phys. Lett.*, **63**, 1510 (1993).  
doi: <https://doi.org/10.1063/1.110758>
- [10] R. H. Maurer, M. E. Fraeman, M. N. Martin, and D. R. Roth, *Johns Hopkins APL Tech. Dig.*, **28**, 17 (2008).
- [11] W. J. Snoeys, T.A.P. Gutierrez, and G. Anelli, *IEEE Trans. Nucl. Sci.*, **49**, 1829 (2002).  
doi: <https://doi.org/10.1109/TNS.2002.801534>
- [12] M. Bucher, A. Nikolaou, A. Papadopoulou, N. Makris, L. Chevas, G. Borghello, H. D. Koch, and F. Faccio, *Proc. 2018 IEEE International Conference on Microelectronic Test Structures (ICMTS)* (IEEE, Austin, USA, 2018) p. 166.  
doi: <https://doi.org/10.1109/ICMTS.2018.8383790>
- [13] G. P. Platcheck, G. S. Cardoso, and T. R. Balen, *IEEE Trans. Aerosp. Electron. Syst.*, **59**, 2072 (2022).  
doi: <https://doi.org/10.1109/TAES.2022.3210079>
- [14] T. H. Kil, J. H. Kim, J. Y. Ku, D. H. Wang, D. H. Jung, M. H. Kang, and J. Y. Park, *IEEE Trans. Electron Devices*, **71**, 1078 (2024).  
doi: <https://doi.org/10.1109/TED.2023.3344090>
- [15] Y. Liu, W. J. Wu, Y. F. En, L. Wang, Z. F. Lei, and X. H. Wang, *IEEE Electron Device Lett.*, **35**, 369 (2014).

- doi: <https://doi.org/10.1109/LED.2014.2301801>
- [16] A. J. Lelis, T. R. Oldham, H. E. Boesch, and F. B. McLean, *IEEE Trans. Nucl. Sci.*, **36**, 1808 (1989).  
doi: <https://doi.org/10.1109/23.45373>
- [17] P. J. McWhorter, S. L. Miller, and W. M. Miller, *IEEE Trans. Nucl. Sci.*, **37**, 1682 (1990).  
doi: <https://doi.org/10.1109/23.101177>
- [18] J. Y. Park, D. I. Moon, G. B. Lee, and Y. K. Choi, *IEEE Trans. Electron Devices*, **67**, 777 (2020).  
doi: <https://doi.org/10.1109/TED.2020.2964846>
- [19] H. G. Lee, S. Y. Oh, and G. Fuller, *IEEE Trans. Electron Devices*, **29**, 346 (1982).  
doi: <https://doi.org/10.1109/T-ED.1982.20707>
- [20] Y. Qiu, R. Wang, Q. Huang, and R. Huang, *IEEE Trans. Electron Devices*, **61**, 1284 (2014).  
doi: <https://doi.org/10.1109/TED.2014.2312330>
- [21] S. Amor, N. André, V. Kilchytska, F. Tounsi, B. Mezghani, P. Gérard, Z. Ali, F. Udrea, D. Flandre, and L. A. Francis, *Nanotechnology*, **28**, 184001 (2017).  
doi: <https://doi.org/10.1088/1361-6528/aa66a4>