

반도체공학회의 반도체 기술 발전 로드맵 연구

(Research on Semiconductor Technology Roadmap by the Institute of Semiconductor Engineers)

신현철^{1,+}, 남일구², 양준모³, 민병욱⁴, 이규호⁵, 윤치원⁶, 송진호⁷
(Hyunchol Shin^{1,+}, Ilku Nam², Jun-Mo Yang³, Byung-Wook Min⁴, Kyuho Lee⁵, Chiweon Yoon⁶, and Jean Ho Song⁷)

요약

반도체는 전자 기기 및 시스템을 구성하는 핵심 기술로서, 반도체 기술 발전 방향을 예측 및 제시하는 것이 필요하다. 본 연구에서는 무어 법칙에 따른 반도체 소자의 지속적인 집적화 기술, 시스템 응용에 따른 프로세서 기술, 인공지능/기계학습(AI/ML) 지원 프로세서 기술, 외부시스템 연결 기술로서의 광통신 및 무선통신 기술을 중심으로 각 분야의 핵심적인 기술 개발 이슈, 발전 동향, 그리고, 앞으로의 발전 로드맵에 대한 기초적인 연구결과를 제시하였다.

ABSTRACT

Semiconductors are considered as one of the essential technologies in modern electronic devices and systems. Thus, it is required to predict and propose the semiconductor technology development roadmap. This study describes the key semiconductor technology issues, research and development trends, and their future roadmap, in the four areas such as the semiconductor device More-Moore integration technology, system-specific application processor technology, artificial intelligence/machine learning (AI/ML) processor technology, and outside system connectivity via optical and wireless communication.

KEY WORDS

Semiconductor; Roadmap; More Moore; Device; Process; Design

I. 서론

반도체 기술은 ‘전자산업의 쌀’이라 인식될 정도로 현대 전자 시스템 구성에 필수적인 기술이 되었다. 현재 일반적인 전자시스템의 약 30% 이상이 반도체 부품으로 이루어진다고 알려져 있다. 또한,

국가의 방위산업 무기체계에도 각종 반도체 부품이 필수적이어서 국가 전략산업으로도 중요한 기술이 되고 있다.

반도체 산업은 인공지능, 클라우드, 빅데이터, 사물인터넷, 로봇, 자율주행차 등 차세대 신기술의 급격한 발전에 따라 매우 빠르게 변화하는 분야이고 국가적으로도 반도체 기술 및 산업 발전을 지원 육성하는 것이 필요하기 때문에 이의 발전 방향을 예측하고 준비하는 것이 필요하다.

본 논문에서는 반도체공학회의 반도체 기술 발전 로드맵 수립 전략 및 방향을 제시하고, 이를 통해 우리나라 반도체 산업의 지속적인 발전과 초격차 확보 및 유지 전략에 도움이 되고자 한다.

¹ Kwangwoon University
+Corresponding author: Hyunchol Shin, hshin@kw.ac.kr
² Pusan National University
³ National Nanofab Center
⁴ Yonsei University
⁵ Ulsan National Institute of Science and Technology
⁶ Samsung Electronics Co., Ltd.
⁷ LIPAC Co., Ltd.
(Received Jul. 19, 2024, Revised Aug. 1, 2024, Accepted Aug. 9, 2024)

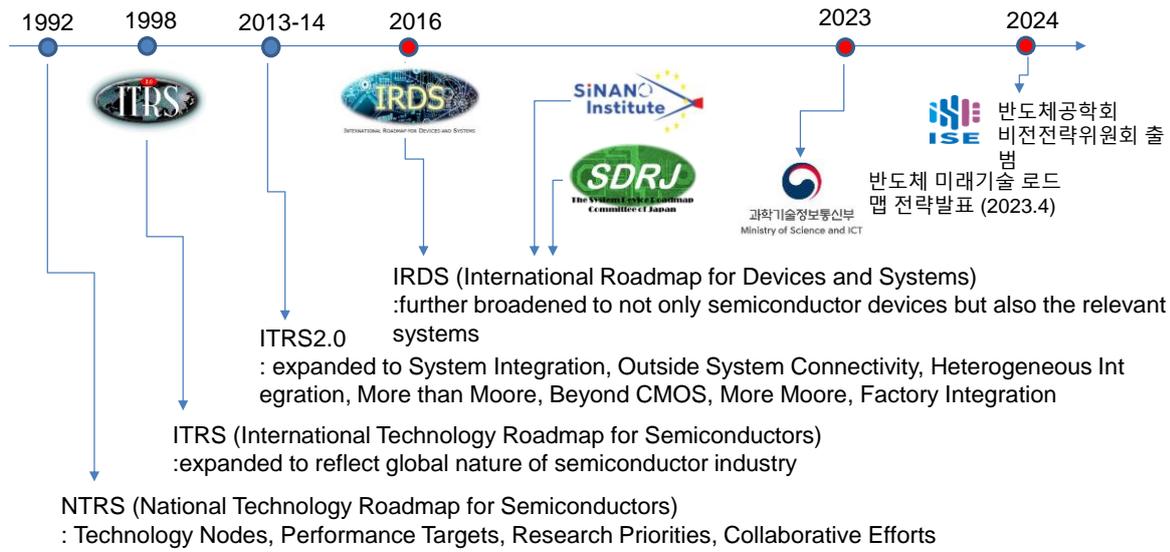


그림 1. 반도체 로드맵 수립 동향

II. 글로벌 반도체 로드맵 수립 동향

그림 1은 전 세계적인 반도체 로드맵 수립 동향을 보이고 있다. 1992년 미국은 NTRS(National Technology Roadmap for Semiconductors)를 설립하여 반도체기술 로드맵 수립 활동을 시작하였고, 1998년부터는 ITRS(International Technology Roadmap for Semiconductors)로 발전하였다. 특히, 2013년 ITRS2.0을 통하여 기존 반도체 소자 및 공정 기술 뿐 아니라 시스템 통합, 외부시스템 연결, 이종시스템 집적기술, CMOS 이후 소자 등 로드맵 수립 기술 분야를 확장하게 된다.

이후 2016년 ITRS는 반도체 소자와 함께 이를 기반으로 하는 관련 시스템의 발전 로드맵을 포함하도록 IRDS(International Roadmap for Devices and Systems)로 확장된다[1]. IRDS는 유럽의 SiNANO Institute 및 일본의 SDRJ(The System Device Roadmap Committee of Japan)이 참여하여 활동하고 있다.

우리나라는 2023년 과학기술정보통신부에서 ‘반도체 미래기술 로드맵’을 통하여, 소자, 설계, 공정의 세 분야에서 45개 핵심 기술 주제를 선정 발표한 바 있다[2].

반도체공학회는 2024년 1월부터 대한민국 반도체 산업의 15-20년을 내다보는 로드맵 수립이 필요하다고 보고 이를 위한 비전전략위원회를 구성하여 로드맵 수립 연구를 시작하였다. 본

논문에서는 이에 대한 지금까지의 로드맵 수립 현황을 기술하고자 한다.

III. 반도체 기술 체계 분류

반도체는 다양한 응용 시스템에 따라 다양한 형태와 용도로 적용된다. 따라서, 단순히 반도체 기술 만의 발전을 예측하기 보다는, 이것이 적용되는 전자 부품(Device)과 시스템(System) 기술의 발전도 같이 예측하는 것이 필요하다. 여기서 부품(Device)는 전자 시스템을 구성하는데 필요한, 프로세서, 유무선 통신 트랜시버, 전력관리, 메모리, 센서 등의 구성 요소가 되는 반도체 칩, 소자, 집적회로 등을 포함하는 반도체 부품을 의미한다.

그림 2는 전자 부품 및 시스템 기술 체계를 분류한 것이다. 우선, 시스템 구조는 데이터센터와 같이 대규모 컴퓨팅 및 처리를 목적으로 하는 클라우드 시스템(Cloud System), 휴대폰 같은 다양한 기능을 하는 증강 개인 시스템(Augmented Personal System), 사물인터넷의 센서노드와 같은 IoT-Edge 시스템(IoT-Edge System), 자율주행차 및 커넥티드 로봇처럼 사이버 공간에 연결되어 동작하게 되는 사이버-물리공간 연결 시스템(Cyber-Physical System)의 네 가지로 분류할 수 있다.

표 1. 집적화 기술 (More Moore) 발전 전망

	2022	2025	2028	2031	2034	2037	
	G48M24	G45M20	G42M16	G40M16/T2	G38M16/T4	G38M16/T6	
Node Label	3nm	2nm	1.5nm	1.0nm eq	0.7nm eq	0.5nm eq	
3D Integration	Stacking	Stacking	Stacking	3D VLSI	3D VLSI	3D VLSI	
Device structure options	finFET	LGAA	LGAA CFET-SRAM	LGAA-3D CFET-SRAM-3D	LGAA-3D CFET-SRAM-3D	LGAA-3D CFET-SRAM-3D	
Inflection Point	Device	Taller fin	LGAA	CFET-SRAM	Low-Temp Device	Low-Temp Device	Low-Temp Device
	Patterning	193i, EUV DP	193i, EUV DP	193i, High-NA EUV	193i, High-NA EUV	193i, High-NA EUV	193i, High-NA EUV
	Beyond CMOS	-	-	2D Device, FeFET	2D Device, FeFET	2D Device, FeFET	2D Device, FeFET
	Channel	SiGe50%	SiGe60%	SiGe70%	SiGe70%, Ge	2D	2D
	Interconnection	Self-Aligned Vias	Backside Rail	Backside Rail	Tier-to-Tier Via	Tier-to-Tier Via	Tier-to-Tier Via
	Process Technology	Channel, RMG	Lateral/Atomic Etch	P-over-N, N-over-P	3D VLSI	3D VLSI	3D VLSI
	Stacking	3D-stacking Mem-on-Logic	3D-stacking Mem-on-Logic	3D-stacking, CFET Mem-on-Logic	3D-stacking, CFET 3D VLSI	3D-stacking, CFET 3D VLSI	3D-stacking, CFET 3D VLSI

이러한 네가지 전자 시스템을 구현하기 위한 전자 부품(Device)으로는, 데이터 처리를 위한 프로세서(Processor)가 중심에 있다. 클라우드 시스템 등 전력소모에 제한 받지 않는 대규모 시스템용 프로세서(Large-Scale system Processor)와 개인기기 또는 IoT-E 시스템 등 소규모 시스템용 프로세서(Small-Scale system Processor)로 분류할 수 있다. 또한, 데이터의 저장을 위한 메모리 부품이 있다.

프로세서에 센서(Sensor)와 구동기(Actuator)가 연결되어 기존 반도체 칩 만이 아닌 다양한 부가 기능이 통합되는 모어댄무어(More-than-Moore) 로 발전할 수 있다.

또한, 외부 시스템으로의 연결 및 통신(Outside System Connectivity) 기능이 있어야 한다. 이는 무선 및 유선을 포함한다. 또한, 모든 기기의 전력(Power) 공급 및 관리를 담당하는 부품이 필요하다. 마지막으로, 인공지능 및 기계학습(Artificial Intelligence(AI)/Machine Learning(ML)) 기능이 프로세서 및 부품에 적용되고 있다. 이러한 전자 부품 기술을 조합함으로써, 앞서 언급한 네가지 전자 시스템을 구현할 수 있다.

이러한 부품과 시스템을 구현하는 반도체 기술은 전공정(Front-End Process)과 후공정(Back-End Process)으로 구분된다. 전공정 기술은 무어법칙에 따른 집적화 기술(More Moore), 신소자 기술(Beyond CMOS), 리소그래피 기술(Lithograph), 수율 개선 기술(Yield Enhancement) 등을 포함하며, 후공정 기술은 칩렛(Chiplet), 3차원 패키징 기술(3D Packaging) 등을 포함한다.

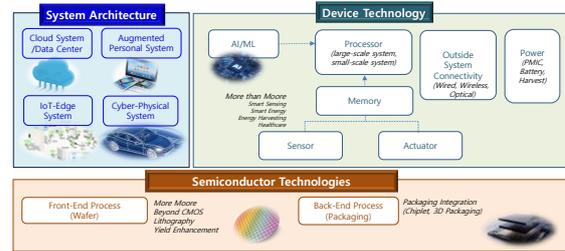


그림 2. 반도체 기술 체계 분류

IV. 반도체 기술 로드맵

본 연구에서는 그림 2의 반도체 기술중 집적화 기술(More Moore)과 부품 기술 중 프로세서(Processor) 및 연결(Connectivity) 기술에 대한 기술 발전 동향에 대해 간략히 제시하고자 한다.

1. 소자 집적화(More Moore) 기술

표 1은 IRDS에 따른 소자 집적화 발전 전망을 표로 정리한 것이다 [1]. 현재 fin-FET을 기반으로 하는 3nm급 공정이 개발된 상태이다.

이러한 집적화기술의 발전은 게이트 선포의 지속적인 축소만으로는 달성이 불가능하다. 예를 들어 1.5nm급 이하 공정에서의 게이트 길이는 12nm로 더 이상 줄어들지 못할 것으로 전망한다. 이와 같이 물리적 한계로 인해 게이트 길이의 지속적인 미세화가 불가능한 상황에서, 이제 산업계에서의 공정 노드 표기(Node Label)는 GxxMxx/Tx 형식으로 된다. G는 게이트 피치, M은 메탈 피치, T(Tier)는

표 2. 응용 프로세서 기술 발전 전망

Year of production	2021	2022	2025	2028	2031	2034	2037
Number of cores per socket (max) [1]	46	64	128	256	384	640	896
Processor base frequency (for multiple cores together) [2]	3.20	2.5~3.3	3.0~3.6	3.4~3.7	3.4~3.7	3.4~3.7	3.4~3.7
L1 data cache size (in kB) [3]	38	40	42	42	44	44	44
L1 instruction cache size (in kB) [4]	64	96	128	128	160	160	160
DDR bandwidth (TB/s)	0.2	0.31	0.76	1.02	1.2	1.2	1.2
Number of DDR channels	8 DDR4	12 DDR4	12 DDR5	16 DDR5	16 DDR6	16 DDR6	16 DDR6
Socket TDP (Watts)	280	300	450	600	600	700	700

3 차원 적층 수를 나타낸다.

현재 3nm 공정의 특징을 살펴보면, finFET 기반이되 핀(Fin)의 높이를 키우는 방향으로 개발되며, 리소그래피는 193i(193nm 파장 Immersion Lithography) 및 13.5nm 파장의 EUV(Extreme Ultraviolet) DP(Double Patterning Lithography) 기술이 사용된다. 채널에는 SiGe 50%를 적용해서 전자 이동도를 향상시키는 이종접합(Heterojunction) 구조를 채택한다.

2025 년 부터는 LGAA(Lateral Gate-All-Around) 소자가 채택될 것이다. 2028 년에는 NFET 과 PFET 이 집적된 CFET(Complementary FET)이 적용되어 집적도가 더욱 향상된다.

2031 년 부터는 3D VLSI 기술을 기반으로 하는 1nm 급 G40M16/T2 공정으로 발전할 전망이며, 이후 2034 년 0.7nm 급 G38M16/T4 공정, 2037 년 0.5nm 급 G38M16/T6 공정으로 발전한다. 여기서 주목할 것은 1nm 급 공정부터는 3D 적층기술이 적용되어 공정 노드별로 2 층, 4 층, 6 층으로 발전하여 집적도가 향상되는 것이다.

현재 우리는 2040 년에는 8 층 3D VLSI 공정을 기반으로 하는 0.3nm 급 집적화 공정이 상용화 될 것으로 예상된다.

2. 프로세서 설계 기술

시스템 응용 프로세서는 그림 2 에서 분류한 클라우드 컴퓨팅 등 처리속도에 중점을 둔 프로세서, 증강형 개인 소자에 사용되는 프로세서, IoT 엣지 소자에 사용되는 프로세서, 가상물리시스템에 사용되는 프로세서로 구분하여 발전 방향을 전망할 수 있다. 각 응용분야별로 처리 속도 및 용량을 대규모 필요로 하는 대규모 시스템 프로세서(Large-scale System Processor)와 소규모 시스템(Small-scale System Processor)로 구분할 수 있다.

표 2 는 처리 속도 및 용량에 중점을 둔 대규모 프로세서의 발전 로드맵을 예측한 것이다 [1]. 현재 소켓당 64 개의 코어에서 2037 년에는 소켓당 896 개의 코어까지 발전할 것으로 예상된다. DDR 대역폭도 현재 310GB/s 에서 2037 년 1.2TB/s 로 발전할 것이다.

현재의 인공지능/기계학습 (AI/ML) 기술은 다양한 소프트웨어와 하드웨어의 조합으로 시스템에 적용될 수 있다. 예를 들어, 하드웨어 칩으로는 CPU, GPU, TPU, NPU, FPGA, Accelerator 등이 사용될 수 있고, 라이브러리는 CUDA, CuBLAS, OpenBLAS 등이 가능하고, 그래프 컴파일러는 XLA, nGraph, Glow 등이 가능하다. 또한, ML 프레임워크로는 TensorFlow, PyTorch, Caffe 등 다양한 선택이 있다. 무엇보다도 AI/M 가 적용되는 영상, 음성, 번역, 자율주행 등이 다양한 응용분야에 따라 서로 다른 성능지표로의 평가가 필요하다.

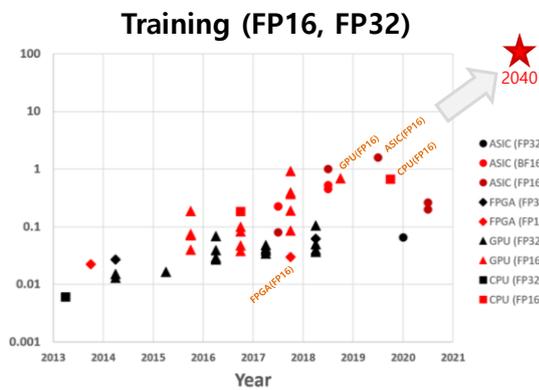
이러한 다양한 구현 옵션에 따른 성능발전이 반도체 칩 기술과 직접적이고 정비례적인 관계로 발전할 것이라고 예상하긴 어렵다. 또한, 훈련과 추론이 동일한 하드웨어로 실행할 필요가 없을 것이다. 예를 들어, 훈련은 클라우드 컴퓨팅 프로세서로 수행하고, IoT 엣지 시스템 등에서는 실시간의 제한된 자원에서 추론하도록 하는 것이 가능하다. 이와 같이, 응용분야에 따라 다양한 플랫폼과 평가지표가 존재할 수 있는데, 훈련속도와 추론속도, 추론지연시간, 계산능력, 전력소모, 가격, 폼팩터 등 다양한 조건을 반영한 로드맵 수립이 가능하다.

그림 3 은 (a) 훈련용 및 (b) 추론용 인공지능 프로세서의 TOPS/W (Tera Operations per Watt) 성능 발전 추이를 CPU, GPU, FPGA, ASIC 반도체에 대하여 표시한 것이다 [1]. 매년 TOPS/W 성능이

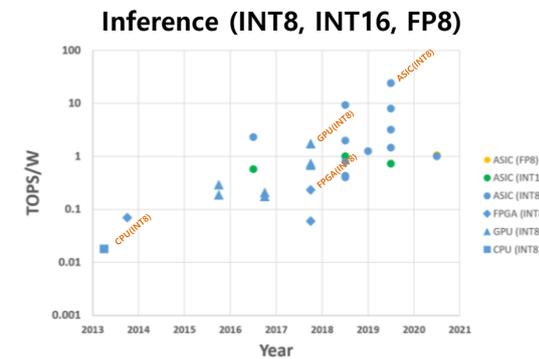
표 3. 무선통신 기술 발전 전망

	2023	2026	2029	2032	2035
Bluetooth EDR Data Rate (Mbps)	2/3	2/3	2/3	2/3	2/3
BLE Data Rate (Mbps)	1/2	1/2	1/2	1/2	1/2
WiFi Max Data Rate (Gbps) @ 45m	0.867	0.867	0.867	0.867	0.867
WiGig 60GHz Data Rate (Gbps)	4.6-7	4.6-7	4.6-7	4.6-7	4.6-7
Cellular Data Rate (Gbps)	7	10	20	50	70
3G/4G RF Frequency (GHz)	<4	<4	<4	<4	<4
5G/6G mm-Wave Frequency (GHz)	28	28, 39, >72	28, 39, >72	28, 39, >72	28, 39, >72
Data Rate (Gbps)	7	10	20	50	50

지수함수적으로 발전하는 것을 확인할 수 있다. 훈련용 프로세서의 경우 현재 약 1 TOPS/W 수준인데, 2040 년 경에는 100 TOPS/W 까지 발전이 가능할 것으로 보인다.



(a)



(b)

그림 3. 인공지능 반도체 처리 속도 발전 동향; (a) 훈련용, (b) 추론용

3. 초연결 반도체 기술

전자 소자 및 시스템에서 생성, 처리된 데이터는 외부 시스템과 연결된다. 그림 4 는 이러한 연결 시스템의 기술 체계를 구분한 것이다.

데이터 센터의 서버 랙을 기준으로 랙

내부 및 외부 연결은 광통신 기술이 적용된다. 여기에는 광통신 트랜시버를 사용한 능동형 광 커넥터(Active Optical Connector)가 사용된다. 데이터센터에서 통신 네트워크로의 연결은 파장 분할 멀티플렉싱(Wavelength Division Multiplexing: WDM) 기술을 적용한 광통신네트워크 기술이 적용되며, 최종적으로 가정이나 사무실까지의 최종단 연결(Fiber-to-the-X: FTTX)에도 광통신 기술이 적용된다.

한편, 가정, 사무실 등 시설내 근거리 무선통신은 와이파이(WiFi), 60GHz ISM 대역 와이파이인 WiGig, 블루투스(Bluetooth) 등이 사용되며, 이동통신 (Cellular) 이동통신으로는 5G/6G 등 기술이 사용된다.

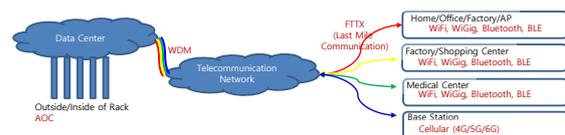


그림 4. 외부시스템 연결 기술 체계

이러한 초연결 시스템을 구동하기 위한 무선 반도체 개발이 필요하다. 표 3 은 무선통신 기술 발전 로드맵을 정리한 것이다. IoT에 사용되는 블루투스 전송율은 1-3 Mbps 수준에서 사용되고 있으며, 60GHz 기반 밀리미터파 WiFi 인 WiGig 는 7Gbps 수준이다. 이동통신(Cellular)의 전송율이 매년 증가할 것인데, 현재 7Gbps 수준에서 2035 년 70Gbps 까지 향상될 것으로 전망한다. 이러한 이동통신 전송율 향상은 28GHz, 39GHz, 72GHz 등 밀리미터파의 점차적인 적용을 통해 데이터 전송율을 높이게 된다. 따라서, 이에 적용될

수 있는 반도체 설계 기술이 개발이 필요하다. 무선통신 반도체 회로 설계 기술과 변복조 기술의 발전으로 향후 100Gbps 까지 전송율을 향상시키려는 연구도 진행되고 있다[3].

그림 5 는 데이터센터 서버 통신에 적용되는 광통신 소자의 발전 방향을 정리한 것이다[4]. 현재 1 세대 플러그형 광트랜시버(Pluggable Transceiver)인데, 이는 독립된 광트랜시버를 모듈 형태로 별도 구현하고 이를 반도체 보드에 플러그 형식의 커넥터를 이용하여 연결하는 구조이다.

앞으로는 이러한 광부품(Optics)들이 점차적으로 반도체 칩 및 보드에 집적하는 형식으로 발전이 예상되는데, 2 세대에서는 보드상에 광부품이 집적되는 On-board optics 를 포함하는 구조로 발전하고, 3 세대 부터는 반도체 칩 내부로 광부품이 집적화가 이루어진다. 이를 일괄 패키지 광부품(Co-packaged optics: CPO)이라 한다. 3 세대에는 2.5D CPO, 4 세대는 3D CPO 로 발전한다. 최종적으로 5 세대에서는 광 소스가 되는 레이저 부품까지 반도체 칩에 집적되는 형태의 광 연결 트랜시버로 발전할 것이다.

1 세대 플러그형 트랜시버는 서버 랙 외부통신에 적용되고 있으며 현재 800Gbp 전송율에 4pJ/bit 의 에너지 소비를 가지고 있다. 2026 년부터는 데이터 전송율이 1600Gbps 로 증가하며, 에너지 소비도 2pJ/bit 로 감소한다. 2033 년 부터는 3200Gbps 전송율로 발전하며, 에너지 소비는 1.5pJ/bit 이 될 것이다.

한편, 서버 랙 내부 통신은 3D CPO 트랜시버를 적용하는 방향으로 발전하고 이는 200Gbps 까지 전송율이 높아질 것으로 전망된다.

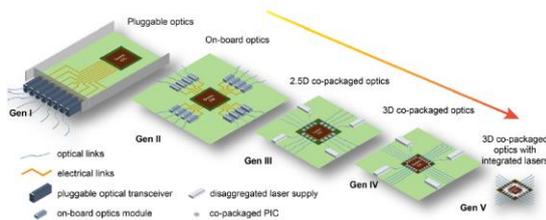


그림 5. 광연결 부품 기술 발전 방향[4]

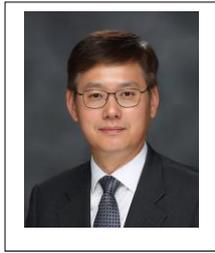
반도체 기술 발전을 전망하고 이에 대한 로드맵을 수립하는 것은 국가의 반도체 산업 주도권 확보 및 유지에 매우 중요하다. 본 연구에서는 반도체 기술 발전 로드맵 수립을 위한 반도체공학회의 기초 연구 결과를 기술하였다. 앞으로 우리나라 반도체 기술의 15-20년을 전망하는 기술 발전 로드맵을 지속적으로 연구하고 발표함으로써 우리나라 반도체 산업 발전 및 학술 연구의 방향을 제시하고자 한다.

참고 문헌

[1] IRDS (International Roadmap for Devices and Systems), available at <https://irds.ieee.org>
 [2] 과학기술정보통신부 반도체 미래기술 로드맵 발표(2023.04)
 [3] C. Carlowitz and M. Dietz, "Integrated Front-End Approaches for Wireless 100Gb/s and beyond," IEEE Microw. Mag., vol. 24, no. 8, pp. 16-34, Aug. 2023
 [4] N. Margalit, C. Xiang, S. M. Bowers, A. Bjorlin, R. Blum, J. E. Bowers, "Perspective on the future of silicon photonics and electronics," Appl. Phys. Lett. 118, 220501, Jun. 2021.

V. 요약 및 결론

신 현 철 (Hyunchol Shin), 평생회원



1991년 2월 : KAIST 전
기 및 전자공학과 공학사
1993년 2월 : KAIST 전
기 및 전자공학과 공학석
사
1998년 2월 : KAIST 전
기 및 전자공학과 공학박
사

1998년 3월 - 2000년 3월: 삼성전자(주) 선임연
구원
2000년 4월 - 2002년 4월: 미국 UCLA 박사
후연구원
2002년 5월 - 2003년 8월: 미국 Qualcomm
선임연구원
2003년 9월 - 현재: 광운대학교 반도체시스템
공학부 교수
<관심분야> RF/Analog 반도체 집적회로 설
계

남 일 구 (Ilku Nam), 정회원



1999년 2월 : 연세대학교
전자공학과 공학사
2001년 2월 : KAIST 전
기 및 전자공학과 공학석
사
2005년 8월 : KAIST 전
기 및 전자공학과 공학박
사

2005년 7월 - 2007년 2월: 삼성전자(주) 책임연
구원
2013년 1월 - 2014년 2월: 삼성전자(주) 방문교
수
2022년 9월 - 2023년 8월: 미국 UCSB 방문
교수
2007년 3월 - 현재: 부산대학교 전기전자공학
부 교수
<관심분야> RF/Analog 반도체 집적회로 설
계

양 준 모 (Jun-Mo Yang), 평생회원

1998년 3월 : 도호쿠대학 금속재료공학부 공학
박사
1998년 10월 - 2004년 5월: (주)SK하이닉스 선
임/책임연구원



2004년 6월 - 현재:
KAIST 부설 나노융합기술
원 책임연구원
<관심분야> 반도체 공정/
물성분석

민 병 욱 (Byung-Wook Min), 정회원



2002년 8월 : 서울대학교
전기공학부 공학사
2004년 4월 : University of
Michigan, Ann Arbor 공학
석사
2004년 4월 : University of

Michigan, Ann Arbor 공학박사
2006년 1월 - 2008년 1월: 미국 UCSD 방문
연구원
2008년 1월 - 2010년 12월: 미국 Qualcomm
선임연구원
2019년 2월 - 2020년 2월: 미국 UCSD 방문
교수
2011년 9월 - 현재: 연세대학교 전기전자공학
부 교수
<관심분야> mm파 집적회로/배열안테나 설계

이 규 호 (Kyuhoo Lee), 정회원



2012년 2월 : KAIST 전
기 및 전자공학과 공학사
2014년 2월 : KAIST 전
기 및 전자공학과 공학석
사
2017년 8월 : KAIST 전
기 및 전자공학과 공학박
사

2017년 9월 - 2018년 7월: KAIST 정보전자
연구소 연구원
2018년 8월 - 2022년 8월: UNIST 전기전자
공학과 조교수
2022년 9월 - 현재: UNIST 전기전자공학과 부
교수
<관심분야> AI SoC, Processing-in-
Memory

윤치원 (Chiweon Yoon), 정회원



1997년 2월 : KAIST 전기 및 전자공학과 공학사
1999년 2월 : KAIST 전기 및 전자공학과 공학석사
2004년 2월 ; KAIST 전기 및 전자공학과 공학박사
2004년 3월-2021년 1월 : 삼성전자(주) Flash

개발실 연구원

2021년 2월 - 현재 : 삼성전자(주) VP of Technology

<관심분야> High Speed / Low Power IO 시스템 설계

송진호 (Jean Ho Song), 기업회원



1991년 2월 : 한양대학교 금속공학과 공학사
1993년 6월 : Columbia University 재료공학과 공학석사
2007년 2월 : 서울대학교 재료공학과 공학박사

1994년 9월 - 2012년 3월: 삼성전자(주) 수석 연구원

2013년 4월 - 2017년 8월: 삼성디스플레이 수석연구원

2017년 9월 - 2021년 3월: 인도 Twin Star (Vedanta) Display CTO (VP)

2021년 8월 - 현재: 라이팩(주) 기술마케팅 팀장
<관심분야> 초고속 데이터전송을 위한 Optical engine & Interconnect system