

LVTSCR 구조를 이용한 향상된 전류구동 특성을 갖는 자동차용 ESD 보호회로 연구

A study of Automotive ESD Protection Circuit with improved Current Driving characteristics Using LVTSCR Structure

송 보 배^{*★}, 김 영 철^{*}

Bo-Bae Song^{*★}, Young-Chul Kim^{*}

Abstract

In this paper, we propose an ESD protection circuit that applies structural changes to LVTSCR, a general low-voltage ESD protection circuit, to improve the current driving capability (IEC-ESD) characteristics of the ESD protection circuit. Power consumption was minimized by separating the area where the electric field and ESD current path are formed in the LVTSCR structure, and the electrical characteristics were analyzed and current driving characteristics were improved. Structural problems resulting from deterioration of system level characteristics were analyzed through simulation, and the characteristics were verified by reflecting this. The electrical characteristics of the proposed ESD protection circuit were verified using a TCAD simulator and analyzed through HBM modeling and system level modeling. In addition, silicon production and HBM 10kV characteristics were verified through DB-Hitek 0.18um BCD process.

요 약

본 논문에서는 ESD 보호회로의 전류구동 특성을 향상시키기 위해 일반적인 저전압용 ESD 보호회로인 LVTSCR의 구조적 변경을 적용한 ESD 보호회로를 제안한다. LVTSCR 구조에서의 electric field와 ESD 전류 경로가 형성 되는 영역을 분리하여 전력 소모를 최소화 하였으며 이에 대한 전기적 특성을 분석하고 전류 구동 특성을 개선하였다. 시뮬레이션을 통한 System-level 특성 저하에 기인하는 구조적인 문제를 분석하였으며 이를 반영하여 특성을 검증하였다. 제안된 ESD 보호회로의 전기적 특성은 TCAD 시뮬레이션을 통해 검증하였으며 HBM 모델링 및 System-level 모델링을 통해 분석하였다. 또한, DB-Hitek사의 0.18um BCD 공정을 통해 silicon 제작 및 HBM 10kV 특성 검증하였다.

Key words : ESD, LVTSCR, HBM, System-level, BCD

* DB HiTek

★ Corresponding author

E-mail : bobae.song@dbhitek.com, Tel : +82-32-724-3848

※ Acknowledgment

Manuscript received Jun. 7, 2024; revised Jun. 13, 2024; accepted Jun. 24, 2024,

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

1. 서론

자동차 및 산업용 전자기기 기술의 발전으로 인해 ESD(electrostatic discharge) 성능 및 신뢰성 요구사항이 갈수록 높아지고 있다. 그러나 공정기술이 발전하고 집적도가 증가할수록 금속 연결 두께, 산화물의 두께, 트랜지스터의 정션 깊이 등의 감소로 인해 ESD 신뢰성 특성이 저하되고 있다[1], [2].

SCR 기반의 ESD 보호회로의 경우 기생 PNP와 기생 NPN의 Latch를 통한 정전기 방전으로 인해 면적대비

높은 전류구동 능력으로 주목받고 있지만 높은 트리거 전압과 상대적으로 느린 응답속도로 인한 단점을 가진다 [2]. SCR 구조의 저면적 대비 높은 전류구동 능력을 유지하면서 구조적 문제를 해결하기 위해 다양한 연구들이 진행 되고 있다[3], [4].

본 논문에서는 SCR의 구조적 문제점을 분석하고 HBM (human body model)10kV 특성을 갖는 ESD 보호회로를 제안한다. 구조적 특징으로는 electric field와 ESD current density가 국부적으로 집중되는 영역을 분산함으로써 Joule-heating에 의한 thermal runaway 특성을 개선하였으며 이를 통해 ESD 보호회로의 전류구동 특성을 향상하였다[5].

제안된 ESD 보호회로는 TCAD 시뮬레이션을 통해 구조 형성 및 전기적 특성을 검증하였으며, DB-Hitek사의 0.18um BCD 공정을 통해 제작 및 검증하였다.

II. 본론

1. LVTSCR ESD 보호회로 분석

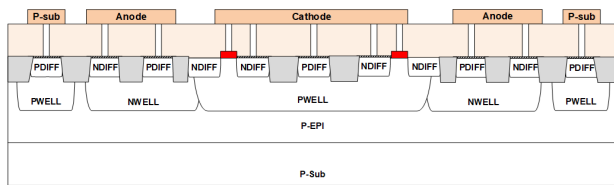


Fig. 1. Cross sectional view of LVTSCR ESD protection circuit.

그림 1. LVTSCR ESD 보호회로 단면도

LVTSCR 구조의 단면도를 그림 1에 나타낸다. 그림 1의 구조적 특징은 conventional SCR 구조에 ggNMOS (gate-grounded NMOS)가 삽입된 구조를 가진다. NWELL 영역에 고농도 N+ 및 P+ 영역은 금속연결을 통해 anode단에 연결되며, PWELL 영역에 gate와 고농도 N+ 및 P+ 영역은 금속연결을 통해 cathode 단에 연결된다. 저전압 ESD 동작을 위해 NWELL과 PWELL 접합 영역에 고농도 N+(bridge)영역을 통해 상대적으로 낮은 항복전압을 갖는 구조이다[6], [7].

그림 1의 동작원리는 다음과 같다. Anode단으로 유입된 ESD 전류로 인해 anode에 금속으로 연결된 NWELL 및 고농도 도핑 된 bridge N+의 전위가 상승한다. Cathode에 금속으로 연결된 PWELL과의 reverse bias로 인한 depletion 영역에서 생성된 전계가 임계점을 넘어서게 되면 avalanche breakdown이 발생하게 된다. 이로 인해 생성된 EHP(electron-hole pair)의 흐름

로 인해 NWELL 및 PWELL 기생 저항에서 전압강하가 일어나며 기생 PNP와 NPN이 turn-on 된다. 결과적으로 LVTSCR 내부에 positive feedback 루프가 형성되며 ESD 전류를 방전하게 된다[8], [9].

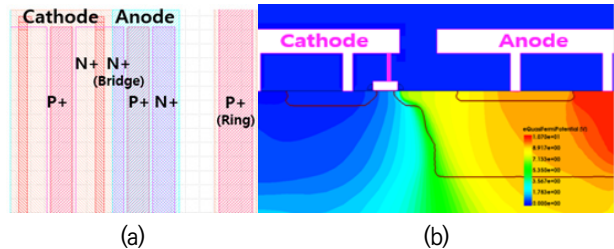


Fig. 2. LVTSCR ESD protection circuit structure formation through (a) layout top view and (b) simulation.

그림 2. LVTSCR ESD 보호회로 (a) layout top view 및 (b) 시뮬레이션을 통한 구조 형성

그림 2에 TCAD 시뮬레이션에 진행된 layout top view와 구조를 나타낸다. 전류구동 특성 개선을 위해 1kV IEC61000-4-2 TCAD환경을 구축하여 시뮬레이션 검증을 진행하였으며 1.5nsec, 3.6A, 10.6V에서 electric field, total current density 및 lattice temperature를 분석하여 weak point를 도출 하였다.

그림 3은 그림 2 구조의 electric field와 total current density 및 lattice temperature를 나타낸다. 항복전압을 유발하는 N+(bridge) 영역에서 electric field가 강하게 형성됨을 확인할 수 있으며 위 영역에서 total current density가 국부적으로 흐르게 되며 접합의 edge에서 lattice temperature(660K)가 집중되는 것을 확인할 수 있다. 이와 같은 시뮬레이션 결과는 LVTSCR ESD 보호회로가 fully turn-on 하여 정전기를 방전하는 과정에서 Joule-heating에 의한 thermal runaway특성 감소에 지대한 영향을 미치게 된다.

ESD 보호회로의 전류 구동능력 향상을 위해 electric

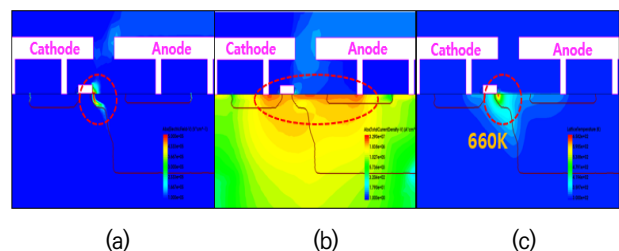


Fig. 3. LVTSCR ESD protection circuit (a) electric field, (b) total current density, and (c) lattice temperature simulation results.

그림 3. LVTSCR ESD 보호회로 (a) electric field, (b) total current density, (c) lattice temperature 시뮬레이션 결과

field가 높게 형성되는 영역과 ESD 방전전류가 형성되는 영역과의 분리가 필요하다. 표면에 집중되는 current path를 STI 하부로 유도하여 electric field가 높게 형성되는 영역과 분리하여 전력소모를 감소하였으며 이를 통해 Joule-heating을 감소시킴으로서 전류구동 특성을 향상 시켰다. ESD 방전전류가 형성되는 영역을 STI 하부로 유도된 결과를 시뮬레이션을 통해 검증하기 위해 N+(bridge)와 anode P+ active간 거리를 0.0um에서 0.6um, 1.0um, 2.0um로 변경하였다.

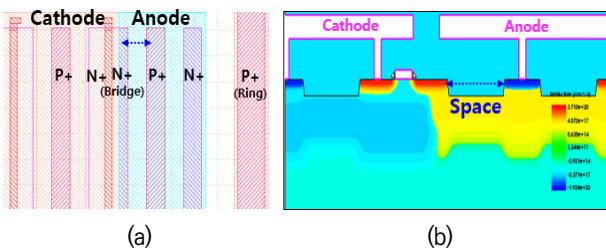


Fig. 4. LVTSCR ESD protection circuit (a) layout top view and (b) simulation structure formation with changed distance between active.

그림 4. LVTSCR ESD 보호회로 active간 거리를 변경한 (a) layout top view 및 (b) 시뮬레이션 구조 형성

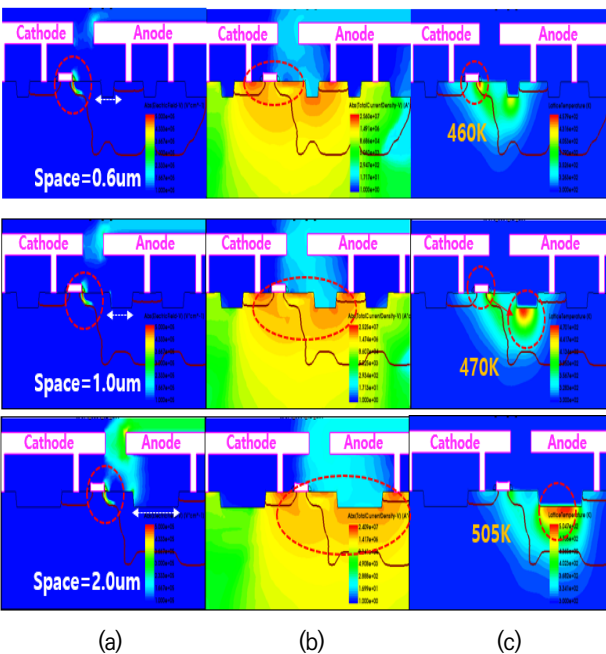
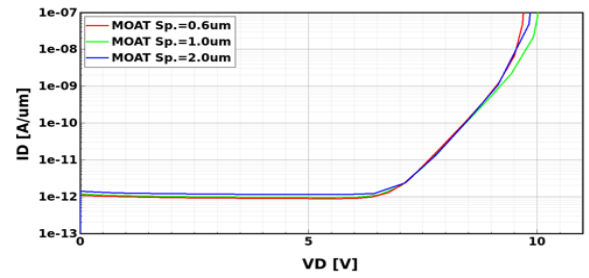


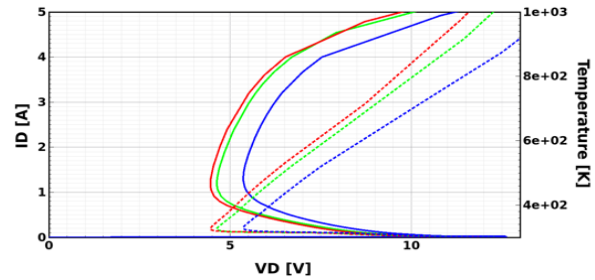
Fig. 5. Results of (a) electric field, (b) total current density and (c) lattice temperature simulation by changing the distance between LVTSCR ESD protection circuit N+(Bridge) and anode P+ active 0.6um, 1.0um, 2.0um.

그림 5. LVTSCR ESD 보호회로 N+(Bridge)와 anode P+ active 사이 거리를 space 0.6um, 1.0um, 2.0um 변경한 (a) electric field, (b) total current density, (c) lattice temperature 시뮬레이션 결과

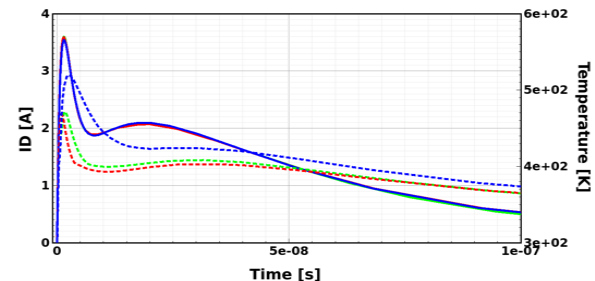
그림 4에 active간 거리를 변경한 시뮬레이션 구조를 나타낸다. 그림 5의 결과와 같이 active사이 거리를 변경함으로써 N+(Bridge)와 gate 영역에 집중되는 전류가 분산 되는 것을 확인 할 수 있다. 이를 통해 lattice temperature가 집중되는 영역을 surface에서 STI 하부로 변경된 것을 확인 할 수 있다.



(a)



(b)



(c)

Fig. 6. (a) DCBV, (b) TLP I-V, (c) 1kV IEC61000-4-2 characteristic graph confirmed through TCAD simulation of LVTSCR ESD protection circuit.

그림 6. LVTSCR ESD 보호회로의 TCAD 시뮬레이션을 통해 확인한 (a) DCBV, (b) TLP I-V, (c) 1kV IEC61000-4-2 특성 그래프

LVTSCR의 TCAD 시뮬레이션을 통해 확인한 DCBV, TLP, 1kV IEC61000-4-2 특성의 plot을 그림 6에 나타낸다.

DCBV는 $9.9V@IA=1e-8A/um$ 나타내며 $Vt1$ 은 12.3V, Vh 는 6.4V. $It2$ 는 $4.2A@100um$ width이며 동일 width에서 1kV IEC61000-4-2의 peak current를 소화해 내는 것을 검증하였다. TCAD 시뮬레이션을 통해 ESD 전

류가 가장 강하게 흐르는 영역에 있는 N+(Bridge)와 gate 국부적인 지점에서 electric-field가 가장 강하게 유도되는 것을 lattice temperature로 확인하였으며 이를 개선하기 위해 active간 거리를 변경함으로써 전류구동 특성 개선을 확인하였다.

2. LVTSCR ESD 보호회로 Silicon 제작 및 특성 검증

TCAD 시뮬레이션을 통해 active간 거리를 증가시킴으로써 전류구동특성 개선을 도출하였으며 이를 DB-Hitek 0.18um BCD 공정을 통해 silicon 제작을 하였다. 그림 7은 제작된 LVTSCR 소자의 layout top view를 나타내며 N+(Bridge)영역에 silicide blocking layer를 이용해 surface에 집중되는 current를 감소시키기 위해 사용되었다.

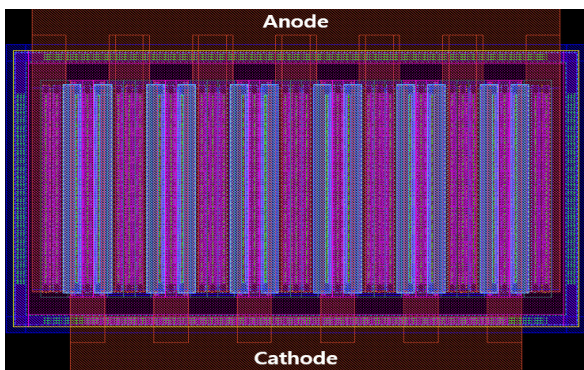


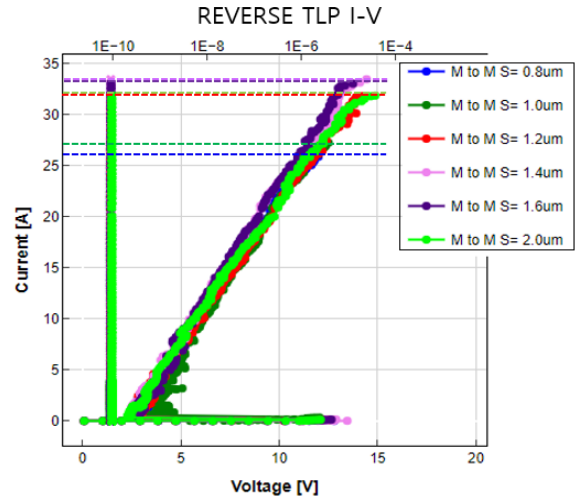
Fig. 7. Layout top view of LVTSCR manufactured in DB-Hitek 0.18um BCD process.

그림 7. DB-Hitek 0.18um BCD 공정에서 제작된 LVTSCR의 layout top view

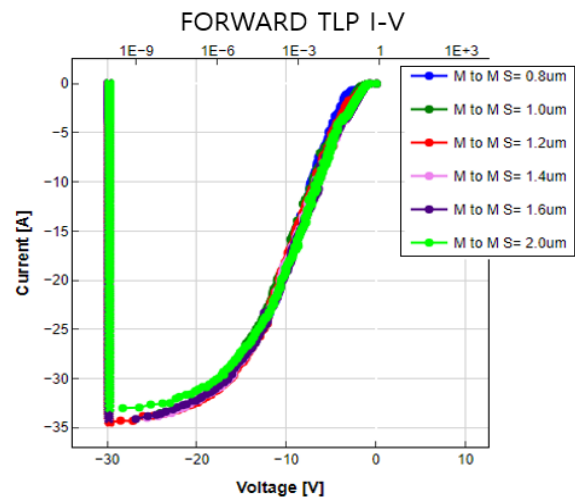
그림 8은 제작된 LVTSCR의 전기적 특성을 검증하기 위해 TLP reverse 및 forward, DC장비를 통해 측정하였다. Active사이의 거리는 0.8um 기준으로 2.0um 까지 실험을 진행 하였으며 DCBV는 11.2V@1e-6A 나타내며 V_{t1} 은 약12.5V, V_h 는 3.0V, I_{t2} 는 25A~33.5A로 active 사이 거리가 커질수록 I_{t2} 는 개선된 결과를 확인 하였다. 자동차 및 산업용 ESD 보호회로는 높은 전류구동능력 뿐 아니라 HBM level과 system(IEC) level 또한 높은 수준을 요구하고 있다. TCAD 시뮬레이션을 기반으로 BCD 공정을 통해 제작된 LVTSCR ESD 보호회로는 면적대비 매우 높은 전류 특성과 HBM 장비를 통해 측정을 진행하였으며, 장비 측정 한계 값(10kV)까지 안정함을 확인 하였다.

제안된 구조로 제작된 ESD 보호회로의 경우 전류 구동 능력 및 높은 HBM 및 system(IEC) level 특성으로

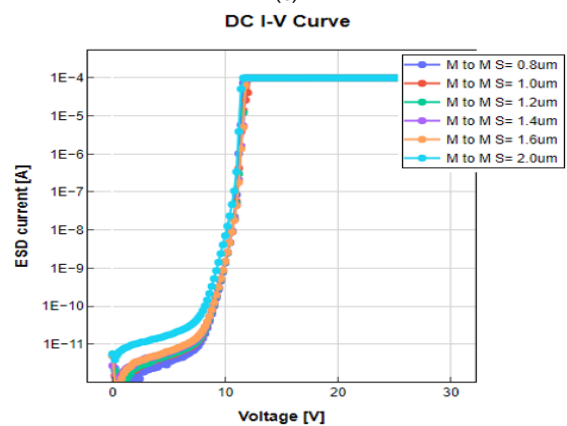
인해 자동차용뿐만 아니라 산업용 가전용으로 다양한 응용이 가능할 것으로 사료 된다.



(a)



(b)



(c)

Fig. 8. TLP (a) reverse and (b) forward mode, (c) DC characteristic graph of the manufactured LVTSCR ESD protection circuit

그림 8. 제작된 LVTSCR ESD 보호회로의 TLP (a) reverse 및 (b) forward 모드, (c) DC 특성 그래프

III. 결론

본 논문에서는 LVTSCR 구조를 이용하여 향상된 전류 구동 특성을 가지는 ESD 보호회로를 제안하였다. 향상된 전류구동 특성 확보를 위해 TCAD 시뮬레이션을 통해 취약한 영역을 분석하였으며 이를 기반으로 active 사이 거리를 변경하여 DB-Hitek사 0.18um BCD 공정을 사용하여 제작을 하였다. LVTSCR ESD보호회로 동작 시 electric field 집중 영역과 ESD 전류 방전경로와의 분산을 통해 전력소모를 상대적으로 감소시켜 30A 이상의 높은 전류특성과 HBM 장비 한계치(10kV)의 특성을 확보 하였다.

제안된 ESD 보호회로 구조를 이용하여 저전압용 자동차, 산업, 가전 등 여러 어플리케이션에 적용이 가능하며 면적 및 가격 경쟁력을 확보할 수 있을 것으로 사료된다.

References

- [1] M. Ker and C. Yen, "Investigation and design of on-chip power-rail ESD clamp circuits without suffering latchup-like failure during system-level ESD test," *IEEE J. Solid-State Circuits*, vol.43, no. 11, pp.2533-2545, 2008.
DOI: 10.1109/JSSC.2008.2005451
- [2] Y. Koo, K. Lee, K. Kim, and J. Kwon, "Design of SCR-based ESD protection device for power clamp using deep-submicron CMOS technology," *J. Microelectron*, vol.40, no.6, pp.1007-1012, 2009.
DOI: 10.1016/j.mejo.2009.01.001
- [3] C. Lin and R. Chang, "Design of ESD protection device for K/Ka-band applications in nanoscale CMOS process," *IEEE Trans. Electron Devices*, vol. 62, no.9, pp.2824-2829, 2015.
DOI: 10.1109/TED.2015.2450225
- [4] B. Song and Y. Koo, "Low Ron and high robustness ESD protection design for low-voltage power clamp application," *Electron. Lett*, vol.52, no.18, pp.1554-1555, 2016.
DOI: 10.1049/el.2016.2391
- [5] B. Song, K. Do, Y. koo, "SCR-Based ESD Protection Using a Penta-Well for 5V Applications," *IEEE Journal of the Electron Devices Society*, vol. 6, pp.691-695, 2018.

DOI: 10.1109/JEDS.2018.2817636

[6] V. A. Vashchenko, A. Concannon, M. T. Beek and P. Hopper, "High holding voltage cascoded LVTSCR structures for 5.5-V tolerant ESD protection clamps," *IEEE Transactions on Device and Materials Reliability*, vol.4, no.2 pp.273-280, 2004.

DOI: 10.1109/TDMR.2004.826584

[7] F. Du et al., "An enhanced MLSCR structure suitable for ESD protection in advanced epitaxial CMOS technology," *IEEE Trans. Electron Devices*, vol.66, no.5, pp.2062-2067, 2019.

DOI: 10.1109/TED.2019.2904525

[8] B. B. Song, B. S. Lee, Y. S. Yang, and Y.-S. Koo, "Analysis of a parasitic-diode-triggered electrostatic discharge protection circuit for 12 V applications," *ETRI J.*, vol.39, no.5, pp.746-755, 2017. DOI: 10.4218/etrij.17.0117.0026

[9] J. A. Salcedo, J. J. Liou, Z. Liu, and J. E. Vinson, "TCAD methodology for design of SCR devices for electrostatic discharge (ESD) applications," *IEEE Trans. Electron Devices*, vol.54, no.4, pp.822-832, 2007.

DOI: 10.1109/TED.2007.891251

BIOGRAPHY

Bo-Bae Song (Member)



2014 : Ms degree in Electronics and Engineering, Dankook University.
2018 : Ph.D degree in Electronics and Engineering, Dankook University.
2018~2021 : KETI
2022~Present : Manager, TE center, DBHitek

Young-Chul Kim (Member)



2001 : Ms degree in Electronics and Engineering, Kookmin University
2001~2003 : Synopsys
2003~2006 : Samsung Electronics
2006~2015 : Magnachip Semiconductor
2016~present : Team Manager, TE center, DBHitek