

Si 증착 이후 형성된 게이트 산화막을 이용한 SiC MOSFET의 전기적 특성

Electrical Characteristics of SiC MOSFET Utilizing Gate Oxide Formed by Si Deposition

조영훈*, 강예환*, 박창준*, 김지현*, 이건희*, 구상모**

Young-Hun Cho*, Ye-Hwan Kang*, Chang-Jun Park*, Ji-Hyun Kim*, Geon-Hee Lee*,
and Sang-Mo Koo**

Abstract

In this study, we investigated the electrical characteristics of SiC MOSFETs by depositing Si and oxidizing it to form the gate oxide layer. A thin Si layer was deposited approximately 20 nm thick on top of the SiC epi layer, followed by oxidation to form a gate oxide layer of around 55 nm. We compared devices with gate oxide layers produced by oxidizing SiC in terms of interface trap density, on-resistance, and field-effect mobility. The fabricated devices achieved improved interface trap density ($\sim 8.18 \times 10^{11} \text{ eV}^{-1} \text{ cm}^{-2}$), field-effect mobility ($27.7 \text{ cm}^2/\text{V}\cdot\text{s}$), and on-resistance ($12.9 \text{ m}\Omega \cdot \text{cm}^2$).

요약

이번 연구에서 우리는 게이트 산화막을 형성하기 위해 Si를 증착한 후 산화시킨 SiC MOSFET의 전기적 특성을 연구했다. 고품질의 Si/SiO₂ 계면을 제작하기 위해 얇은 Si 층을 SiC epi 층 위에 약 20 nm를 증착한 후 산화하여 게이트 산화막을 약 55 nm로 형성했다. SiC를 산화하여 게이트 산화막을 제작한 소자와 계면 트랩 밀도, 온저항, 전계-효과 이동도의 측면에서 비교했다. 위 소자는 향상된 계면 트랩 밀도 ($\sim 8.18 \times 10^{11} \text{ eV}^{-1} \text{ cm}^{-2}$), 전계-효과 이동도 ($27.7 \text{ cm}^2/\text{V}\cdot\text{s}$), 온저항 ($12.9 \text{ m}\Omega \cdot \text{cm}^2$)을 달성하였다.

Key words : SiC, MOSFET, Dit, Field-effect mobility, Ron,sp

* Dept. of Electronic materials Engineering,
Kwangwoon University (Researcher, Professor)

★ Corresponding author

E-mail : smkoo@kw.ac.kr, Tel : +82-2-940-5763

※ Acknowledgment

This work was supported by the Fostering Global Talents for Innovative Growth Program through KIAT (P0012451 and P0017308) of the MOTIE and Research Grant from Kwangwoon University in 2024.

Manuscript received Mar. 20, 2024; revised Mar. 23, 2024; accepted Mar. 25, 2024.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

1. 서론

고효율 파워 디바이스의 개발은 전력 소비의 증가하는 요구와 지속 가능한 사회를 실현하기 위해 반드시 필요하다. 이 관점에서 실리콘 카바이드(SiC)는 고유한 물성(넓은 밴드갭, 높은 임계 전기장 및 높은 열전도도) 때문에 실리콘(Si) 대안으로 널리 받아들여지고 있다[1-3]. 특히, SiC 금속-산화물-반도체 필드 효과 트랜지스터(MOSFETs)는 저손실 및 빠른 파워 스위치로서 유망하다[1-4]. 그러나 MOSFET의 성능은 SiC/이산화규소(SiO₂) 계면의 품질에 의해 제한된다. MOSFET의 채널에서의 전자 중 상당 부분이 SiC/SiO₂ 계면의 트랩에 의해 포집되어 채널 이동도(μ_{ch})가 낮아지는 결과를 초래

한다[5-7].

이전 연구들은 SiC/SiO₂의 계면 트랩 밀도를 감소시키기 위한 다양한 방법을 조사했다. 이 방법들은 불순물 첨가를 사용하는 방법과 그렇지 않은 방법 두 가지 그룹으로 분류된다. 전자의 접근 방식에는 질소(N) [8-11], 인(P) [12-13], 붕소(B) [14], 나트륨(Na) [15-16], 그리고 바륨(Ba) [17]과 같은 불순물이 포함된다. 그 중에서도 질소를 질산화물(NO) [8-9] 또는 아산화질소(N₂O) [10-11] 열처리로 주입하는 것이 표준 공정 방법이다. 그러나 계면 트랩 밀도의 감소가 충분하지 않아 적절한 NO 열처리 이후에도 계면 트랩에 의한 캐리어 포획 효과가 여전히 문제로 남아 있다[7]. 후자의 방법은 빠른 냉각(> 600°C/min) [18], 고온에서의 산화(> 1400°C) [19-20], 낮은 산소 분압 환경에서의 산화 후 열처리(약 1500°C) [21]입니다. 이러한 방법들로 계면 트랩 밀도의 감소를 달성할 수 있으나, 현재까지 높은 채널 이동도를 갖는 MOSFET은 보고되지 않았다. 최근에는 Si 증착을 이용하여 제작된 SiC/SiO₂ 구조가 상당히 낮은 계면 트랩 밀도를 가진 것이 보고되었다. H₂ 에칭으로 SiC 표면을 cleaning 한 이후 Si 층을 얇게 증착시킨 후 산화시켜 SiO₂ 박막을 얻는 방법이다. 이 연구는 MOSCAP 구조까지만 실시되었다[22].

이번 연구에서는 위 방법을 이용해 MOSFET과 MOSCAP 두 소자를 제작했다. 산화로 인한 계면 특성의 저하를 막기 위해 Si를 얇은 두께(~20 nm)로 증착한 후 산화시키고 고온의 열처리를 했다. 이러한 방법은 상당히 낮은 계면 트랩 밀도를 보여주었으며, 높은 채널 이동도를 얻을 수 있었다.

II. 본론

1. 실험 방법

(1) MOSFET & MOSCAP 제작

본 연구에서 Si를 증착한 후 산화공정 및 후열처리를 하여 그림 1과 같은 MOSFET과 MOSCAP을 제작했다. 우리는 4°-off-axis n-type 4H-SiC(0001) 기판에 $1 \times 10^{16} \text{ cm}^{-3}$ 의 농도를 갖는 epi 층이 있는 기판을 사용했다. 알루미늄 이온으로 도핑된 p-type epi 층은 두께는 약 4 μm , 농도는 $7 \times 10^{15} \text{ cm}^{-3}$ 로 형성되었다. N+ 소스와 드레인 영역은 질소 이온 주입공정으로 $1 \times 10^{15} \text{ cm}^{-2}$ 의 농도로 형성되었다. 게이트 산화막 공정이 이루어지기 전에 표준 RCA 공정으로 기판을 cleaning 하였다. 진공 상태에서 SiH₄와 H₂ 분위기, 173 Pa, 630

°C에서 2분 동안 도핑이 되지 않은 상태의 poly-Si이 약 20 nm 증착되었다. 그 후, 12 시간동안 950°C의 온도에서 건식 산화공정, NO 분위기에서 70분 동안의 후열처리가 진행되어 산화막의 두께는 약 50 nm로 형성되었다. 소스와 드레인 영역의 오믹 접촉을 위해 Al 전극이 사용되었다. 채널의 길이와 너비는 각각 120 μm , 300 μm 이다. MOSCAP은 500 μm 의 지름을 갖는 원형의 Al 전극이 증착되었다.

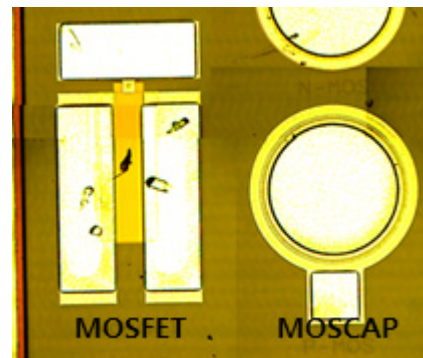


Fig. 1. The top view of SiC MOSFET fabricated by Si deposition followed by oxidation and post-oxidation annealing.

그림 1. Si 증착 후 산화공정 및 후열처리하여 제작한 SiC MOSFET의 평면도

2. 결과 및 고찰

(1) 계면 트랩 밀도

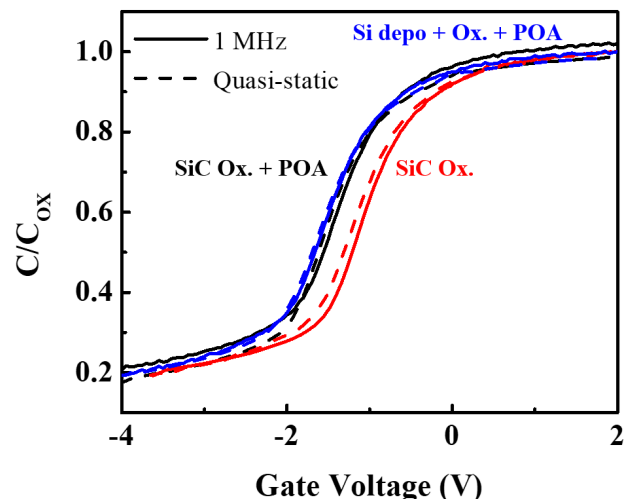


Fig. 2. The quasi-static and 1 MHz C-V characteristics of SiC MOS structures in pattern. The capacitance values were normalized by the oxide capacitance (C_{ox}).

그림 2. SiC MOS 구조에서의 quasi-static, 1 MHz의 capacitance 특성. Capacitance 값은 Oxide capacitance 값으로 정규화됨

그림 2는 그림 1 pattern의 MOSCAP 구조에서 측정된 quasi-static, 1 MHz의 capacitance-voltage 특성을 보여준다. SiC epi를 산화시킨 sample의 경우 C-V 곡선 사이의 차이가 가장 큰 것을 확인할 수 있으며 이는 높은 계면 트랩 밀도가 있음을 의미한다. 산화 공정 후열처리를 거친 sample은 차이가 줄어들었으며, Si 증착 후 후열처리를 한 sample은 상당히 감소한 것을 볼 수 있다. Flat band 전압의 이동으로 계산된 effective fixed charge density는 SiC Ox., SiC Ox.+POA, Si depo + Ox. + POA sample에서 각각 $+5.0 \times 10^{11} \text{ cm}^{-2}$, $+5.5 \times 10^{11} \text{ cm}^{-2}$, $+5.6 \times 10^{11} \text{ cm}^{-2}$ 를 보여주었다. 그리고 다음 high-low method (수식 1)를 이용하여 계면 트랩 밀도를 도출하였다.

$$D = \frac{C_{ox}}{q^2} \left(\frac{C_{lf}/C_{ox}}{1 - C_{lf}/C_{ox}} - \frac{C_{hf}/C_{ox}}{1 - C_{hf}/C_{ox}} \right) \text{ (수식 1)}$$

이 때, C_{ox} 는 산화막의 capacitance, q 는 전자의 전하량, C_{lf} 는 quasi-static C-V, C_{hf} 는 1 MHz C-V 이다.

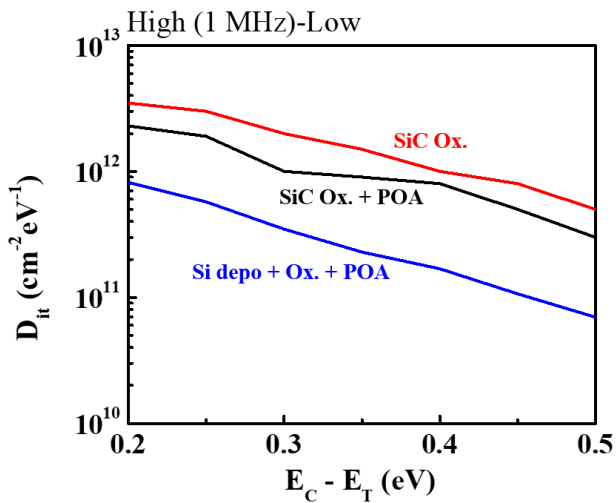


Fig. 3. Energy distribution of D_{it} for SiC MOS Structures obtained by a high (1 MHz)-low method.

그림 3. high-low 방법으로 도출된 SiC MOS 구조에서의 D_{it} 에너지 분포.

그림 3은 각 sample에서 high-low 방법을 이용해 도출된 계면 트랩 밀도의 에너지 분포이다. 산화 공정 후열처리를 하지 않은 SiC Ox. sample는 $E_c - E_t = 0.2 \text{ eV}$ 지점에서 $3.5 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ 의 가장 높은 계면 트랩 밀도를 보여준다. 또한 산화 공정 후열 처리를 한 소자는 약 $2.3 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$, Si 증착 후 산화공정, 후열처리를 한 소자는 가장 낮은 $8.18 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 을 각

각 보여주고 있다. 이는 고온의 NO 분위기 열처리 공정이 계면에 충분한 질소 원자를 주입하므로 계면에 존재하는 트랩을 채워 낮은 트랩 밀도에 기인한다. 또한, SiC의 산화는 passivation 하기 어려운 탄소 결함을 생성한다[22]. Si를 증착한 후 산화시킨 sample은 SiC를 산화한 sample 보다 더 적은 탄소 결함을 생성하므로 더 적은 계면 트랩 밀도를 보여주고 있다. 이러한 전도대에 가까운 준위의 낮은 트랩 밀도는 채널의 전자가 흐르는 것을 방해하지 않으므로써 향상된 이동도와 온저항을 기대할 수 있다.

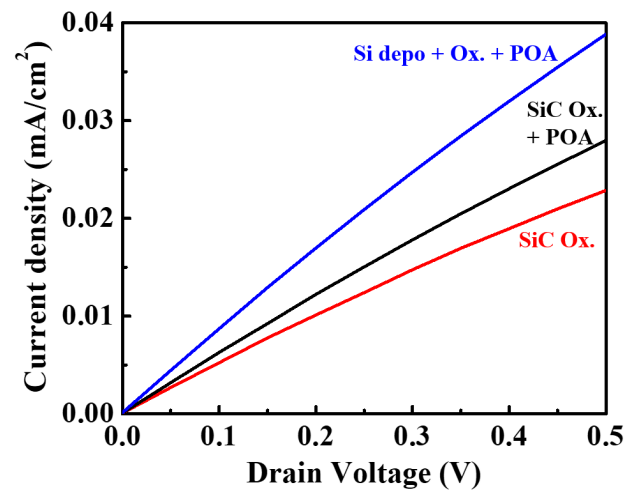


Fig. 4. Output characteristics of SiC MOSFETs at linear region.

그림 4. 선형 영역에서의 SiC MOSFETs의 출력 특성

그림 4는 드레인 전압을 5 V까지 측정된 출력 곡선 중에서 온저항을 도출하기 위해 선형적인 지점을 확대한 출력 특성이다. 게이트 전압은 15 V의 바이어스를 인가했다. SiC를 산화하여 제작한 sample의 경우 $22.7 \text{ m}\Omega \cdot \text{cm}^2$ 의 가장 큰 온저항을 보여준다. 그에 반해 Si 증착 후 산화공정, 후열처리를 한 sample이 가장 낮은 $12.8 \text{ m}\Omega \cdot \text{cm}^2$ 으로 약 43 % 향상된 온저항을 달성했다. 온저항은 SiC 기반 전력반도체에서 중요한 특성이며, Si를 증착하여 산화막을 제작하는 공정은 낮은 온저항에 기여하는 것을 알 수 있다.

그림 5 (a)는 드레인 전압이 0.1 V 일 때의 SiC (0001) MOSFET의 전달특성이다. 전계-효과 이동도를 도출하기 위해 드레인 전압을 0.1 V으로 인가했다. SiC를 산화하여 제작한 sample이 가장 작은 전류, 완전한 기울기를 보여주고 있다. 후열 처리를 한 sample, Si 증착 후 산화공정, 후열처리를 한 sample 순으로 더 낮은 문턱전압, 가파른 기울기를 보여주고 있다. 이는 계면 트

랩 밀도의 감소로부터 기인하며 채널에 존재하는 계면 트랩 밀도는 문턱전압, 전류량에 영향을 미치는 것을 알 수 있다. 그림 5 (b)는 문턱전압과 누설전류 특성을 자세히 보여준다. SiC를 산화시킨 sample이 약 3×10^{-12} A의 가장 큰 누설전류를 보여준다. 이는 높은 계면 트랩 밀도로 인해 전하 이동의 장벽이나 속도가 변화하여 누설전류를 증가시킨 것으로 보인다[23]. 다음 공식 (수식 2)을 이용하여 그림 5의 전달특성으로부터 전계-효과 이동도를 도출했다.

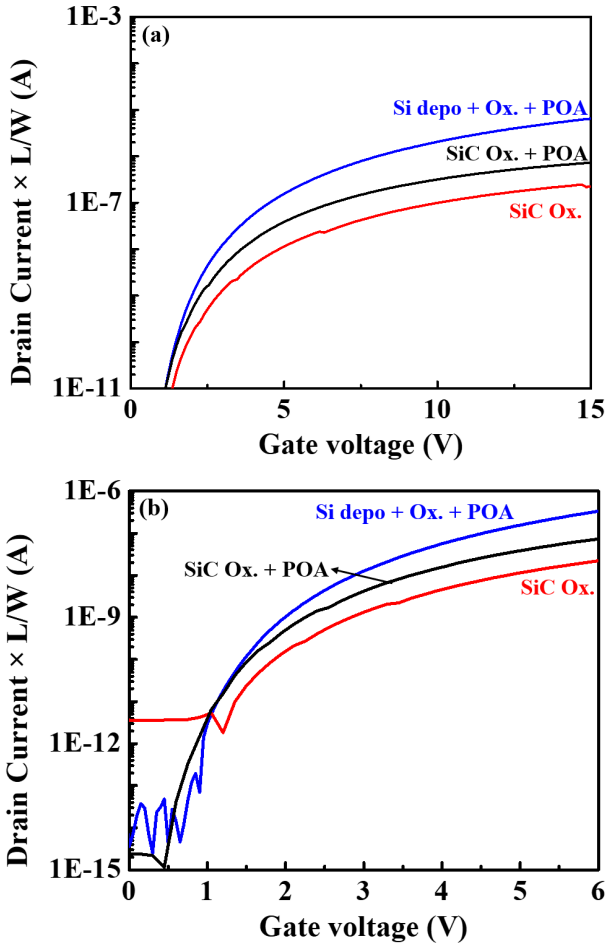


Fig. 5. (a) Transfer characteristics of SiC MOSFETs at $V_D = 0.1$ V (b) Subthreshold characteristics of SiC MOSFETs at $V_D = 0.1$ V.

그림 5. (a) 드레인 전압이 0.1 V에서의 SiC MOSFET의 전달특성. (b) 드레인 전압이 0.1 V에서의 SiC MOSFET의 subthreshold 특성

$$\mu_{FE} = \frac{dI_d}{dV_g} \frac{L}{C_{ox} V_D W} \quad (\text{수식 2})$$

이 때, dI_d/dV_g 는 게이트 전압 대비 드레인 전류의 기울기, L 은 채널의 길이, C_{ox} 는 산화막의 capacitance,

V_D 는 0.1 V, W 는 채널의 너비다.

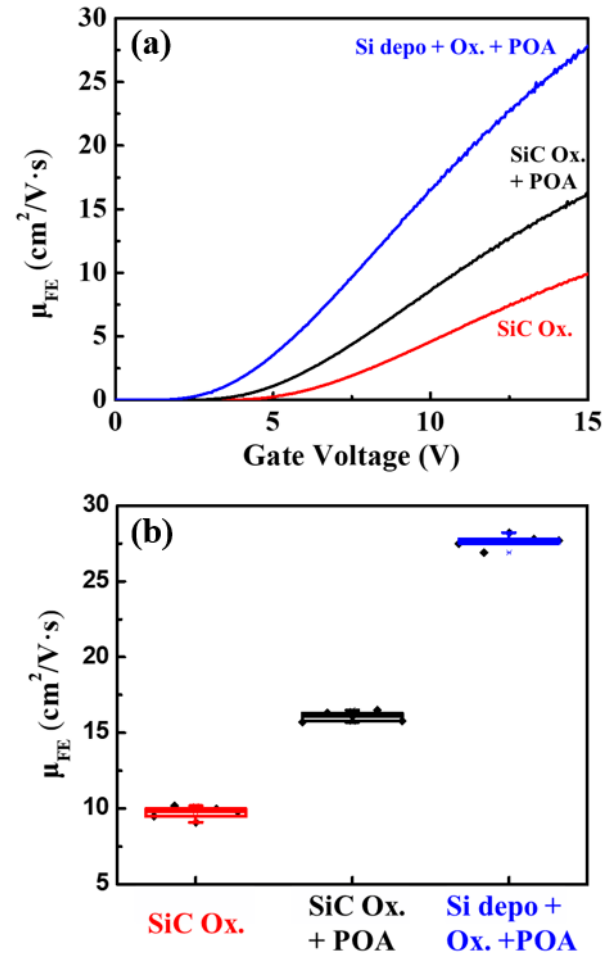


Fig. 6. (a) Field-effect mobility (μ_{FE}) as a function of the gate voltage of SiC MOSFETs (b) Field-effect mobility for each sample.

그림 6. (a) SiC MOSFET의 게이트 전압 대비 전계-효과 이동도 (μ_{FE}) (b) 각 sample 별 전계-효과 이동도.

그림 6 (a)는 SiC MOSFET의 게이트 전압에 따른 전계-효과 이동도이다. SiC를 산화하여 제작한 sample은 게이트 전압 15 V에서 $9.8 \text{ cm}^2/\text{V}\cdot\text{s}$ 의 가장 낮은 이동도를 보여준다. 후열처리를 한 sample은 약 1.5배 향상된 $16.1 \text{ cm}^2/\text{V}\cdot\text{s}$ 의 전계-효과 이동도를 보여준다. NO 분위기의 후열처리 공정은 산화막과 반도체의 계면에 존재하는 트랩을 감소시키고 동시에 문턱전압을 감소시켜 이동도 증가에 영향을 주는 것을 알 수 있다. Si를 증착한 후 산화하여 제작된 sample은 가장 높은 $27.7 \text{ cm}^2/\text{V}\cdot\text{s}$ 의 이동도를 보여준다. 그림 6 (b)는 각 sample 별 전계-효과 이동도의 분포를 보여준다. SiC를 산화시켜 게이트 산화막을 제작한 sample, SiC를 산화시킨 후 후열처리 공정한 sample, Si 증착 후 산화공정 및 후열

처리 한 sample을 각각 5회씩 측정한 결과이다. SiC를 산화시켜 제작한 sample의 이동도가 더 큰 오차가 나타난다. 그림 3의 결과와 유사한 경향을 나타내며 계면 트랩 밀도와 전계-효과 이동도는 밀접한 관계가 있음을 나타낸다. 따라서 계면 트랩 밀도를 감소시키는 것은 SiC 소자의 성능을 향상시키는 것에 중요한 역할을 한다.

III. 결론

본 연구에서는 얇은 Si를 증착하여 4H-SiC MOSFET의 게이트 산화막으로 형성하는 공정을 도입하고 전기적 특성을 분석했다. Si를 산화시켜 형성된 게이트 산화막은 SiC를 산화시킨 산화막보다 더 적은 dangling bonds와 탄소 결함으로 인해 $E_c-E_t = 0.2$ eV 지점에서 가장 낮은 계면 트랩 밀도($8.18 \times 10^{11} \text{ eV}^{-1}\text{cm}^{-2}$)를 보여주었다. 이는 약 3배 향상된 이동도($27.7 \text{ cm}^2/\text{V}\cdot\text{s}$)와 43% 향상된 온저항($12.8 \text{ m}\Omega\cdot\text{cm}^2$)을 달성에 기인했다. 기존 SiC MOSFET의 문제점인 낮은 이동도는 얇은 Si 층을 산화시켜 게이트 산화막을 형성함으로써 해결할 수 있었다. 이는 SiC N-type MOSFET 뿐만 아니라 P-type MOSFET의 채널 특성 향상에도 기여할 수 있을 것으로 보인다.

References

[1] T. Kimoto and J. A. Cooper, *Fundamentals of Silicon Carbide Technology*, Wiley, 2014.
 [2] H. Matsunami and T. Kimoto, "Step-controlled epitaxial growth of SiC: High quality homoepitaxy," *Mater. Sci. Eng. R* vol.20, pp.125, 1997. DOI: 10.1016/S0927-796X(97)00005-3
 [3] Lee, Hyung-Jin, et al. "Impact of Post-Deposition Annealing on Electrical Properties of RF-Sputtered Cu₂O/4H-SiC and NiO/4H-SiC PiN Diodes," *Electronic Materials Letters*: 1-11. 2024. DOI: 10.1007/s13391-024-00484-1
 [4] B. J. Baliga, "Power semiconductor device figure of merit for high-frequency applications," *IEEE Electron Device Lett*, vol.10, pp.455 1989. DOI: 10.1109/55.43098
 [5] E. Arnold and D. Alok, "Effect of interface states on electron transport in 4H-SiC inversion

layers," *IEEE Trans. Electron Devices*, vol.48, pp. 1870, 2001. DOI: 10.1109/16.944171
 [6] H. Yoshioka, J. Senzaki, A. Shimozato, Y. Tanaka, and H. Okumura, "N-channel field-effect mobility inversely proportional to the interface state density at the conduction band edges of SiO₂/4H-SiC interfaces," *AIP Adv*, vol.5, pp. 017109, 2015. DOI: 10.1063/1.4905781
 [7] T. Hatakeyama, Y. Kiuchi, M. Sometani, S. Harada, D. Okamoto, H. Yano, Y. Yonezawa, and H. Okumura, "Characterization of traps at nitrided SiO₂/SiC interfaces near the conduction band edge by using Hall effect measurements," *Appl. Phys. Express*, vol.10, pp.046601, 2019. DOI: 10.7567/APEX.10.046601
 [8] P. Jamet, S. Dimitrijevic, and P. Tanner, "Effects of nitridation in gate oxides grown on 4H-SiC," *J. Appl. Phys*, vol.90, pp.5058, 2001. DOI: 10.1063/1.1412579
 [9] G. Y. Chung et al., "Improved inversion channel mobility for 4H-SiC MOSFETs following high temperature anneals in nitric oxide," *IEEE Electron Device Lett*, vol.22, pp.176, 2001. DOI: 10.1109/55.915604
 [10] L. A. Lipkin, M. K. Das, and J. W. Palmour, "N₂O Processing Improves the 4H-SiC:SiO₂ Interface," *Mater. Sci. Forum*, vol.389-393, pp.985, 2002. DOI: 10.4028/WWW.SCIENTIFIC.NET/MSF.389-393.985
 [11] T. Kimoto, Y. Kanzaki, M. Noborio, H. Kawano, and H. Matsunami, "Interface Properties of Metal-Oxide-Semiconductor Structures on 4H-SiC{0001} and (1120) Formed by N₂O Oxidation," *Jpn. J. Appl. Phys*, vol.44, pp.1213, 2005. DOI: 10.1143/JJAP.44.1213
 [12] D. Okamoto, H. Yano, T. Hatayama, and T. Fuyuki, "Removal of near-interface traps at SiO₂/4H-SiC (0001) interfaces by phosphorus incorporation," *Appl. Phys. Lett*, vol.96, pp.203508, 2010. DOI: 10.1063/1.3432404
 [13] D. Okamoto, H. Yano, K. Hirata, T. Hatayama, and T. Fuyuki, "Improved Inversion Channel Mobility in 4H-SiC MOSFETs on Si Face Utilizing

Phosphorus-Doped Gate Oxide," *IEEE Electron Device Lett*, vol.31, pp.710, 2010.

DOI: 10.1109/LED.2010.2047239

[14] D. Okamoto, M. Sometani, S. Harada, R. Kosugi, Y. Yonezawa, and H. Yano, "Improved Channel Mobility in 4H-SiC MOSFETs by Boron Passivation," *IEEE Electron Device Lett*, vol.35, pp.1176, 2014. DOI: 10.1109/LED.2014.2362768

[15] F. Allerstam, H. Ö. Ólafsson, G. Gudjónsson, D. Dochev, E. Ö. Sveinbjörnsson, T. Rödle, and R. Jos, "A strong reduction in the density of near-interface traps at the SiO₂/4H-SiC interface by sodium enhanced oxidation," *J. Appl. Phys*, vol.101, pp.124502, 2007. DOI: 10.1063/1.2745321

[16] B. R. Tuttle, S. Dhar, S.-H. Ryu, X. Zhu, J. R. Williams, L. C. Feldman, and S. T. Pantelides, "High electron mobility due to sodium ions in the gate oxide of SiC-metal-oxide-semiconductor field-effect transistors," *J. Appl. Phys*, vol.109, pp.023702, 2011. DOI: 10.1063/1.3533767

[17] D. J. Lichtenwalner, L. Cheng, S. Dhar, A. Agarwal, and J. W. Palmour, "High mobility 4H-SiC (0001) transistors using alkali and alkaline earth interface layers," *Appl. Phys. Lett*, vol.105, pp.182107, 2014. DOI: 10.1063/1.4901259

[18] R. H. Kikuchi and K. Kita, "Fabrication of SiO₂/4H-SiC (0001) interface with nearly ideal capacitance-voltage characteristics by thermal oxidation," *Appl. Phys. Lett*, vol.105, pp.032106, 2014. DOI: 10.1063/1.4891166

[19] T. Hosoi, D. Nagai, M. Sometani, Y. Katsu, H. Takeda, T. Shimura, M. Takei, and H. Watanabe, "Ultrahigh-temperature rapid thermal oxidation of 4H-SiC(0001) surfaces and oxidation temperature dependence of SiO₂/SiC interface properties," *Appl. Phys. Lett*, vol.109, pp.182114, 2016. DOI: 10.1063/1.4967002

[20] M. Sometani, D. Nagai, Y. Katsu, T. Hosoi, T. Shimura, M. Takei, Y. Yonezawa, and H. Watanabe, "Impact of rapid cooling process in ultrahigh-temperature oxidation of 4H-SiC(0001)," *Jpn. J. Appl. Phys*, vol.56, pp.04CR04, 2017. DOI: 10.7567/JJAP.56.04CR04

[21] T. Kobayashi, K. Tachiki, K. Ito, and T. Kimoto, "Reduction of interface state density in SiC (0001) MOS structures by low-oxygen-partial-pressure annealing," *Appl. Phys. Express*, vol.12, pp.031001, 2019.

DOI: 10.7567/1882-0786/ab032b

[22] Kobayashi, Takuma, et al. "Design and formation of SiC (0001)/SiO₂ interfaces via Si deposition followed by low-temperature oxidation and high-temperature nitridation," *Applied Physics Express*, vol.13, no.9, pp.091003, 2020.

DOI: 10.35848/1882-0786/ababed

[23] Tachiki, Keita, and Tsunenobu Kimoto. "Improvement of Both n- and p-Channel Mobilities in 4H-SiC MOSFETs by High-Temperature N₂ Annealing," *IEEE Transactions on Electron Devices*, vol.68, no.2, pp.638-644, 2020.

DOI: 10.1109/TED.2020.3040207

BIOGRAPHY

Young-Hun Cho (Member)



2022 : B.S, degree in Dept. of Electronic Engineering, Kwangwoon University.

2022~current : M.S, course in Dept. of Electronic Materials Engineering, Kwangwoon University.

Ye-Hwan Kang (Member)



present : SK Powertech inc. Ph.D. candidate, Kwangwoon university
2013 : M.S, degree from Far-East University

Chang-Jun Park (Member)

2018 : B.S, degree in Dept. of Electrical, Electronic and Control Engineering, Hankyong National University
 2024~current : M.S, course in Dept. of Electronic Materials Engineering, Kwangwoon University

Ji-Hyun Kim (Member)

2020 : B.S, degree in Dept. of Electronic Materials Engineering, Kwangwoon University.
 2024~current : M.S, course in Dept. of Electronic Materials Engineering, Kwangwoon University.

Geon-Hee Lee (Member)

2019 : BS degree in Dept. of Photovoltaic Engineering, Far East University.
 2021 : MS degree in Dept of Energy IT, Far East University.
 2021~current : PhD course in Dept. of Electronic Materials Engineering, Kwangwoon University

2021 : Visiting Researcher, RISE, Kista, Stockholm, Sweden

Sang-Mo Koo (Member)

1993 : BS degree in Electrical Engineering, Korea University.
 1997 : MS degree in Engineering Material Physics, KTH - The Royal Institute of Technology.
 2003 : PhD degree in Electronics, KTH-The Royal Institute of Technology.

1999 : Visiting Researcher, MIT, Cambridge, MA, USA

2003~2006 : Researcher, Semiconductor Electronics Division, National Institute of Standards and Technology (NIST), MD, USA

2006~2011 : Assistant Professor Kwangwoon University

2014~current : Full Professor, Kwangwoon University

2017~current : Director, Wide Bandgap

Semiconductor Reserach Center