

구동라인분리 센스앰프의 딜레이페일 개선 효과에 대한 분석

Analysis of Improvement on Delay Failures in Separated Driving-line Sense Amplifier

김 동 영*, 김 수 연*, 박 제 원*, 김 신 욱*, 이 명 진**

Dong-Yeong Kim*, Su-Yeon Kim*, Je-Won Park*, Sin-Wook Kim*, Myoung Jin Lee**

Abstract

To improve the performance of DRAM, it is essential to reduce sensing failures caused by mismatch in SA. Unlike flip failures, delay failures can be degraded, especially when high-speed operation is required, making it a critical consideration in the design of next-generation memory. While conventional SA operates with all transistors starting amplification simultaneously, SDSA selectively activates only two transistors that output BLB, thus alleviating offset. In this paper, we validate the superior performance of SDSA in mitigating delay failures through simulations. It was confirmed that SDSA exhibits approximately a 90 % reduction in delay failures compared to conventional SA.

요 약

DRAM의 성능 개선을 위해 센스앰프의 미스매치로 인한 센싱페일을 감소시켜야 한다. 플립페일과 달리 딜레이페일은 고속 동작이 요구될 때 더 심화될 수 있어 차세대 메모리 설계 시 면밀히 고려되어야 할 문제이다. Conventional SA는 증폭 시작 시 모든 트랜지스터가 동시에 동작하는 반면, SDSA는 BLB를 출력으로 하는 트랜지스터 2개만 먼저 동작시켜 오프셋을 완화할 수 있다. 본 논문에서는 SDSA의 딜레이페일에 대한 우수성을 시뮬레이션을 통해 검증하였다. Conventional SA에 비해 약 90%의 딜레이 페일 감소 효과를 갖고 있음을 확인했다.

Key words : DRAM, memory, sense amplifier, sensing fail, delay fail

* (Graduate student, Professor) Department of ICT Convergence System Engineering, Chonnam National University, Gwangju 61186, South Korea

★ Corresponding author

E-mail : mjlee@jnu.ac.kr, Tel : +82-62-530-1810

※ Acknowledgment

This research was supported by the MSIT(Ministry of Science and ICT), Korea, under the ICAN(ICT Challenge and Advanced Network of HRD) program(IITP-2023-RS-2022-00156385) supervised by the IITP(Institute of Information & Communications Technology Planning & Evaluation). This research was supported by the MSIT(Ministry of Science and ICT), Korea, under the Innovative Human Resource Development for Local Intellectualization support program(IITP-2023-RS-2022-00156287) supervised by the IITP(Institute for Information & communications Technology Planning & Evaluation). This research was supported by the BK21 FOUR Program(Fostering Outstanding Universities for Research, 5199991714138) funded by the Ministry of Education(MOE, Korea) and National Research Foundation of Korea(NRF).

The EDA tool was supported by the IC Design Education Center (IDEC), South Korea.

Manuscript received Feb. 21, 2024; revised Feb. 28, 2024; accepted Feb. 28, 2024.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서론

고성능, 고집적 및 저전력 메모리에 대한 수요 증가에 따라 Dynamic Random Access Memory(DRAM)의 성능 개선을 위한 다양한 연구가 진행되어왔다. DRAM은 반복적인 어레이 구조로 인해 공정에서의 편차에 민감하다. 특히 데이터를 읽고 쓰는 역할을 수행하는 Sense Amplifier(SA)는 Random Dopant Fluctuation(RDF)가 유발하는 공정 편차로 인한 미스매치로 센싱마진의 심각한 감소를 일으킨다[1]-[3]. 센싱마진 감소문제는 스토리지 커패시터가 점점 감소함에 따라 더 심화될 수 있다. 센싱마진 감소로 인한 센싱페일은 플립페일(Flip fail), 딜레이페일(Delay fail)로 분류된다[4]. 플립페일은 저장된 데이터를 반대의 값으로 읽게되어 발생하고, 딜레이페일은 올바른 값으로 읽었으나, 느린 증폭 속도로 인해 데이터를 온전히 전달하지 못할 때 발생하는 센싱페일을 뜻한다. 메모리의 성능 향상을 위해 빠른 동작 속도는 매우 중요하므로, 딜레이페일 문제는 점차 심화될 수 있다.

본 논문에서는 센싱페일을 감소시키기 위해 제안된 구동 라인 분리 센스앰프(SDSA)의 딜레이페일을 분석하였다[5]. Conventional SA에 비해 우수한 플립페일 특성을 갖고 있는 것에 더하여 딜레이페일 또한 개선되었음을 시뮬레이션을 통해 검증하였다.

II. 본론

그림 1.은 Conventional SA와 SDSA의 회로도를 나타낸다. 그림 1. (a)의 Conventional SA는 풀업(UP) 및 풀다운(DN) 구동라인이 분리되어 있지 않아 래치 동작으로 값을 증폭한다. 트랜지스터 쌍은 cross coupled 되어 동작이 시작되면 정비트라인(BLT)과 부비트라인(BLB)의 전압의 차이를 감지하여 전압차가 양수인지 음수인지에 따라 증폭의 극성이 결정된다. 일단 증폭이 시작되면 정궤환 작용에 의해 충분한 시간 이후 완전한 1 혹은 0으로 증폭이 완료된다. 이때에 공정 랜덤편차에 의해 오프셋이 존재하면 기준점이 균형을 잃게 된다. 만약 센싱마진이 오프셋보다 작은 경우, 반대 극성으로 증폭될 수 있다. 예를 들어 저장된 값이 0일 때, 증폭이 시작되는 시점에서의 BLT의 전압은 BLB보다 낮으므로 이상적으로는 증폭이 진행됨에 따라 MP1과 MN2의 구동력은 점차 강화 되어야 한다. 이는 정궤환 작용에 의한 래치현상으로 결국 BLB는 V_{CORE} , BLT는 0으로 증폭하여 완전한 0 값을 감지하게 된다. 그러나 미스매치가 존

재하면 증폭의 초기시점에 MN1과 MP2가 우세할 수 있다. 이 경우 동작이 진행됨에 따라 BLB는 0, BLT는 V_{CORE} 로 잘못된 방향으로 증폭하게 된다. 따라서 센스앰프가 데이터를 올바르게 감지하고 증폭하기 위해서는 오프셋을 감소시키거나, 비트라인 전압차이를 증가시켜 센싱마진을 향상시켜야 한다. 그림 2. (b)의 SDSA는 풀업 및 풀다운이 각각 UP1, UP2, DN1, DN2로 분리되어 있어 인버터 2개의 동작 시점을 다르게 하여 값을 증폭할 수 있다. 그림 2.에서 나타낸 바와 같이 Conventional SA는 10ns에서 UP와 DN을 동시에 구동하지만, SDSA는 500ps 먼저 UP1과 DN1을 동작시킨다. 이 방법으로 증폭 동작의 초기에 동작하는 트랜지스터 개수가 2개로 감소한 것뿐만 아니라, MN1-MN2, MP1-MP2 쌍의 정궤환 래치 동작을 인버터 동작으로 바꿔 동작하므로 성능편차가 끼치는 영향을 완화할 수 있다. 그 결과 미스매치로 인한 오프셋을 감소하여 증폭 시작과 동시에 발생하는 플립페일을 감소시킬 수 있다.

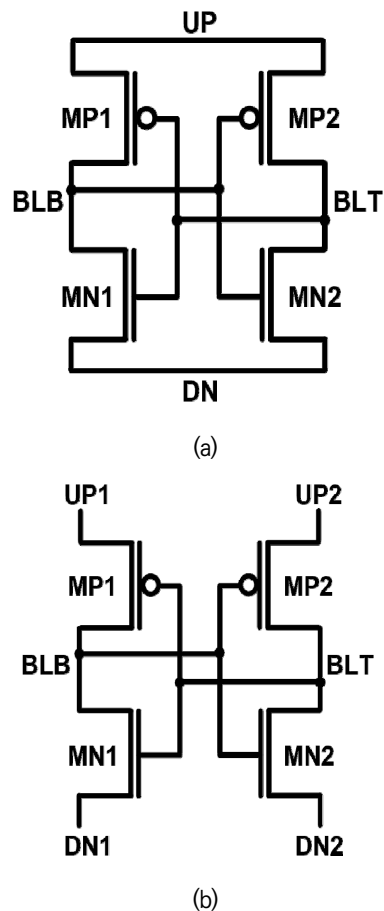


Fig. 1. Schematic diagrams of (a) conventional SA and (b) SDSA.

그림 1. (a) conventional SA와 (b) SDSA의 회로도

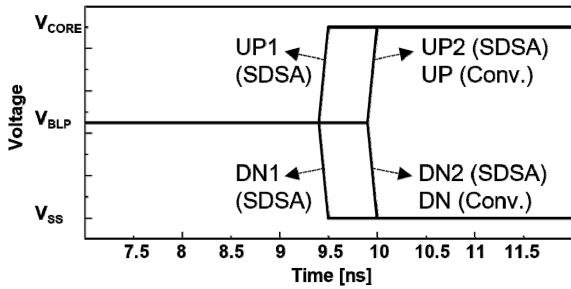


Fig. 2. Timing diagrams of conventional SA and SDSA. 그림 2. conventional SA와 SDSA의 타이밍 도

딜레이 페일 분석을 위해 HSPICE Predictive Technology Model(PTM) 65nm Monte Carlo 시뮬레이션을 10000회 수행하여 각 샘플의 센싱타임을 측정하였다. 센스앰프를 구성하는 트랜지스터는 Conventional SA, SDSA 모두 NMOS:PMOS = 1:2 비율로 설정했고, 구동 전압 0.9V로 동작 하였다.

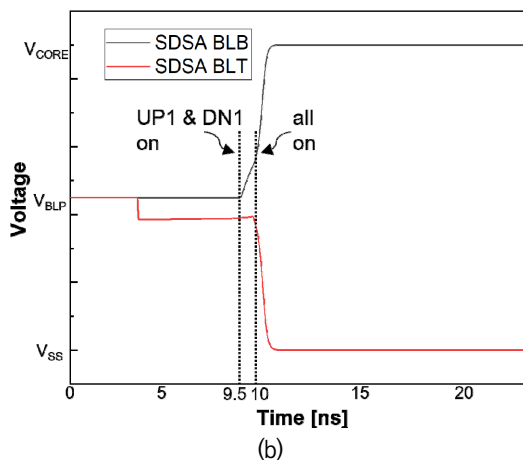
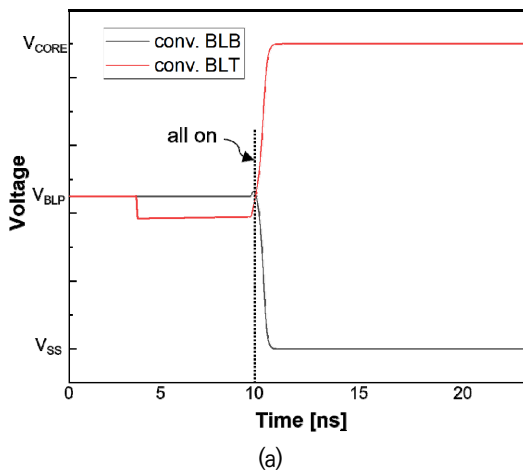


Fig. 3. D0 BLs voltage transients of (a) conventional SA and (b) SDSA.

그림 3. (a) conventional SA와 (b) SDSA의 저장된 데이터 값 0에서의 비트라인 전압변화

그림 3.은 스토리지에 저장된 값이 0일 때, Conventional SA와 SDSA의 비트라인 전압 변화를 나타낸 그림이다. Conventional SA의 경우 오프셋에 의한 센싱 마진 감소로 인해 차지쇄어링 이후의 정비트라인(BLT)과 부비트라인(BLB)의 전압차이를 올바르게 감지하지 못하고 BLT를 1, BLB를 0으로 잘못 감지하는 플립페일이 발생한다. SDSA의 경우 감소된 오프셋에 의해 센싱마진이 향상되어 플립페일이 발생하지 않게 된다.

그림 4.는 Conventional SA와 SDSA를 구성하는 트랜지스터의 전류 변화를 나타낸 그래프이다. (a)의 Conventional SA의 경우 트랜지스터 4개가 동시에 동작하는데, 저장된 데이터가 0이기 때문에 원래대로라면 MP1와 MN2가 우세하여 BLT를 0으로, BLB를 1로 증폭해야한다. 그러나 미스매치로 인해 초기 동작에서 오히려 MP2와 MN1이 우세하게 되어 BLT가 0, BLB가 1로 잘못 증폭하게 된다. 초기시점에서는 비슷한 크기의 전류가 흐르다가 피드백 작용으로 한쪽이 우세하게 되는 래치 동작을 수행하기 때문이다. 이와 달리 (b)의 SDSA에서는 초기에 BLT를 입력, BLB를 출력으로 하는 인버터만 동작한다. MP1와 MN1만 먼저 동작하므로 cross coupled 쌍에 적용되는 미스매치 오프셋 보다는 인버터의 트랜지스터 크기 비율에 따른 스위칭 문턱전압 값에 의존한다. 여기서 입력 전압은 BLT와 BLB 상대적인 비교값이 아닌 차지쇄어링 이후 BLT의 절대적인 값이다. 따라서 만약 스위칭 문턱전압 값이 프리차지전압(V_{BLP})에 근접한 값을 갖고 있다면 D0과 D1의 센싱마진이 균형을 이루는 동시에 약간의 전압 부스팅을 통한 추가적인 오프셋 감소 효과를 얻을 수 있다. 이로인해 동일한 조건에서 Conventional SA에서는 센싱페일이 발생하는 반면, SDSA에서는 발생하지 않게 할 수 있다.

그림 5.은 Conventional SA와 SDSA의 센싱타임 분포를 나타낸다. 플립페일이 발생하지 않았으나, DRAM 규격에 따라 센싱타임이 15ns를 초과하는 경우 센싱페일로 간주하고[6], 이를 딜레이페일이라고 한다. D0, D1 모두 Conventional SA에 비해 SDSA가 센싱타임의 평균값 및 표준편차가 개선되었음을 확인했다. 이는 SDSA가 0.5ns 먼저 동작하지만, BLB를 구동하는 인버터가 초기 비트라인 전압 차를 증가시킴에 따라 후속 positive feedback에 의한 동작 속도가 향상되기 때문이다. 따라서 센스앰프의 센싱마진을 향상시키는 동시에 전체 동작 속도 성능도 개선할 수 있음을 알 수 있다.

표 1은 Conventional SA와 SDSA의 flip 및 delay fail 개수를 나타낸다. D0과 D1 모두 SDSA가 우수한

플립페일 및 딜레이페일 특성을 갖고 있음을 알 수 있다. 딜레이 페일의 경우 Conventional SA에 비해 약 90%의 감소 효과를 갖고 있어, 총 센싱페일은 D0의 경우 96%, D1의 경우 89%의 감소를 나타낸다.

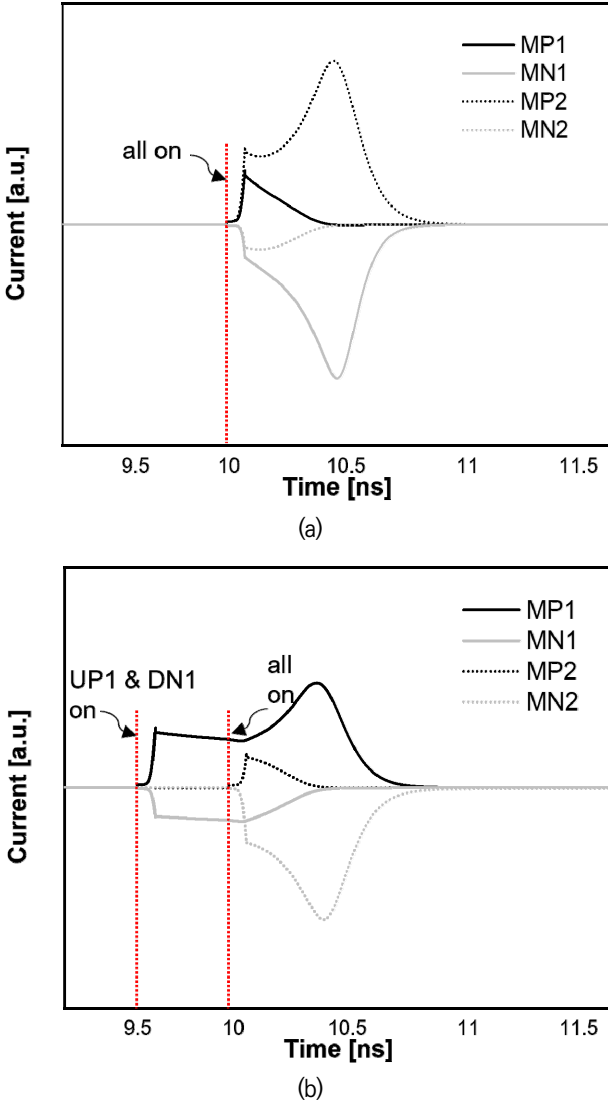


Fig. 4. D0 current transients of (a) conventional SA and (b) SDSA.

그림 4. (a) conventional SA와 (b) SDSA의 저장된 데이터 값 0에서의 전류 변화

Table 1. Fail samples of Conv. SA and SDSA.

표 1. Conv. SA와 SDSA의 fail sample 개수

	flip (D0)	flip (D1)	delay (D0)	delay (D1)	total (D0)	total (D1)
Conv.	338	164	277	129	615	293
SDSA	16	18	6	14	22	32

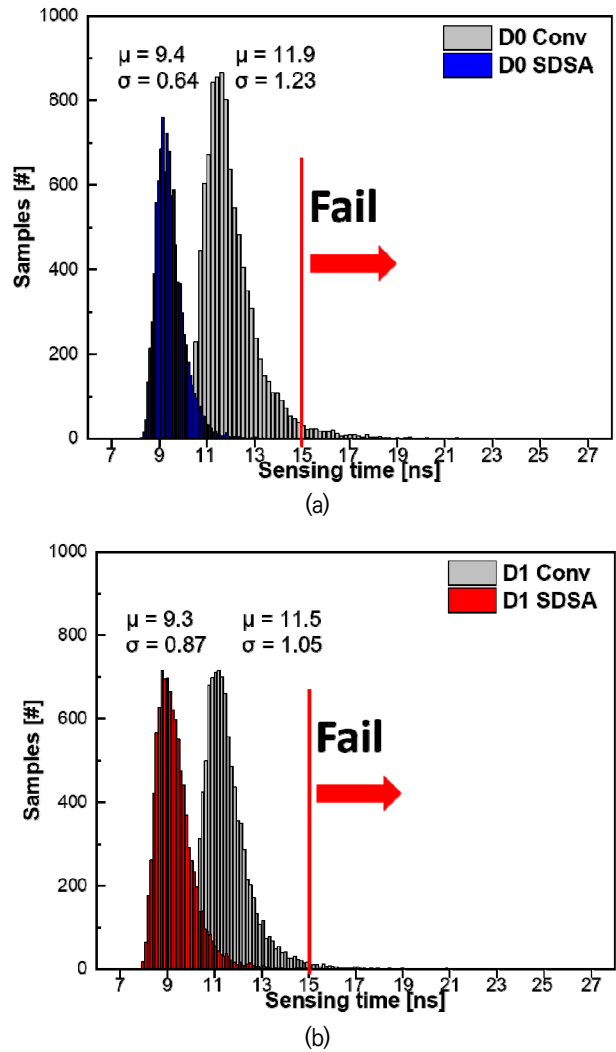


Fig. 5. Sensing time distribution of conventional SA and SDSA (a) D0, (b) D1.

그림 5. Conventional SA와 SDSA의 sensing time 분포 (a) D0, (b) D1

III. 결론

고성능 DRAM의 정상 동작을 위해 센스앰프의 센싱페일을 감소시켜야 한다. 본 논문에서는 SDSA의 딜레이페일에 대한 개선효과를 검증하였다. Conventional SA 대비 90%의 센싱페일 감소를 보이므로, 차세대 메모리 설계에 적용될 수 있을 것으로 기대한다.

References

[1] M. J. M. Pelgrom, A. C. J. Duinmaijer and A. P. G. Welbers, "Matching properties of MOS transistors," in *IEEE Journal of Solid-State Circuits*,

vol.24, no.5, pp.1433-1439, 1989.

DOI: 10.1109/JSSC.1989.572629

[2] M. J. Lee, K. M. Kyung, H. S. Won, M. S. Lee and K. W. Park, "A bitline sense amplifier for offset compensation," *2010 IEEE International Solid-State Circuits Conference - (ISSCC)*, San Francisco, CA, USA, pp.438-439, 2010.

DOI: 10.1109/ISSCC.2010.5433892

[3] M. J. Lee, "A Sensing Noise Compensation Bit Line Sense Amplifier for Low Voltage Applications," in *IEEE Journal of Solid-State Circuits*, vol.46, no.3, pp.690-694, 2011.

DOI: 10.1109/JSSC.2010.2102570

[4] S. M. Kim, B. Song, S. O. Jung, "Sensing Margin Enhancement Technique Utilizing Boosted Reference Voltage for Low-Voltage and High-Density DRAM," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol.27, no.10, pp.2413-2422, 2019. DOI: 10.1109/TVLSI.2019.2920630

[5] D. Y. Kim et al., "Offset Reduction Scheme of the Voltage Latched Sense Amplifier," *Journal of The Institute of Electronics and Information Engineers*, vol.59, no.6, pp.32-35, 2022.

DOI: 10.5573/ieie.2022.59.6.32

[6] T. Zhang, C. Xu, Y. Xie, and G. Sun, "Lazy precharge: An overhead-free method to reduce precharge overhead for memory parallelism improvement of DRAM system," in *Proc. IEEE 31st Int. Conf. Comput. Design (ICCD)*, pp.138-144, 2013. DOI: 10.1109/ICCD.2013.6657036

BIOGRAPHY

Dong-Yeong Kim (Member)



2021 : BS degree in Electrical Engineering, Chonnam National University, Gwangju, South.
2023 : MS degree in Department of ICT Convergence System Engineering, Chonnam National University, Gwangju, South, where he is currently pursuing the Ph.D degree.

Su-Yeon Kim (Member)



2021 : BS degree in Department of Physics, Chonnam National University, Gwangju, South.

2023 : MS degree in Department of ICT Convergence System Engineering, Chonnam National University, Gwangju, South, where he is currently pursuing the Ph.D degree.

Je-Won Park (Member)



2022 : BS degree in Electrical Engineering, Chonnam National University, Gwangju, South. where he is Currently pursuing the M.S. degree.

Sin-Wook Kim (Member)



2022 : BS degree in Electrical Engineering, Chonnam National University, Gwangju, South. where he is Currently pursuing the M.S. degree.

Myoung-Jin Lee (Member)



2001 : B.S. degree from Korea University, Seoul, South Korea.
2003~2007 : M.S. and Ph.D. degrees from Seoul National University, Seoul.
2007 : respectively. He joined the Advanced Circuit Design Team, Hynix Semiconductor Inc., Icheon, South Korea.

2014 : he has been with Chonnam National University, Gwangju, South Korea, where he is currently an Professor. His research interests include advanced device structures, and reliability modeling and circuit design for low-power sensors and high-power systems.