

BCD 공정 기반 저면적 MTP 설계

Design of Small-Area MTP Memory Based on a BCD Process

권순우*, 리 롱화*, 김도훈*, 하판봉*, 김영희*

Soonwoo Kwon*, Li Longhua*, Dohoon Kim*, Panbong Ha*, Younghee Kim*

Abstract

PMIC chips based on a BCD process used in automotive semiconductors require multi-time programmable (MTP) intellectual property (IP) that does not require additional masks to trim analog circuits. In this paper, MTP cell size was reduced by about 18.4% by using MTP cells using PMOS capacitors (PCAPs) instead of NMOS capacitors (NCAPs) in MTP cells, which are single poly EEPROM cells with two transistors and one MOS capacitor for small-area MTP IP design. In addition, from the perspective of MTP IP circuit design, the two-stage voltage shifter circuit is applied to the CG drive circuit and TG drive circuit of MTP IP design, and in order to reduce the area of the DC-DC converter circuit, the VPP (=7.75V), VNN (=−7.75V) and VNNL (=−2.5V) charge pump circuits using the charge pumping method are placed separately for each charge pump.

요약

차량용 반도체에서 사용되는 BCD 공정 기반의 PMIC 칩은 아날로그 회로를 트리밍하기 위해 추가 마스크가 필요없는 MTP (Multi-Time Programmable) IP(Intellectual Property)를 요구한다. 본 논문에서는 저면적 MTP IP 설계를 위해 2개의 트랜지스터와 1개의 MOS 커패시터를 갖는 single poly EEPROM 셀인 MTP 셀에서 NCAP(NMOS Capacitor) 대신 PCAP(PMOS Capacitor)을 사용한 MTP 셀을 사용하여 MTP 셀 크기를 18.4% 정도 줄였다. 그리고 MTP IP 회로 설계 관점에서 MTP IP 설계의 CG 구동회로와 TG 구동회로에 2-stage voltage shifter 회로를 적용하였고, DC-DC 변환기 회로의 면적을 줄이기 위해 전하 펌핑 방식을 사용하는 VPP(=7.75V), VNN(=−7.75V)와 VNNL(=−2.5V) 전하 펌프 회로에서 각각의 전하 펌프마다 별도로 두고 있는 ring oscillator 회로를 하나만 둔 회로를 제안하였으며, VPPL(=2.5V)은 전하펌프 대신 voltage regulator 회로를 사용하는 방식을 제안하였다. 180nm BCD 공정 기반으로 설계된 4Kb MTP IP 사이즈는 0.493mm²이다.

Key words : MTP, BCD Process, Small Area, Non-volatile, Memory

1. 서론

차량용 반도체는 자동차 전자제어장치 및 차량 내 전자제어장치에 사용되는 반도체이다[1]. 차량용 반도체를 적용한 주요 부품은 표 1에서 보는 바와 같이 안전·

ADAS(Advanced Driver Assistance System), 샤시(Chassis), 인포테인먼트(Infotainment), 차체(Car Body), 파워트레인(Power Train), 전력반도체 모듈 등의 분야에 사용된다[2][3].

* Dept. of Electronic Engineering, Changwon National University

★ Corresponding author

E-mail : youngkim@changwon.ac.kr, Tel : +82-55-213-3654

※ Acknowledgment

This research is financially supported by Changwon National University in 2023~2024.

Manuscript received Mar. 7, 2024; revised Mar. 20, 2024; accepted Mar. 26, 2024.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

Table 1. Major components applied to automotive semiconductor [2][3].

표 1. 차량용 반도체 주요 적용 부품[2][3]

분야	차량용 반도체 적용 주요 부품
안전·ADAS	TPMS, 에어백, 추돌·차선이탈 경보, 주차 보조, 후방 카메라, 서라운드 뷰 카메라, eMirror, In-Cabin ADAS
샤시	제동장치, 조향장치, 트랙션 콘트롤, 서스펜션, 스마트 정션 박스, 무선충전
인포테인먼트	Navigation, 텔레매틱스
차체	라이팅, 와이퍼, 선루프, 파워윈도우
파워트레인	트랜스미션, ECU, 크루즈 콘트롤, 접화, 스로틀 콘트롤, Start-Stop, 48V 시스템, 충전, 전동화
전력반도체	모터 인버터, DC-DC 컨버터, BMS 등

차량용 시스템에서 PMIC(Power Management Integrated Circuit)는 입력전원을 받아서 요구하는 안정적이고 효율적인 전원으로 변환하여 공급하는 칩이다 [4][5]. PMIC에서 아날로그 회로의 트리밍 등에 사용되는 NVM(Non-Volatile Memory)인 MTP(Multi-Time Programmable) 메모리는 추가 마스크가 필요 없는 single poly EEPROM 셀인 MTP 셀이 사용되어 진다 [6]. 한편 BCD(Bipolar-CMOS-DMOS) 공정 기반의 MTP IP(Intellectual Property)는 원가를 줄이기 위해 저면적 MTP 셀을 포함한 저면적의 설계가 요구되어진 다[7]. 또한 BCD 공정 기반으로 설계된 MTP IP는 1K cycle의 endurance 특성과 10년의 data retention 특성을 만족하기 위해 erase와 program 모드에서 5V MOS 소자의 gate oxide에 걸리는 전압과 drain-source 에 걸리는 전압은 8.5V 이내의 전압이 걸리도록 설계를 하여야한다[8].

본 논문에서는 2개의 트랜지스터와 1개의 MOS 커패시터를 갖는 MTP 셀에서 NCAP(NMOS Capacitor) 대신 PCAP(PMOS Capacitor)을 사용한 MTP 셀을 사용하여 MTP 셀 사이즈를 줄였다.

그리고 180nm BCD 공정 기반에서 설계된 4Kb MTP IP에서 레이아웃 사이즈를 줄이기 위해 MTP IP 설계에서 사용된 3-stage voltage shifter [8] 대신 DP(Double Poly) EEPROM IP 설계에서 사용된 2-stage voltage shifter 회로 [9]를 MTP IP 설계의 CG(Control Gate) 구동회로와 TG(Tunnel Gate) 구동회로에 새롭게 적용하였다. 그리고 기존의 TG 스위치 회로에서 5V NMOS 트랜지스터의 게이트 전압은 VPPL 전압이 걸리고, Body 전압은 VNN 전압이 걸리면서 5V gate oxide에는 10.25V의 고전압이 걸리는 반면, 새롭게 제안된 TG 스

위치 회로는 gate oxide와 drain-source 전압이 7.75V 이내의 전압이 걸리게 하므로 5V MOS 소자의 신뢰성을 확보하도록 설계를 하였다. 한편 DL(Data Line) 센싱회로와 관련 2.5V~5.5V의 wide voltage range로 동작을 필요로 하는 MTP IP에서 clocked inverter를 사용하는 DL 센싱 회로는 erase된 셀로 인식을 하는 ON current 가 50nA로 너무 낮은 취약점을 가지고 있다. 그래서 본 논문에서 제안된 DL 전류 센싱회로는 erase 된 셀의 ON 전류를 1.2 μ A ~ 3.2 μ A 범위로 안정되게 센싱하도록 하였다. 한편 DC-DC 변환기 회로의 면적을 줄이기 위해 전하 펌핑 방식을 사용하는 VPP(=7.75V), VNN (= -7.75V)와 VNNL(= -2.5V) 전하 펌프 회로에서 각각의 전하 펌프마다 별도로 두고 있는 ring oscillator 회로를 하나만 둔 회로를 제안하였으며, VPPL(=2.5V)은 전하펌프 대신 voltage regulator 회로를 사용하는 방식을 제안하였다.

II. 본론

1. 회로설계

표 2는 single poly EEPROM 셀인 MTP 셀의 특성을 비교한 것이다. 참고문헌 [10]과 [11]의 MTP 셀은 5V NMOS 트랜지스터의 게이트 oxide 두께를 그대로 이용한 셀이 아니기 때문에 tunnel oxide 두께만큼 형성하기 위해서는 마스크 한 장이 추가되는 반면, 참고문헌 [12]의 MTP 셀은 5V NMOS 트랜지스터의 게이트 oxide 두께를 그대로 이용하고 있기 때문에 tunnel oxide 형성을 위한 추가 마스크가 필요 없다. 한편 참고문헌 [12]의 MTP 셀은 erase 동작시 NW(N-Well)과 TG(Tunnel Gate)에 18V의 고전압이 필요로 하므로 HV(High-Voltage) MOS 소자가 필요하다.

Table 2. Comparison of characteristics of MTP cells.

표 2. MTP 셀의 특성 비교

Ref. No.	Process Tech	Cell Size [μ m ²]	Tunnel Oxide 두께	Erase 방식	PGM 방식
[10]	180 μ m Logic	2	110Å	BTBT	CHE
[11]	130 μ m Logic	12.1	85Å	FN	CHE
[12]	180 μ m Logic	5.91	130Å	FN	BBHE
This work	180 μ m BCD	31.75	133Å	FN	FN

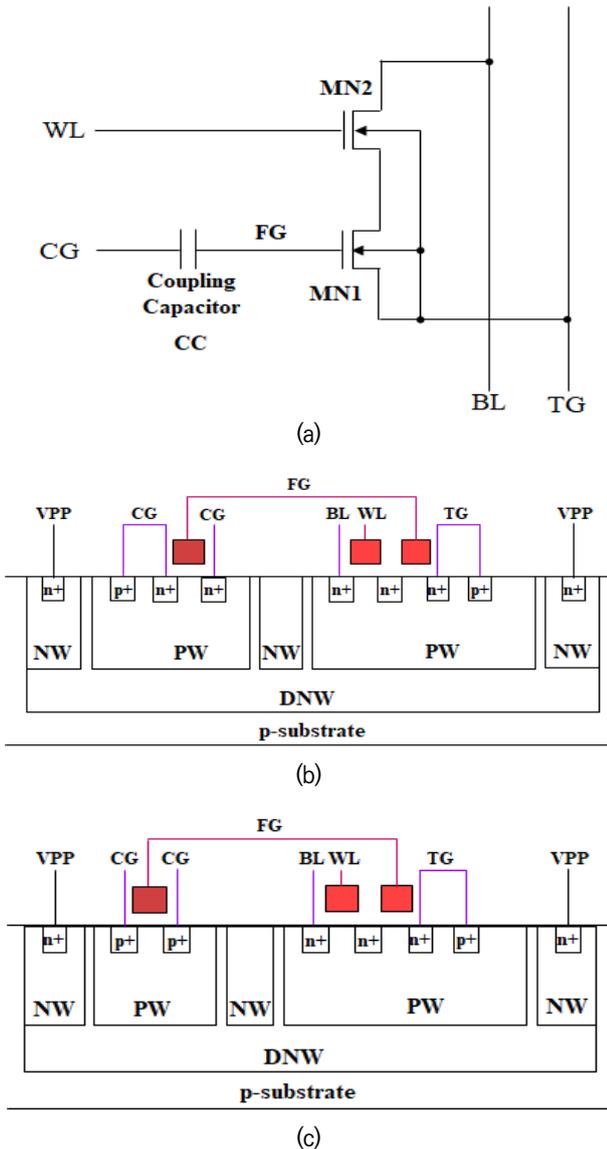


Fig. 1. MTP memory cell: (a) circuit, (b) process cross-section of MTP cell using NCAP, and (c) process cross-section of MTP cell using PCAP.

그림 1. MTP 셀 (a) 회로도 (b) NCAP을 사용한 MTP 셀의 공정단면도 (c) PCAP을 사용한 MTP 셀의 공정단면도

그림 1은 본 논문에서 사용할 MTP 셀의 회로도 [13]와 공정단면도를 보여주고 있다. 사용된 MTP 셀은 CG (Control Gate) 커플링 커패시터 CC, TG_SENSE 트랜지스터 MN1와 select 트랜지스터 MN2로 구성되어 있다. TG_SENSE 트랜지스터 MN1은 program과 erase 모드 시 tunnel oxide 역할을 하면서 read 모드시 sense 트랜지스터 역할을 하며, 5V NMOS 트랜지스터인 select 트랜지스터 MN2는 TG_SENSE 트랜지스터의 FG가 over-erase 되었을 때 BL에서의 누설전류를 줄이기 위한 것이다. MTP 셀에서 커플링 커패시터는 그림 1(b)와 그림 1(c)에서 보는 바와 같이 NCAP을 사용하는

경우와 PCAP을 사용하는 경우가 있다. NCAP을 사용하는 경우 PW (P-Well)이 N-DIFF layer를 0.7 μ m enclose 해야 하는 반면, PCAP을 사용하는 경우는 PW이 P-DIFF layer를 0.12 μ m enclose 하면 되므로 MTP 셀 사이즈를 줄일 수 있다. 180nm BCD 공정 기반의 NCAP을 사용한 MTP 셀 사이즈는 6.184 μ m \times 6.295 μ m(=38.93 μ m²)인 반면, PCAP을 사용한 MTP 셀 사이즈는 6.184 μ m \times 5.135 μ m(=31.75 μ m²)로 줄어든 것을 볼 수 있다.

표 3은 그림 1(c)의 PCAP을 사용한 MTP 셀의 동작 모드별 바이어스 조건 테이블을 보여주고 있다. 프로그램 모드에서 선택된 셀의 CG, TG, WL, BL과 DNW는 각각 7.75V, -7.75V, 0V, Floating과 7.75V로 바이어스 전압을 인가하면 FN(Fowler-Nordheim) tunneling에 의해 그림 1(c)의 FG(Floating Gate)에 electron injection이 되면서 V_{TC}(Cell Threshold Voltage)가 3V 이상 올라가 데이터 '1'로 프로그램 된다. Erase 모드에서 선택된 셀의 CG, TG, WL, BL과 DNW는 각각 -7.75V, 7.75V, 0V, Floating과 7.75V로 바이어스 전압을 인가하면 그림 1(c)의 FG에 FN tunneling에 의해 electron ejection이 일어나면서 V_{TC}가 0V 미만의 negative 전압으로 떨어지면서 '0'로 erase 된다. Read 모드에서는 CG, TG, WL, BL과 DNW 전압이 2V, 0V, VDD, 1V와 VDD로 바이어스 전압을 인가하면 BL을 통해서 흐르는 전류가 erase된 ON 전류가 흐르면 '0', 프

Table 3. MTP cell bias condition table by operation mode.

표 3. 동작 모드별 MTP 셀 바이어스 조건 테이블

Operation	Mode	CG	TG	WL	BL	DNW
PGM	SCG & STG	7.75V	-7.75V	0V	Floating	7.75V
	SCG & UTG	7.75V	2.5V	0V	Floating	7.75V
	UCG & UTG	-2.5V	2.5V	0V	Floating	7.75V
	UCG & UTG	-7.75V	7.75V	0V	Floating	7.75V
ERS	SCG & STG	-7.75V	0	0V	Floating	7.75V
Read	SCG & UTG	2V	0	VDD	1V	VDD
	SCG & UTG	2V	0	VDD	Floating	VDD
	UCG & STG	2V	0	0V	1V	VDD
	UCG & UTG	2V	0	0V	Floating	VDD

로그랩 된 OFF 전류가 흐르면 '1'로 DOUT 데이터를 출력한다.

표 4는 그림 1(c)의 PCAP을 커플링 커패시터로 사용한 MTP 셀을 이용하여 설계된 4Kb MTP IP의 주요 특징을 보여준다. 4Kb MTP IP의 셀 어레이 사이즈는 64행×64열이고, 공급 전압 VDD는 read와 write(program 또는 erase) 모드에서는 wide voltage range인 2.5V ~ 5.5V이며, write-verify-read(erase-verify-read 또는 program-verify-read) 모드에서는 4.5V ~ 5.5V의 단일 전원을 사용한다. 부가적인 기능으로는 V_{TC} measuring 모드를 지원하고 있으며, 테스트 모드는 TTR(Test Time Reduction)을 위해 all program 모드를 지원하고 있다. AEC-Q100 qualification의 automotive grade 0를 목표로 설계를 하였기 때문에 온도 범위는 -40 ~ 150℃이다[14]. Endurance는 1K cycle을 목표로 하고 있으며, data retention time은 10년이다. MTP 셀의 erase와 program 시간은 모두 10ms이다.

Table 4. Major specifications of 4Kb MTP memory IP.

표 4. 4Kb MTP IP의 주요 특징

Items		Main Features
VDD	Read	2.5V ~ 5.5V
	Write	2.5V ~ 5.5V
	Write-Verify-Read	4.5V ~ 5.5V
Main Function	Read	Read
	Write	All Erase / Program
	Write-Verify-Read	EVR / PVR
Additional Functions		ERS_VT Measuring, PGM_VT Measuring
Test Mode		All Program
Cell Array		64R × 64C
Temperature Range		-40~150℃
P/E Time		10ms
IP Size		576.343μm × 856.417μm = 0.493mm ²
Application		Automotive
Endurance		1K Cycles
Data Retention		10Years

4Kb MTP IP의 블록도는 그림 2에서 보는 바와 같이 64행 × 64열의 MTP 셀 어레이, 동작 모드에 따라 제어 신호를 발생시키는 control logic 회로, row address인 A[8:3]에 의해 64개 row중 한 row를 선택하여 CG와

WL을 구동해주는 CG 구동회로, TG 스위치는 프로그램 모드에서 column address인 A[2:0]를 decoding하여 8개로 구성된 TG 구동회로의 한 바이트의 TGD를 해당 되는 8개의 TG에 전달시켜주는 TG 스위치 회로, read 모드에서 해당되는 한 바이트의 BL 데이터를 DL[7:0]에 전달시켜 주는 BL 스위치 회로와 DL 데이터를 센싱하는 DL S/A(Sense Amplifier) 회로로 구성되어 있다. 그리고 program과 erase 모드에서 전하 펌핑 방식에 의해 VPP(=7.75V), VNN(=-7.75V)과 VNNL(=-2.5V) 전압을 공급하는 회로, voltage regulation 방식에 의해 VPPL(=2.5V), VRD(=2V), VPVR(=3V)의 전압을 공급해주는 회로가 그림 2의 DC-DC 변환기 회로에 포함되어 있다.

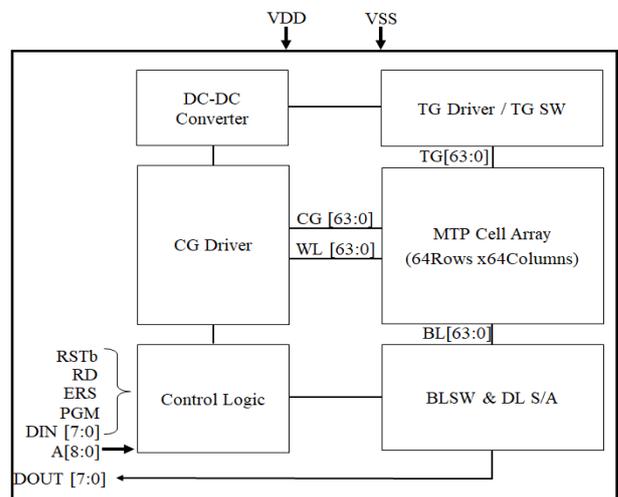


Fig. 2. Block diagram of the designed 4Kb MTP memory IP.

그림 2. 설계된 4Kb MTP IP의 블록도

그림 2의 코어회로에서 CG 구동회로와 TG 구동회로는 3-stage voltage level shifter 회로 [8] 대신 DP (Double Poly) EEPROM IP 설계에서 사용된 2-stage voltage level shifter 회로 [9]를 사용하였다.

그림 3의 MTP IP에 새롭게 적용된 CG 구동회로는 7.75V 이하의 스위칭 전압을 갖도록 하기 위해 VRD - VSS, ROW_HV - ROW_LV의 2-stages voltage level shifter 회로를 사용하였으며, 게이트가 VSS(=0V)에 연결된 2개의 PMOS 트랜지스터(MP13과 MP14)와 게이트가 스위칭 파워인 NG_VPVR에 연결된 2개의 NMOS 트랜지스터(MN13과 MN14)가 사용되었다. Program 모드에서 ROW_HV 전압이 7.75V가 인가되므로 program 동작 모드에서 selected CG와 unselected CG 회로에서 MP13과 MP14 PMOS 트랜지스터의 소스 - 드레인

전압과 gate oxide 전압을 확인해 보면 된다. Program 모드에서 selected CG 회로의 N14 전압은 $|V_{TP}|$ 정도의 전압을 유지하므로 MP12의 소스 - 드레인 전압이 7.75V 이하의 전압을 유지하고, unselected CG 회로의 N13 전압 또한 $|V_{TP}|$ 정도의 전압을 유지하므로 두 번째 단의 voltage level shifter에 사용되는 PMOS 트랜지스터의 소스 - 드레인 전압은 모두 7.75V 이하의 전압이 걸린다. 그리고 4개의 PMOS 트랜지스터(MP11, MP12, MP13과 MP14) 모두 gate oxide에 걸리는 전압은 7.75V 이하의 전압이 걸린다. 한편 erase 모드에서 ROW_LV 전압이 -7.75V가 인가되므로 erase 동작 모드에서 CG 회로에서 4개의 NMOS 트랜지스터(MN11, MN12, MN13과 MN14)의 드레인 - 소스 전압과 gate oxide 전압을 확인해 보면 된다. Erase 모드에서 CG 회로의 NG_VPVR 전압이 VPVR에서 0V로 스위칭하면서 N11과 N12 전압은 각각 -7.75V와 $-V_{TN}$ 정도의 전압을 유지하므로 두 번째 voltage level shifter 단의 4개의 NMOS 트랜지스터의 드레인 - 소스 전압과 gate oxide에 걸리는 전압은 모두 7.75V 이하이다. 만약 NG_VPVR 전압이 0V로 스위칭하지 않고 VPVR(=3V) 전압을 유지한다면 erase 모드에서 N12 전압이 VPVR - V_{TN} 전압이 걸리면서 소자의 신뢰성에 문제가 있을 수 있다. 그래서 본 논문에서 NG_VPVR 전압을 program 모드와 erase 모드에서 VPVR에서 0V로 스위칭하는 스위칭 파워를 사용하였다.

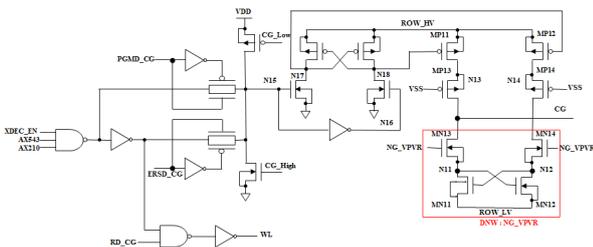


Fig. 3. CG drive circuit using two-stage voltage level shifter.

그림 3. 2-stage voltage level shifter를 사용한 CG 구동회로

한편 그림 4의 TG 구동회로도 그림 3의 CG 구동회로와 마찬가지로 2-stage voltage level shifter 회로를 사용하므로 소자에 걸리는 최대 전압을 7.75V 이하로 유지하였다.

그림 5는 각 column마다 존재하는 기존의 TG 스위치 회로이다. 그림 5의 TG 스위치 회로는 program 모

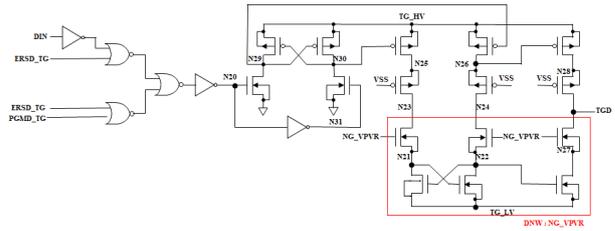


Fig. 4. TG drive circuit with two-stage voltage level shifter.

그림 4. 2-stage voltage level shifter를 사용한 TG 구동회로

드에서 64 column중 A[2:0]의 decoding에 의해 선택된 8 column에 그림 5의 MN31, MP30, MP31과 MP32 트랜지스터가 ON되면서 TGD[7:0] 전압을 TG[7:0]에 전달시켜 주는 스위치 역할을 한다. 반면 선택되지 않은 바이트에 해당되는 TG 스위치 회로는 MN31, MP30, MP31과 MP32 트랜지스터는 OFF 되고 MP33, MP34와 MP35 트랜지스터가 ON 되면서 VINH(Inhibit Voltage)인 VPPL(=2.5V) 전압이 TG 노드에 전달되면서 선택되지 않은 MTP 셀은 FN tunneling이 일어나지 않는다. 그림 6은 program 모드에서 DIN 입력 데이터가 '1'인 경우 기존의 TG 스위치 회로에서 각 노드에 걸리는 전압을 표시한 회로이다. 그림 6에서 보는 바와 같이 MN31의 게이트 전압은 TG_SEL 전압인 VPPL(=2.5V) 전압이 걸리고, MN31의 body 전압은 표 5에서 보는 바와 같이 TG_LV 전압인 -7.75V가 걸리면서 MN31의 gate oxide에 걸리는 전압은 10.25V 전압이 걸려서 5V NMOS 트랜지스터의 소자 신뢰성에 문제가 있을 수 있다. 또한 MP31 트랜지스터도 body와 gate에 각각 2.5V와 -7.75V 전압이 걸리면서 5V PMOS 트랜지스터 소자의 신뢰성에 문제가 있을 수 있다.

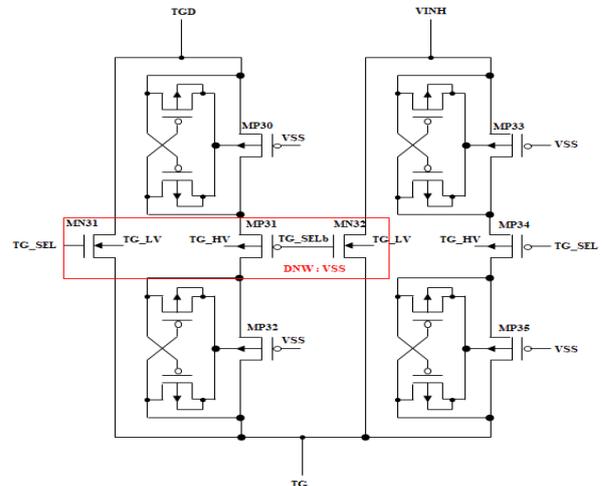


Fig. 5. Conventional TG switch circuit.

그림 5. 기존의 TG 스위치 회로

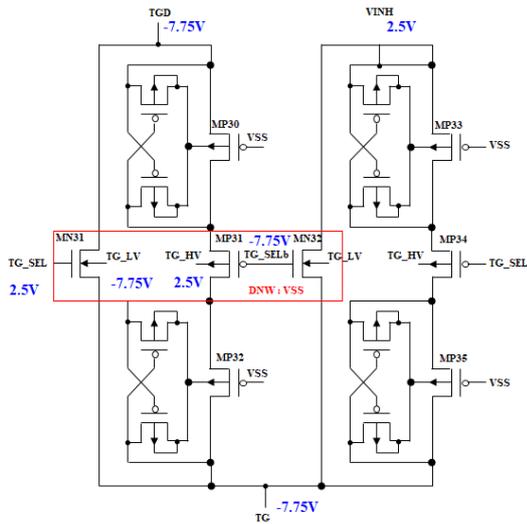


Fig. 6. Circuit that displays the voltage applied to each node in a conventional TG switch circuit if the DIN data is '1' in program mode.

그림 6. Program 모드에서 DIN 데이터가 '1'인 경우 기존의 TG 스위치 회로에서 각 노드에 걸리는 전압을 표시한 회로

Table 5. The output voltages of the HV switching circuit by operating mode.

표 5. 동작 모드별 HV 스위칭 회로의 출력 전압

Operation mode	ROW_HV	ROW_LV	TG_HV	TG_LV
Read	2V	0V	VDD	0V
Program	7.75V	-2.5V	2.5V	-7.75V
All Program	7.75V	-2.5V	2.5V	-7.75V
All Erase	2.5V	-7.75V	7.75V	0V
EVR	2V	0V	VDD	0V
PVR	3V	0V	VDD	0V
Cell Current VT Test	3V	-3V	VDD	0V
	5V	0V	VDD	0V
Cell Function VT Test	3V	-3V	VDD	0V
	5V	0V	VDD	0V

그래서 본 논문에서는 5V NMOS 트랜지스터 소자와 5V PMOS 트랜지스터 소자에 걸리는 전압을 7.75V 이하로 걸리도록 하는 그림 7의 TG 스위치 회로를 새롭게 제안하였다. 새롭게 제안된 TG 스위치 회로는 gate oxide와 drain-source 전압이 7.75V 이내의 전압이 걸리게 하므로 5V MOS 트랜지스터 소자의 신뢰성을 확보하도록 설계를 하였다. 그림 7의 제안된 TG 스위치 회로에서 NG_VPVR_TGSW 신호는 program 모드와

erase 모드에서 VPVR(=3V) 전압에서 0V로 스위칭하므로 MN40과 MN42의 NMOS gate oxide에 7.75V 이내의 전압이 걸리도록 하였다. Selected TG 스위치 회로에서 program 모드이면서 DIN 데이터가 '1'인 경우 MN41을 통해 TGD의 -7.75V를 TG에 전달하면 되므로 TG_NG_SEL 신호 전압이 0V이면 충분히 전달이 된다. 그리고 program 모드에서 DIN 데이터가 '0'인 경우 MP41을 통해 TGD의 2.5V를 TG에 전달하면 되므로 TG_PG_SELb 신호 전압이 0V이면 된다. 한편 program 모드에서 unselected TG 스위치인 경우 MN41과 MP41은 OFF 상태를 유지해야 하므로 TG_NG_SEL 신호와 TG_PG_SELb 신호는 각각 -7.75V와 2.5V면 되고, MP44의 게이트 신호인 TG_PG_SEL 신호는 0V 전압을 공급하므로 ON 상태에 있는 MP43, MP44, MP45 트랜지스터를 통해 TG 노드 전압은 VPPL 전압인 2.5V로 바이어스 된다. 한편 all erase 모드에서는 TG_NG_SEL 신호와 TG_PG_SEL 신호 전압은 0V와 7.75V가 각각 공급되어 MN41 NMOS 트랜지스터와 MP44 PMOS 트랜지스터는 모두 OFF 상태에 있고, TG_PG_SELb 신호가 0V가 되면서 MP40, MP41과 MP42 트랜지스터가 ON이 되면서 TG 전압은 TGD의 VPP 전압인 7.75V가 공급된다. 그림7의 제안된 TG 스위치 회로는 program 모드와 erase 모드에서 모든 PMOS 트랜지스터와 모든 NMOS 트랜지스터의 gate oxide와 drain-source에 걸리는 전압은 7.75V 이하가 되도록 하여 5V MOS 트랜지스터 소자의 신뢰성에는 문제가 없다.

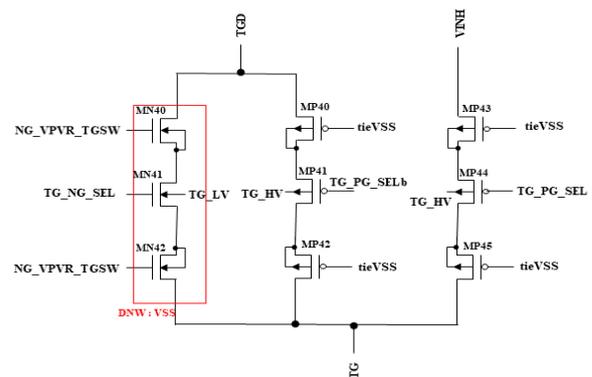


Fig. 7. Newly proposed TG switching circuit.

그림 7. 새롭게 제안된 TG 스위칭 회로

한편 VDD power supply 전압이 2.5V~5.5V의 wide voltage range에서 read 동작을 필요로 하는 MTP IP에서 그림 8의 clocked inverter를 사용하는 DL 센싱 회로는 MP51과 MP52는 저항성 pull-up load와

clocked inverter를 사용하므로 PVT (Process-Voltage-Temperature) variation으로 인해 erase된 셀로 readout을 하는 ON current가 거의 50nA로 너무 낮은 취약점을 가지고 있다. 그래서 본 논문에서는 그림 9의 제안된 DL 전류 센싱회로에서 보는 바와 같이 bandgap reference current generator 회로에 의해 공급되는 VPBIAS_SA 바이어스 전압을 이용하여 MP61의 PMOS current mirror를 통해 다시 mirroring하므로 MP61 PMOS 트랜지스터에 mirroring되는 pull-up 전류를 1 μ A로 안정적으로 공급하였다. 이와 같이 PVT variation에 insensitive한 1 μ A의 mirroring 전류를 공급하므로 제안된 DL 센싱 회로에서 erase된 셀의 ON 전류 variation이 작은 범위로 안정되게 센싱하도록 하였다.

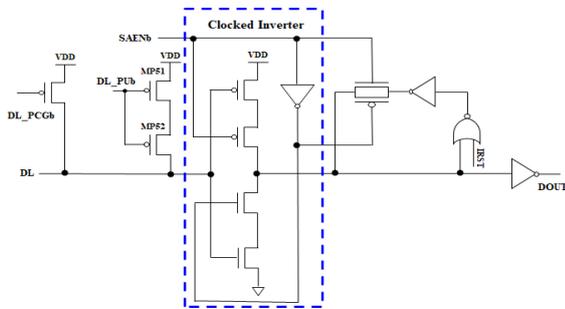


Fig. 8. DL sensing circuit using a clocked inverter.
그림 8. Clocked inverter를 사용하는 DL 센싱 회로

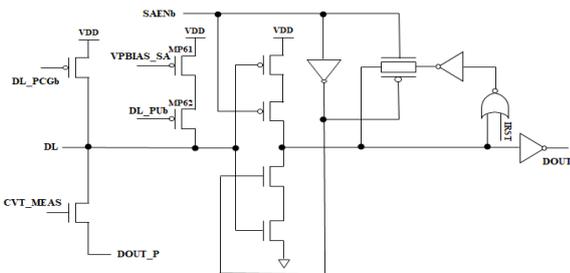


Fig. 9. DL current sensing circuit.
그림 9. DL 전류 센싱 회로

무선충전기, USB Type-C 등의 칩에 사용되는 BCD 공정은 MTP IP가 필요하다[8][15]. 한편 그림 2의 MTP IP 블록도에 있는 DC-DC 변환기 회로는 erase와 program 동작에서는 VPP(=7.75V), VNN(=-7.75V), VPPL(=2.5V), VNNL(=-2.5V) 전압 공급회로가 필요하며, 각각의 전하 펌프 회로가 사용된다. 그림 10은 기존에 사용된 DC-DC 변환기 회로로 VPP, VNN, VPPL, VNNL 전하 펌핑 방식의 회로는 모두 ring oscillator 회로를 포함한다. 그래서 본 논문에서는 DC-DC 변환기 회로의 면적을 줄이기 위해 전하 펌핑 방식을 사용하는 VPP, VNN과

VNNL 전하 펌핑 회로에서 각각의 전하 펌프마다 별도로 두고 있는 ring oscillator 회로를 하나만 두고, 이 ring oscillator의 출력 신호를 공유해서 사용하는 회로를 제안하였으며, VPPL은 면적이 큰 전하펌프 회로를 사용하는 대신 상대적으로 면적이 작은 voltage regulator 회로를 사용하는 방식을 제안하였다.

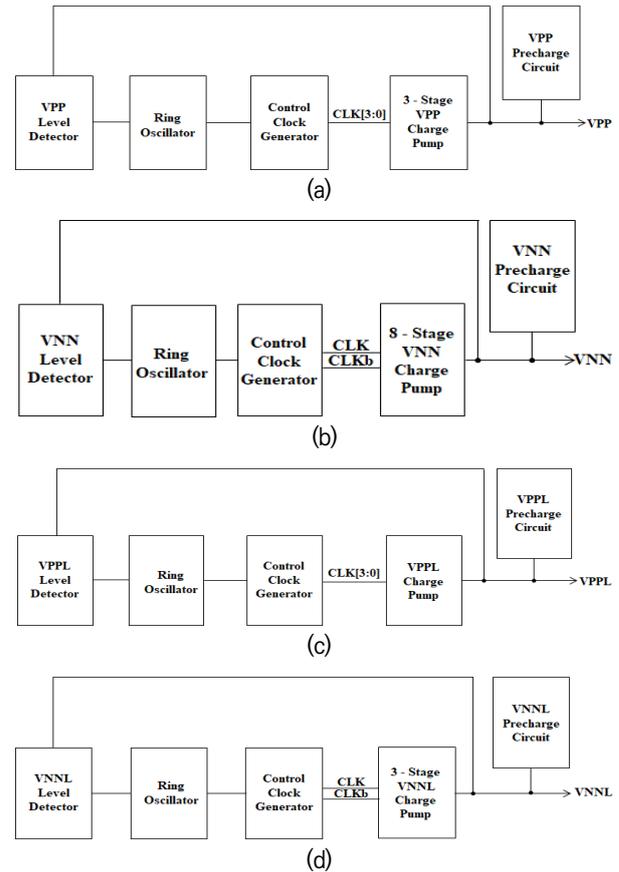


Fig. 10. Conventional DC-DC converter circuit:
(a) VPP, (b) VNN, (c) VPPL, and (d) VNNL [16].
그림 10. 기존의 DC-DC 변환기 회로 (a) VPP (b) VNN (c) VPPL (d) VNNL [16]

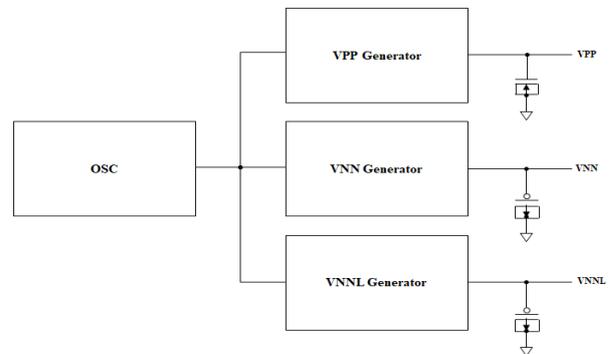


Fig. 11. Charge-pumping circuit that shared one ring oscillator proposed in this paper.
그림 11. 본 논문에서 제안된 하나의 ring oscillator를 공유한 전하 펌핑 회로

DB HiTek 180nm BCD 공정을 이용하여 설계된 4Kb MTP IP의 레이아웃 사이즈는 $576.343\mu\text{m} \times 856.417\mu\text{m}$ ($=0.494\text{mm}^2$)이다. 그림 12는 설계된 4Kb MTP IP의 레이아웃 이미지를 보여주고 있다. 한편 DC-DC 변환기 회로의 면적을 줄이기 위해 전하 펌핑 방식을 사용하는 VPP, VNN과 VNNL 전하 펌프 회로에서 각각의 전하 펌프마다 ring oscillator 회로를 별도로 두고 있는 경우 레이아웃 사이즈는 $1,447.9\mu\text{m} \times 26.015\mu\text{m}$ ($=0.038\text{mm}^2$)인 반면, 본 논문에서 제안한 ring oscillator 회로를 하나만 둔 회로의 경우 레이아웃 사이즈는 $1,271.647\mu\text{m} \times 26.015\mu\text{m}$ ($=0.031\text{mm}^2$)로 레이아웃 면적을 18.42% 줄였다. 그리고 VPPL은 전하펌프를 사용하는 경우 레이아웃 사이즈는 $165.571\mu\text{m} \times 26.015\mu\text{m}$ 인 반면, voltage regulator 회로를 사용하는 경우 레이아웃 사이즈는 $78.627\mu\text{m} \times 26.015\mu\text{m}$ 로 레이아웃 면적을 52.5% 정도 줄였다.

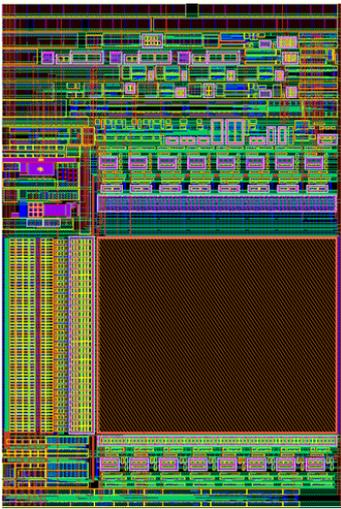


Fig. 12. Layout image of the designed 4Kb MTP memory IP.

그림 12. 설계된 4Kb MTP IP의 레이아웃 이미지

2. 모의실험 결과

그림 13은 Typical 모의실험 조건(VDD=5V, TT model parameter, Temp.=25°C)에서 all erase 모드에 대한 post-layout 모의실험 결과를 보여주고 있으며, CG[63:0]와 TG[63:0]가 각각 VNN, VPP 전압이 인가되는 것을 볼 수 있다. 그리고 그림 14는 typical 모의실험 조건에서 program 모드에 대한 post-layout 모의실험 결과를 보여주고 있다. Selected CG와 selected TG는 VPP (=7.75V)와 VNN(-7.75V) 전압을 인가하는 것을 볼 수 있고, unselected CG와 unselected TG는 VNNL (= -2.5V)과 VPPL (=2.5V) 전압을 인가하므로 선택되지 않는 셀들이 disturb가 되는 것을 방지하고 있다.

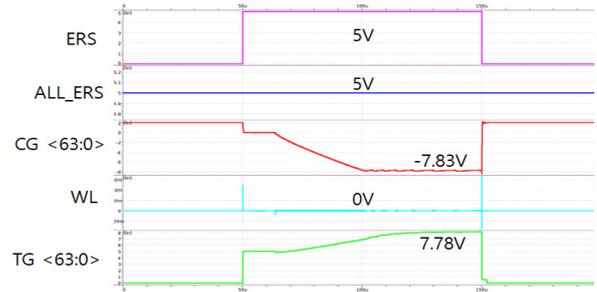


Fig. 13. Post-layout simulation results for all erase mode under typical simulation conditions (VDD=5V, TT model parameter, Temp.=25°C) [17].

그림 13. Typical 모의실험 조건 (VDD=5V, TT model parameter, Temp.=25°C)에서 all erase 모드에 대한 post-layout 모의실험 결과 [17]

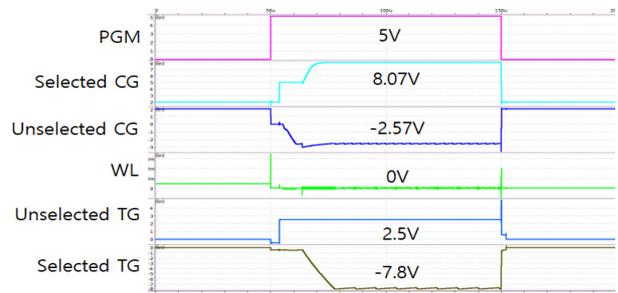
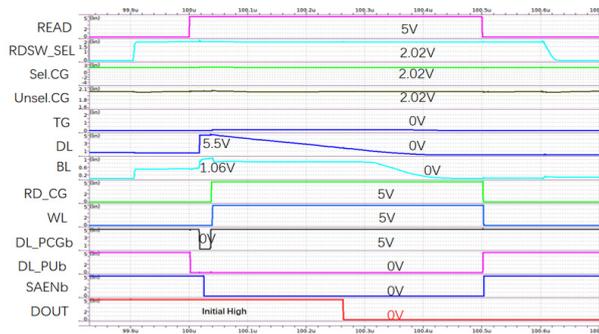


Fig. 14. Post-layout simulation results for program mode under typical simulation conditions [17].

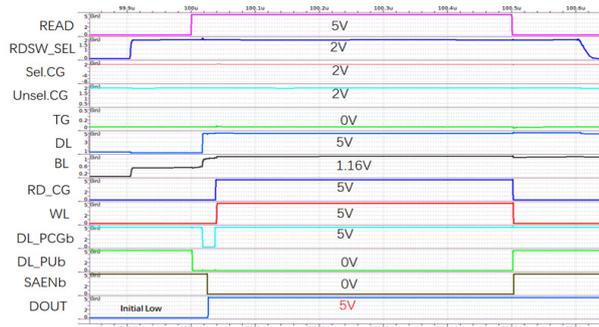
그림 14. Typical 모의실험 조건에서 program 모드에 대한 post-layout 모의실험 결과 [17]

그림 15(a)와 그림 15(b)는 erase된 MTP 셀과 program된 MTP 셀에 대한 read 모드에 대한 모의실험 결과로 WL이 활성화(Activation) 되고 그림 9에서 보여 지는 전류 센싱 방식의 DL 센싱 회로에서 DL pull-up current load (MP61)에 의해 DL이 pull-up 되면서 erase된 셀의 DOUT은 '1'의 데이터가 출력되고, program된 셀의 DOUT은 '0'의 데이터가 출력되는 것을 볼 수 있다.

그림 16은 program 모드에서 DIN이 '0'인 경우와 '1'인 경우 selected TG 스위치 회로의 노드별 전압에 대한 모의실험 결과를 보여주고 있으며, 그림 17은 program 모드에서 DIN이 '0'인 경우와 '1'인 경우 unselected TG 스위치 회로의 노드별 전압에 대한 모의실험 결과를 보여주고 있다. 그리고 그림 18은 all erase 모드에서 TG 스위치 회로의 노드별 전압에 대한 모의실험 결과를 보여주고 있다. 그림 16, 그림 17과 그림 18에서 보는 바와 같이 TG 스위치 회로의 PMOS와 NMOS 트랜지스터의 gate oxide와 drain-source 간에 걸리는 전압은 7.75V 이내가 되므로 10년 retention의 5V MOS 소자 신뢰성에는 문제가 되지 않는 것을 볼 수 있다.



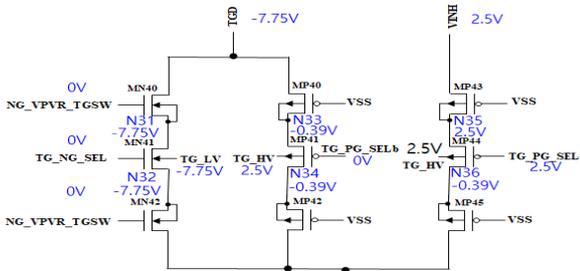
(a)



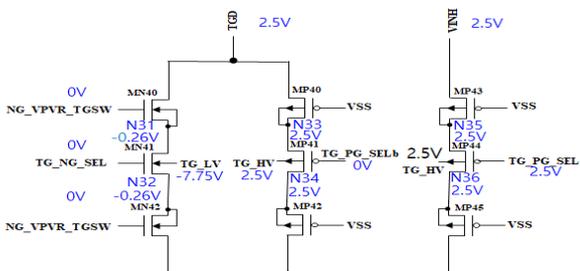
(b)

Fig. 15. Post-layout simulation results for read mode under typical simulation conditions: (a) erased cell and (b) programmed cell [17].

그림 15. Typical 모의실험 조건에서 read 모드에 대한 post-layout 모의실험 결과 (a) erase된 셀 (b) program된 셀 [17]



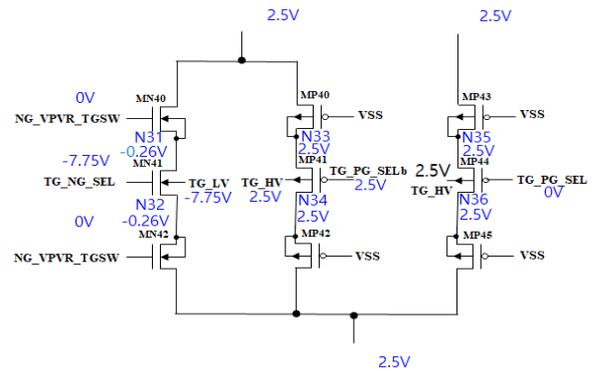
(a)



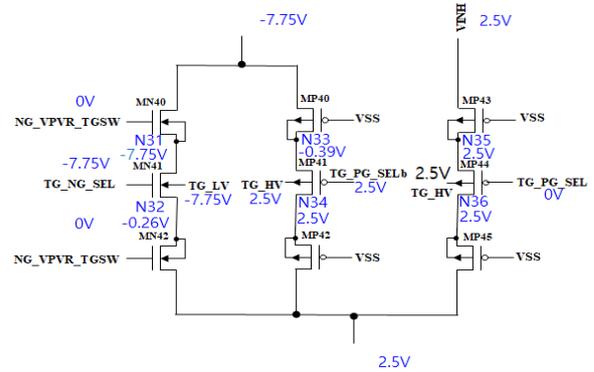
(b)

Fig. 16. Simulation results of the voltage per node of a selected TG switch circuit according to DIN in program mode: (a) DIN is '0' and (b) DIN is '1' [17].

그림 16. Program 모드에서 DIN에 따른 selected TG 스위치 회로의 노드별 전압에 대한 모의실험 결과 (a) DIN이 '0'인 경우 (b) DIN이 '1'인 경우 [17]



(a)



(b)

Fig. 17. Simulation results of the voltage per node of an unselected TG switch circuit according to DIN in program mode: (a) DIN is '0' and (b) DIN is '1' [16]

그림 17. Program 모드에서 DIN에 따른 unselected TG 스위치 회로의 노드별 전압에 대한 모의실험 결과 (a) DIN이 '0'인 경우 (b) DIN이 '1'인 경우 [17]

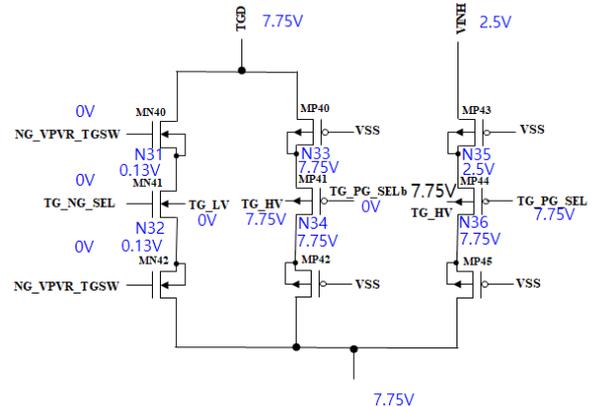


Fig. 18. Simulation results of the voltage per node of TG switch circuit in all erase mode [17].

그림 18. All erase 모드에서 TG 스위치 회로의 노드별 전압에 대한 모의실험 결과 [17]

한편 erase된 셀의 ON current 모의실험 결과는 표 6에서 보는 바와 같다. 기존의 clocked inverter를 사용하는 DL 센싱 회로는 표 6(a)에서 보는 바와 같이

50nA로 한 BL 연결된 program된 셀의 OFF leakage current의 합에 가까이 있으므로 설계 마진이 부족할 수 있다. 반면 본 논문에서 제안된 전류 센싱 방식의 DL 센싱회로는 erase된 셀의 ON current를 표 6(b)에서 보는 바와 같이 $1.2\mu\text{A} \sim 3.2\mu\text{A}$ 범위로 안정되게 센싱하는 것을 볼 수 있다.

Table 6. Results of simulation of on current by sensing circuits [17].

표 6. 센싱 회로별 ON current 모의실험 결과 [17]

(a)

VDD	Temp	Model Parameter				
		SS	SF	TT	FS	FF
2.5V	-40°C	0.1 μA				
	25°C	0.05 μA	0.05 μA	0.05 μA	0.1 μA	0.1 μA
	125°C	0.05 μA				
5V	-40°C	1.5 μA	1.4 μA	1.6 μA	1.8 μA	1.8 μA
	25°C	0.9 μA	0.9 μA	1 μA	1.1 μA	1.2 μA
	125°C	0.6 μA	0.6 μA	0.6 μA	0.7 μA	0.9 μA
5.5V	-40°C	2.2 μA	2.2 μA	2.4 μA	2.7 μA	2.6 μA
	25°C	1.4 μA	1.4 μA	1.4 μA	1.7 μA	1.7 μA
	125°C	0.8 μA	0.9 μA	1 μA	1.1 μA	1.2 μA

(b)

VDD	Temp	Model Parameter				
		SS	SF	TT	FS	FF
2.5V	-40°C	1.9 μA	1.4 μA	2 μA	2.9 μA	2.2 μA
	25°C	1.8 μA	1.5 μA	2 μA	2.6 μA	2.2 μA
	125°C	1.5 μA	1.5 μA	1.8 μA	2.2 μA	2.3 μA
5V	-40°C	1.7 μA	1.2 μA	1.9 μA	2.9 μA	2.2 μA
	25°C	1.8 μA	1.3 μA	2 μA	2.8 μA	2.2 μA
	125°C	1.8 μA	1.5 μA	2 μA	2.7 μA	2.3 μA
5.5V	-40°C	1.9 μA	1.4 μA	2.1 μA	3.2 μA	2.5 μA
	25°C	1.9 μA	1.5 μA	2.2 μA	3.0 μA	2.5 μA
	125°C	2 μA	1.7 μA	2.2 μA	3.0 μA	2.6 μA

III. 결론

차량용 반도체에서 PMIC 칩은 추가 마스크가 필요 없는 BCD 공정 기반의 MTP IP를 이용하여 아날로그 회로를 트리밍한다. 한편 BCD 공정 기반의 MTP IP는 원가를 줄이기 위해 저면적 MTP 셀을 포함한 저면적의 IP

설계가 요구되어 진다. 또한 BCD 공정 기반으로 설계된 MTP IP는 1K cycle의 endurance 특성을 만족시켜야 한다.

그래서 180nm BCD 공정 기반으로 설계된 본 논문에서는 2개의 NMOS 트랜지스터 1개의 MOS 커패시터를 갖는 MTP 셀에서 NCAP 대신 PCAP을 사용한 MTP 셀을 사용하여 MTP 셀 사이즈를 $38.93\mu\text{m}^2$ 에서 $31.75\mu\text{m}^2$ 로 18.4% 줄어든 것을 볼 수 있다.

한편 저면적 MTP IP 회로 설계 관점에서 MTP IP 설계의 CG 구동회로와 TG 구동회로에 2-stage voltage shifter 회로를 적용하였다. 그리고 DC-DC 변환기 회로의 면적을 줄이기 위해 전하 펌프 방식을 사용하는 VPP, VNN과 VNNL 전하 펌프 회로에서 각각의 전하 펌프마다 별도로 두고 있는 ring oscillator 회로를 하나만 둔 회로를 제안하였으며, VPPL은 전하펌프 대신 voltage regulator 회로를 사용하는 방식을 제안하였다. 한편 DB HiTek 180nm BCD 공정을 이용하여 설계된 4Kb MTP IP의 레이아웃 사이즈는 $576.343\mu\text{m} \times 856.417\mu\text{m}$ ($=0.494\text{mm}^2$)이다.

그리고 설계된 4Kb MTP IP의 1K cycle의 endurance 특성을 만족시키기 위해 새롭게 제안된 TG 스위치 회로는 gate oxide와 drain-source 전압이 7.75V 이내의 전압이 걸리도록 설계를 하였다.

또한 2.5V ~ 5.5V의 wide voltage range로 동작을 필요로 하는 MTP IP의 DL 센싱회로와 관련 제안된 DL 전류 센싱회로는 erase된 셀의 ON 전류를 $1.2\mu\text{A} \sim 3.2\mu\text{A}$ 범위로 안정되게 센싱하도록 하였다.

References

- [1] KSIA, "Current Status of China's Automotive Semiconductor Industry," 2022.
- [2] J. H. Lee et al., "Automotive semiconductors, Need to create opportunities with choice and focus," vol.53, 2021.
- [3] H. S. Chun et al., "Supply Chain Ecosystem of Automotive Chip," *ETRI Electronics and Telecommunications Trends*, pp.1-11, 2021. DOI: 10.22648/ETRI.2021.J.360301
- [4] Y. K. Ha et al., "Deign of Zero-Layer FTP Memory IP," *JKIIECT*, pp.742-749, 2018. DOI: 10.17661/jkiiect.2018.11.6.742

[5] Hwang-Soo Chun "Market Outlook and Domestic and Global Development Trend for Power Semiconductor," *IITA Weekly Technology Trends*, June 2009.

[6] Claudio Contiero et al., "Characteristics and Applications of a 0.6 μ m Bipolar-CMOS-DMOS Technology combining VLSI Non-Volatile Memories," *Technical Digest of IEDM*, pp.465-468, 1996.
DOI: 10.1109/IEDM.1996.553627

[7] Yu Yi-ning et al., "Design of 256 bit Single-Poly MTP Memory Based on BCD Process," *Journal of Central South University*, pp.3460-3467, 2012. DOI: 10.1007/s11771-012-1430-6

[8] Y. K. Kim et al., "Design of Multi-time Programmable Memory for PMICs," *ETRI Journal*, vol.37, no.6, pp.1188-1198, 2015.
DOI: 10.4218/etrij.15.0114.1428

[9] Heon Park, Design of EEPROM IP for Power Management IC, PhD Thesis, Changwon National University, 2017.

[10] Y. Roizin et al., *2009 IEEE International Memory Workshop 2009*, pp.1-2, 2009.

[11] F. Torricelli et al., "Half-MOS Based Single-Poly EEPROM Cell with Program and Erase Bit Granularity," *IEEE Electron Device Letters*, vol.34, no.12, pp.1509-1511, 2013.
DOI: 10.1109/LED.2013.2285258

[12] L. Milani et al., "Single-Poly-EEPROM Cell in Standard CMOS Process for Medium-Density Applications," *IEEE Transactions on Electron Devices*, vol.62, no.10, pp.3237-3243, 2015.
DOI: 10.1109/TED.2015.2461660

[13] Y. H. Kim, Single Poly EEPROM Memory, Korean Patent 10-1357847, Feb. 5, 2014.

[14] <https://www.everythingrf.com/community/what-is-aec-q100-qualification>.

[15] Y. H. Kim et al., "Design of a Large-density MTP IP," *Journal of IKEEE*, pp.161-169, 2020.
DOI: 10.7471/ikeee.2020.24.1.161

[16] D. H. Kim, Design of Single Poly MTP IP Based on 90nm BCD Process, MS Thesis, Changwon National University, 2024.

[17] S. W. Kwon, Design of Single Poly MTP IP

based on 180nm BCD process for Automotive Application, MS Thesis, Changwon National University, 2024.

BIOGRAPHY

Soon-Woo Kwon (Member)



2022.2 : BS degree in Electrical Engineering, Gangneung-Wonju National University.

2022.3 : MS degree in Electronic Engineering, Changwon National University.

Long-Hua Li (Member)



2020.6 : BS degree in Information and Telecommunication Engineering, Yanbian University.

2022.6 : MS degree in Information and Telecommunication Engineering, Yanbian University.

2022.9~ : PhD degree in Electronic Engineering, Changwon National University.

Do-Hoon Kim (Member)



2022.2 : BS degree in Electrical Engineering, Kyungnam University.

2022.3 : MS degree in Electronic Engineering, Changwon National University.

2024.1~ : Research Engineer, SK keyfoundry.

Pan-Bong Ha (Member)



1981.2 : BS degree in Electrical Engineering, Pusan National University.

1983.2 : MS degree in Electronic Engineering, Seoul National University.

1993.2 : PhD degree in Electronic Engineering, Seoul National University.

1987.3~ : Professor, Changwon National University

Young-Hee Kim (Member)



1989.2 : BS degree in Electronic Engineering, Kyungpook National University.

1997.2 : MS degree in Electronic Engineering, POSTECH.

2000.8 : PhD degree in Electronic Engineering, POSTECH.

1989.1~2001.2 : Senior Research Engineer, Hyundai Electronics.

2001.3~ : Professor, Changwon National University