


고압 중수소 어닐링을 통한 SiO₂ 절연체의 균일성 개선

김용식¹, 정대한², 박호준², 연주원², 길태현², 박준영² 

¹ 대림대학교 반도체학과

² 충북대학교 전자공학부

Enhancement of SiO₂ Uniformity by High-Pressure Deuterium Annealing

Yong-Sik Kim¹, Dae-Han Jung², Hyo-Jun Park², Ju-Won Yeon², Tae-Hyun Kil², and Jun-Young Park²

¹ Department of Semiconductor Engineering, Daelim University College, Anyang 13916, Korea

² School of Electronics Engineering, Chungbuk National University, Cheongju 28644, Korea

(Received November 3, 2023; Revised November 20, 2023; Accepted November 20, 2023)

Abstract : As complementary metal-oxide semiconductor (CMOS) is scaled down to achieve higher chip density, thin-film layers have been deposited iteratively. The poor film uniformity resulting from deposition or chemical mechanical planarization (CMP) significantly affects chip yield. Therefore, the development of novel fabrication processes to enhance film uniformity is required. In this context, high-pressure deuterium annealing (HPDA) is proposed to reduce the surface roughness resulting from the CMP. The HPDA is carried out in a diluted deuterium atmosphere to achieve cost-effectiveness while maintaining high pressure. To confirm the effectiveness of HPDA, time-of-flight secondary-ion mass spectrometry (ToF-SIMS) and atomic force microscopy (AFM) are employed. It is confirmed that the absorbed deuterium gas facilitates the diffusion of silicon atoms, thereby reducing surface roughness.

Keywords: Chemical mechanical planarization (CMP), Deuterium annealing, Dielectric, Surface roughness, Uniformity

1. 서론

반도체 칩의 집적도와 동작 속도의 향상을 위하여, 실리 콘 반도체 소자의 크기는 지속적으로 작아지고 있다 [1]. 하지만 소자의 소형화가 이루어지는 과정에서 불가피하게 발생하는 단채널 효과(short-channel-effects)를 개선하기 위하여 [2], 소자의 구조는 기존에 사용되어온 2차원 기반의 구조에서 FinFET과 gate-all-around (GAA) FET 라는 3차원 구조로 개선되어 왔다 [3,4]. 특히, 가장 최신

구조인 GAA FET 구조는 현재 메모리 반도체 분야에서는 3D V-NAND, 시스템 반도체 분야에서는 multi-bridge-channel FET (MBCFET)라는 이름으로 양산되고 있다 [5-7]. 이러한 최신 구조의 GAA FET를 제작하기 위해서는 획기적인 반도체 공정기술의 개발이 필수적이며, 증착 공정에서는 atomic layer deposition (ALD), 포토공정에서는 extreme ultraviolet (EUV), 그리고 이외에도 spacer lithography 등이 대표적인 예시라 할 수 있다 [8-10].

앞서 언급한 3D V-NAND와 같은 적층형 비휘발성 메모리의 경우, 한 층당 20 nm 이내의 얇은 SiO₂ 및 Si₃N₄ 박막을 chemical vapor deposition (CVD) 공정을 활용하여, 각각 256층 이상으로 반복적으로 증착한다 [11]. 최신 시스템 반도체 소자인 MBCFET의 경우에는 한 층당 10 nm 이내의 얇은 Si 및 SiGe 박막을 epitaxial growth 공

✉ Jun-Young Park; junyoung@cbnu.ac.kr

Copyright ©2024 KIEEME. All rights reserved.
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

정을 활용하여, 각각 3층 이상으로 증착한다 [12].

하지만 이와 같이 얇은 박막을 반복적으로 증착 또는 epitaxial growth 하는 과정에서, 각각의 박막의 균일성 (uniformity)은 통제가 불가능하다. 이러한 박막의 불균일한 두께는 후속으로 이루어질 포토공정(photolithography) 및 건식식각(dry etching)에서, 불가피한 misalign, depth of focus (DOF) 및 contrast 저하를 유발하여 칩의 수율을 저하시킨다. 이에, 칩의 수율 극대화를 위하여 가장 요구되는 요건 중 하나가, 박막의 두께를 균일하게 만드는 공정기술을 개발하는 것이다 [13].

이에 이 연구에서는 SiO₂ 박막의 균일성을 개선하기 위한 중수소 어닐링을 최초로 제안한다. 중수소 어닐링 공정은 전통적으로, MOSFET 소자의 게이트 절연막(gate dielectric) 내에 있는 interface trap 및 bulk trap을 개선하여 소자의 신뢰성을 향상시키는 데 효과적이라고 알려져 있는 공정이다 [14-17]. 하지만 이 연구에서는 발상을 새로이 전환하여, 중수소 어닐링을 박막의 균일성 개선을 위하여 활용한다. 8인치 웨이퍼에 CVD 공정으로 SiO₂ 박막을 증착하였으며, 절연막 증착 이후, 웨이퍼의 표면이 chemical mechanical planarization (CMP) 공정을 통하여 평탄화된다. 평탄화 이후, 거칠어진 실리콘 웨이퍼의 표면 거칠기(surface roughness) 및 균일도의 저하를 atomic force microscope (AFM)으로 정량적으로 측정하여 비교분석 한다. 제안하는 중수소 어닐링은 기존

standard CMOS 공정에 완벽히 호환 가능한 공정인 동시에, 4%라는 낮은 중수소 농도를 활용하기에, 경제적인 측면에서도 이점을 지니고 있는 것이 특징이다.

2. 실험 방법

실험 진행에 앞서, 8인치 p-type 웨이퍼를 대상으로 SiO₂ 절연막을 증착하였다. Plasma-enhanced chemical vapor deposition (PECVD) 공정을 활용하여, 400°C, 8.2 Torr 조건에서 tetraethyl orthosilicate (TEOS) 전구체를 이용하여 SiO₂ 520 nm를 증착하였다. 증착 직후, atomic force microscope (AFM)을 활용하여, 초기 박막의 두께를 측정하였고, 이후, 웨이퍼를 대상으로 CMP 공정을 진행하였다 (그림 1).

CMP 공정은 표준 SiO₂ 슬러리를 150 ml/min의 flow rate를 통해 연마하였다. 이때에 표준 SiO₂ 슬러리는 KOH base chemical에 SiO₂ 연마제가 12% 함유되었으며, pH 11~12 범위의 슬러리를 사용하였다. 180 hPa의 pressurized chamber pressure (PCP), 84 rpm의 turn table rotation speed (TTR)와 85 rpm의 top ring rotation speed (TRR)의 조건에서 연마하였다. 이때, 웨이퍼의 edge zone을 제어하기 위해 400 hPa의 retainer ring 압력을 적용하다. Post CMP 클리닝은 NH₄OH을 통

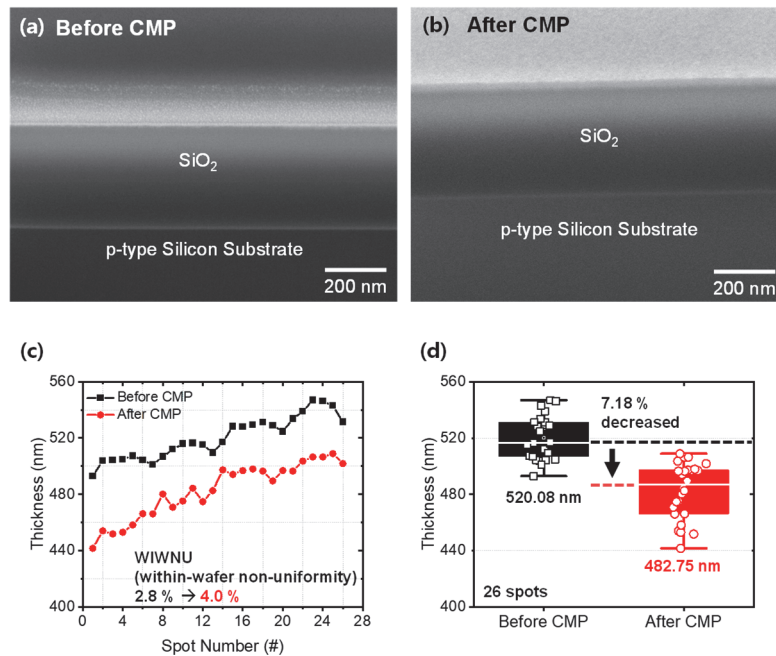


Fig. 1. The cross-sectional view of the SiO₂ thin film: (a) before, (b) after CMP, (c) measured film thickness at each spot using an ellipsometer, and (d) summarized film thicknesses.

해 상하 브러시 회전 속도를 각각 70 rpm과 50 rpm 조건으로 40초 동안 PVA 브러시로 수행하였다. 이후, 2,500 rpm의 rotation 속도로 20초 동안(표준 pencil nozzle 사용) spin rinse dry를 수행하여 웨이퍼를 건조하였다. CMP 시행 이전과 이후, ellipsometer를 활용하여, 웨이퍼 내의 동일한 26개의 지점(spot)에서, SiO₂ 절연막의 두께를 측정하였다 [그림 1(c)]. 웨이퍼 표면의 불균일도를 나타내는 within-wafer non-uniformity (WIWNU) 값이 CMP 시행 전에는 2.8%인 반면, CMP 시행 후에는 4.0%로 증가하는 것을 확인하였다 [18]. 26개의 지점에서 측정된 SiO₂ 절연막의 두께는 그림 1(d)와 같다. CMP 시행 이전 측정된 SiO₂ 절연막의 평균 두께는 520.0 nm이며, CMP 이후 동일한 지점에서 재측정한 박막의 두께는 평균 482.7 nm로 target 40 nm에 약간 못 미치는 37.3 nm (7.1%)의 연마 결과를 확인하였다 [그림 1(d)].

이후, CMP가 완료된 웨이퍼를 대상으로, 그림 2와 같은

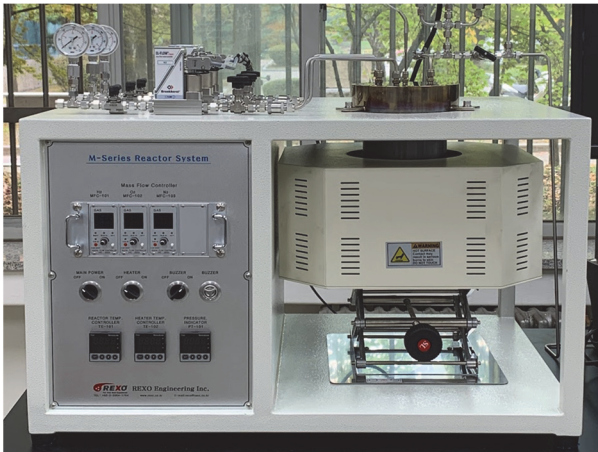


Fig. 2. Photograph of the chamber used for the high-pressure deuterium annealing (HPDA).

자재 제작 설비를 활용하여 고압 중수소 어닐링(high-pressure deuterium annealing, HPDA)을 시행하였으며, 중수소 농도는 4%이며, 400°C, 10 bar에서 총 1시간 동안 어닐링하였다 [19,20].

고압 중수소 어닐링 이후, AFM을 활용하여 웨이퍼의 표면 거칠기를 재측정하였으며, 이러한 과정들을 통해 CMP 이전, CMP 이후, 그리고 중수소 어닐링 이후 총 세 개 그룹의 샘플을 확보하여 측정 결과를 비교하였다. 그림 3은 실험의 전반적인 과정을 보여주고 있는 모식도이다.

3. 결과 및 고찰

고압 중수소 어닐링 이후, 웨이퍼에 중수소의 존재 여부를 검증하기 위하여, 그림 4와 같이 time-of-flight secondary-ion mass spectrometry (ToF-SIMS) 계측을 진행하였다. 고압 중수소 어닐링을 시행한 웨이퍼의 경우, 약 480 nm의 깊이까지 중수소가 흡수되는 것을 확인할 수 있다 [그림 4(b)]. 뿐만 아니라, 실리콘과 SiO₂ 절연막의 경계점에서 중수소의 농도가 높은 것을 확인할 수 있다.

그림 5는 CMP 이전, CMP 이후, 그리고 중수소 어닐링 이후 총 세 개 그룹에서 AFM을 활용하여 측정된, 웨이퍼 표면의 거칠기를 보여주고 있는 측정 결과이다. 웨이퍼의 표면을 a-á 선을 따라 거칠기를 확인했을 때, CMP를 진행하지 않은 웨이퍼에서는 root mean square (RMS) 값이 0.806 nm로, 0 nm에 수렴하는 반면, CMP를 진행한 웨이퍼에서는 RMS가 3.69 nm까지 증가하였다. 하지만 고압 중수소 어닐링 이후, 웨이퍼 표면의 거칠기가 2.40 nm로 35% 개선되는 것을 확인할 수 있다. 이는 고압 중수소 어닐링을 통해, surface energy의 최소화를 위하여, 원자의 이동이 발생하고, 이로 인하여 균일한 표면이 형성됨을 알

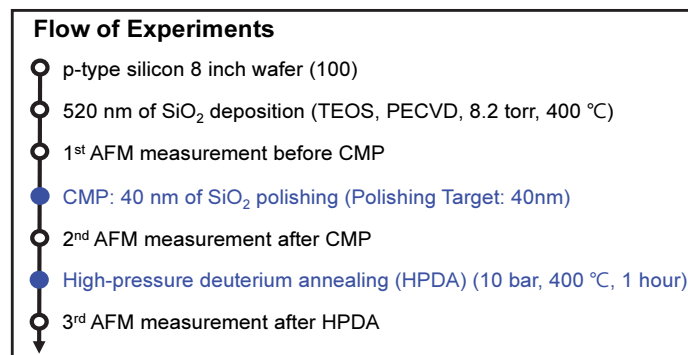


Fig. 3. Summary of the experimental procedure.

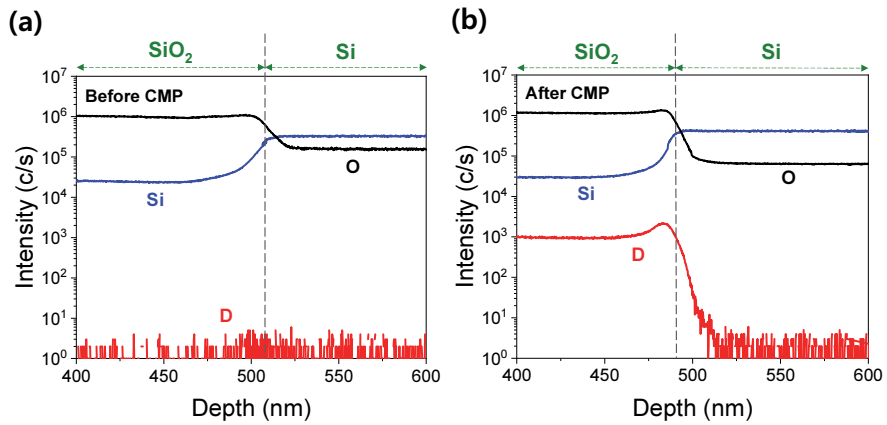


Fig. 4. Extracted ion intensity of the polished SiO₂ film using time-of-flight secondary-ion mass spectrometry (ToF-SIMS): (a) before CMP without HPDA and (b) after CMP with HPDA.

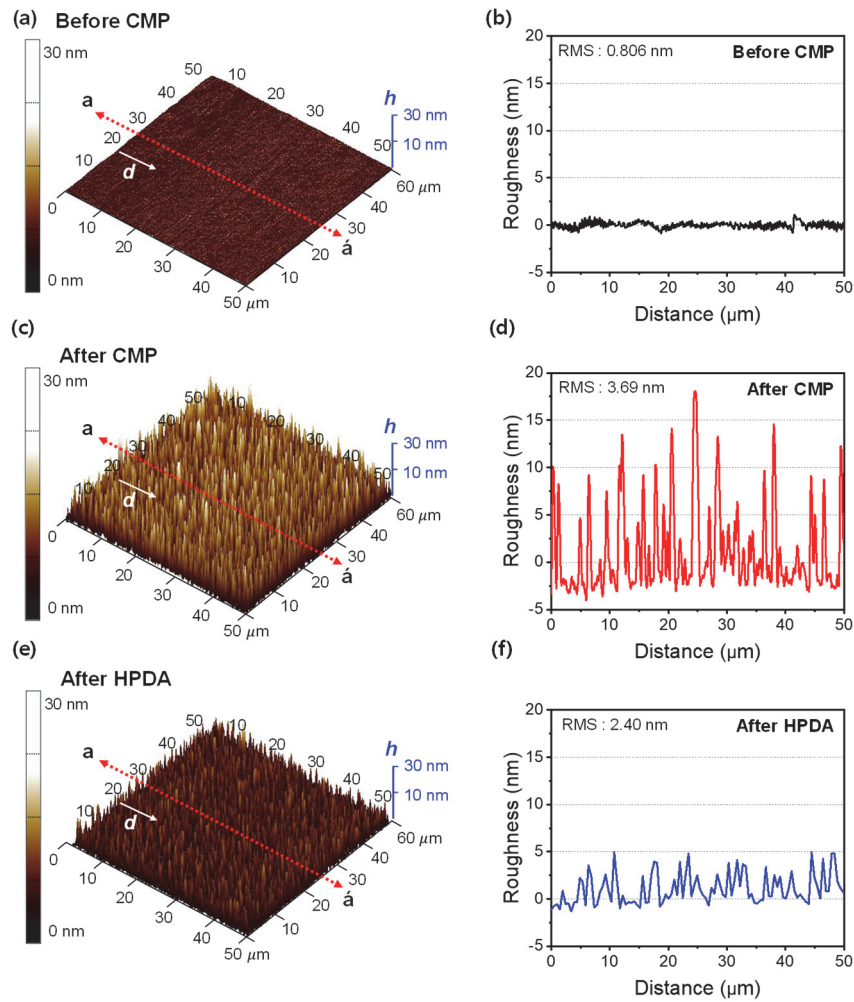


Fig. 5. Measured the surface roughness in a 3D profile using AFM: (a), (b) before and (c), (d) after CMP, and (e), (f) after HPDA to reduce the surface roughness.

수 있다 [21,22]. CMP의 기계적인 마찰 및 식각에 의하여, 웨이퍼의 표면이 불가피하게 거칠어지고 이에, 웨이퍼 표면에 scratch 및 defect 등이 형성되어 수율에 영향을 끼치게 되는데, 고압 중수소 어닐링을 통하여 개선 가능성을 확인할 수 있다.

4. 결론

박막의 균일성은, 고집적화된 칩의 수율을 결정하는 매우 중요한 요소이다. 기존에는 ALD와 같은 증착공정에 기반하여 이러한 균일성을 확보해 왔으나, 수차례에서 수백 차례 반복적인 증착이 이루어지는 3D V-NAND 또는 MBCFET와 같은 첨단 소자구조를 제작하기에는, 기존의 증착 기술만으로는 뚜렷한 한계가 존재한다. 이에, 본 연구에서는 고압 중수소 어닐링을 활용하여, 박막의 균일성을 개선하고자 하였다. 10 bar라는 높은 압력의 도움으로, 중수소 가스를 웨이퍼 내부에 효과적으로 주입할 수 있었고, 이러한 특성을 ToF-SIMS 분석을 통하여 검증하였다. 모든 실험은 8인치 웨이퍼를 대상으로 진행되었으며, AFM 현미경을 통하여 측정된 박막의 두께가 정량적으로 비교되었다. 그리고 웨이퍼에 주입된 중수소는 SiO₂ 박막의 균일성을 3.69 nm에서 2.40 nm로 35% 개선 가능하게 하였다. 기존에는, 단결정 실리콘의 표면 거칠기 개선이 100% 농도의 수소가스 및 900°C 이상의 높은 온도 범위에서 뚜렷하게 나타난다고 알려져 있다. 하지만 본 연구에서는 비정질 상태를 지니고 있는 SiO₂ 절연막을 대상으로 실험을 진행하였으며, 이에, 4%의 낮은 중수소 농도 및 400°C의 저온 환경에서도 박막의 균일성을 개선 가능하게 한 것으로 여겨진다.

ORCID

Jun-Young Park

<https://orcid.org/0000-0003-4830-9739>

감사의 글

This research was supported by “Regional Innovation Strategy (RIS)” through the National Research Foundation of Korea (NRF) funded by the Ministry of Education (MOE) (2021RIS-001).

REFERENCES

- [1] C. Hu, *Proc. IEEE*, **81**, 682 (1993).
doi: <https://doi.org/10.1109/5.220900>
- [2] Q. Xie, J. Xu, and Y. Taur, *IEEE Trans. Electron Devices*, **59**, 1569 (2012).
doi: <https://doi.org/10.1109/TED.2012.2191556>
- [3] A. B. Sachid, M. C. Chen, and C. Hu, *IEEE Trans. Electron Devices*, **64**, 1861 (2017).
doi: <https://doi.org/10.1109/TED.2017.2664798>
- [4] N. Singh, A. Agarwal, L. K. Bera, T. Y. Liow, R. Yang, S. C. Rustagi, C. H. Tung, R. Kumar, G. Q. Lo, N. Balasubramanian, and D. L. Kwong, *IEEE Electron Device Lett.*, **27**, 383 (2006).
doi: <https://doi.org/10.1109/LED.2006.873381>
- [5] D. H. Wang and J. Y. Park, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **35**, 50 (2022).
doi: <https://doi.org/10.4313/JKEM.2022.35.1.8>
- [6] K. S. Lee, W. C. Shin, J. W. Yeon, and J. Y. Park, *Microelectron. Reliab.*, **145**, 114995 (2023).
doi: <https://doi.org/10.1016/j.microrel.2023.114995>
- [7] K. S. Lee, B. D. Yang, and J. Y. Park, *IEEE Trans. Electron Devices*, **70**, 2042 (2023).
doi: <https://doi.org/10.1109/TED.2023.3249650>
- [8] Y. K. Choi, T. J. King, and C. Hu, *IEEE Trans. Electron Device*, **49**, 436 (2002).
doi: <https://doi.org/10.1109/16.987114>
- [9] O. Wood, C. S. Koay, K. Petrillo, H. Mizuno, S. Raghunathan, J. Arnold, D. Horak, M. Burkhardt, G. McIntyre, Y. Deng, B. La Fontaine, U. Okoroanyanwu, T. Wallow, G. Landie, T. Standaert, S. Burns, C. Waskiewicz, H. Kawasaki, J.H.C. Chen, M. Colburn, B. Haran, S.S.C. Fan, Y. Yin, C. Holfeld, J. Techel, J. H. Peters, S. Bouten, B. Lee, B. Pierson, B. Kessels, R. Routh, and K. Cummings, *Proc. SPIE Advanced Lithography* (San Jose, United States, 2010) p. 7636.
doi: <https://doi.org/10.1117/12.847049>
- [10] T. Hiramoto, *Nat. Electron.*, **2**, 557 (2019).
doi: <https://doi.org/10.1038/s41928-019-0343-x>
- [11] D. H. Jung, K. S. Lee, and J. Y. Park, *J. Semicond. Technol. Sci.*, **21**, 334 (2021).
doi: <https://doi.org/10.5573/JSTS.2021.21.5.334>
- [12] N. Loubet, T. Hook, P. Montanini, C. W. Yeung, S. Kanakasabapathy, M. Guillom, T. Yamashita, J. Zhang, X. Miao, J. Wang, A. Young, R. Chao, M. Kang, Z. Liu, S. Fan, B. Hamieh, S. Sieg, Y. Mignot, W. Xu, S. C. Seo, J. Yoo, S. Mochizuki, M. Sankarapandian, O. Kwon, A. Carr, A. Greene, Y. Park, J. Frougier, R. Galatage, R. Bao, J. Shearer, R. Conti, H. Song, D. Lee, D. Kong, Y. Xu, A. Arceo, Z. Bi, P. Xu, R. Muthinti, J. Li, R. Wong, D. Brown, P. Oldiges, R. Robison, J. Arnold, N. Felix, S. Skordas, J. Gaudiello, T. Standaert, H. Jagannathan, D. Corliss, M. H. Na, A. Knorr, T. Wu, D. Gupta, S. Lian, R. Divakaruni, T. Gow, C. Labelle, S. Lee, V. Paruchuri,

- H. Bu, and M. Khare, *Proc. 2017 Symposium on VLSI Technology* (IEEE, Kyoto, Japan, 2017), p. T230.
doi: <https://doi.org/10.23919/VLSIT.2017.7998183>
- [13] M. Domke, G. Piredda, J. Zehetner, and S. Stroj, *J. Laser Micro/Nanoeng.*, **11**, 100 (2016).
doi: <https://doi.org/10.2961/jlmn.2016.01.0019>
- [14] D. H. Jung, W. C. Shin, M. K. Kim, J. Y. Ku, D. H. Wang, K. S. Lee, and J. Y. Park, *IEEE Trans. Device Mater. Reliab.*, **22**, 457 (2022).
doi: <https://doi.org/10.1109/TDMR.2022.3194504>
- [15] J. Y. Ku, K. S. Lee, D. H. Jung, D. H. Wang, S. Oh, K. Lee, B. Cho, H. Bae, and J. Y. Park, *IEEE Trans. Device Mater. Reliab.*, **23**, 276 (2023).
doi: <https://doi.org/10.1109/TDMR.2023.3270920>
- [16] D. H. Wang, S. S. Yoon, J. Y. Ku, D. H. Jung, K. S. Lee, D. Kim, and J. Y. Park, *IEEE Trans. Device Mater. Reliab.*, **23**, 297 (2023).
doi: <https://doi.org/10.1109/TDMR.2023.3275947>
- [17] J. Y. Ku, J. M. Yu, D. H. Wang, D. H. Jung, J. K. Han, Y. K. Choi, and J. Y. Park, *IEEE Trans. Electron Devices*, **70**, 3958 (2023).
doi: <https://doi.org/10.1109/TED.2023.3278626>
- [18] T. Smith, D. Boning, S. Fang, G. Shinn, and J. Stefani, *Proc. 1999 4th International Workshop on Statistical Metrology (Cat. No. 99TH8391)* (IEEE, Kyoto, Japan, 1999) p. 46.
doi: <https://doi.org/10.1109/IWSTM.1999.773193>
- [19] J. M. Yu, J. Y. Park, T. J. Yoo, J. K. Han, D. H. Yun, G. B. Lee, J. Hur, B. H. Lee, S. Y. Kim, B. H. Lee, and Y. G. Choi, *IEEE Trans. Electron Devices*, **67**, 3903 (2020).
doi: <https://doi.org/10.1109/TED.2020.3008882>
- [20] K. Hess, I. C. Kizilyalli, and J. W. Lyding, *IEEE Trans. Electron Devices*, **45**, 406 (1998).
doi: <https://doi.org/10.1109/16.658674>
- [21] M.C.M. Lee and M. C. Wu, *J. Microelectromech. Syst.*, **15**, 338 (2006).
doi: <https://doi.org/10.1109/JMEMS.2005.859092>
- [22] N. Sato and T. Yonehara, *Appl. Phys. Lett.*, **65**, 1924 (1994).
doi: <https://doi.org/10.1063/1.112818>