The Journal of The Institute of Internet, Broadcasting and Communication (IIBC)
Vol. 24, No. 1, pp.97-101, Feb. 29, 2024. pISSN 2289-0238, eISSN 2289-0246

https://doi.org/10.7236/JIIBC.2024.24.1.97
JIIBC 2024-1-15

RFSoC의 양성자 시험 로직 개발 및 SEU 측정 평가

Development of proton test logic of RFSoC and Evaluation of SEU measurement

윤승찬*, 이주영*, 김현철*, 유경덕*

Seung-Chan Yun*, Juyoung Lee*, Hyunchul Kim*, Kyungdeok Yu*

요 약 본 논문에서는 Xilinx 사의 RFSoC FPGA에 대해 양성자 빔 조사 시험 로직 구현과 시험 결과를 제시한다. RFSoC는 FPGA 기능 외에도 CPU, ADC, DAC가 집적화되어 있는 칩으로 소형경량화를 목적으로 둔 방위산업 및 우주산업에서 주목받고 있는 칩이다. 이러한 칩을 우주 환경에서 사용하려면 방사선 영향에 대한 분석이 필요하며 방사선 경감 대책이 필요하게 되었다. 양성자 조사 시험을 통해 RFSoC의 방사선 영향을 측정할 수 있는 로직을 설계하였다. Memory에 저장된 값을 정상 값과 비교하는 로직을 구현하고 RFSoC에 양성자를 조사하여 Block memory 영역에서 발생하는 SEU를 측정하였다. 다른 영역에서의 SEU 발생을 완화하기 위해 TMR, SEM을 적용하여 설계하였다. 시험 결과를 통해 본 시험 구성에 대해 검증하고 향후 위성용 로직 설계를 검증할 수 있는 환경을 구축하고자 한다.

Abstract In this paper, we present the implementation of proton beam irradiation test logic and test results for Xilinx's RFSoC FPGA. In addition to the FPGA function, RFSoC is a chip that integrates CPU, ADC, and DAC and is attracting attention in the defense and space industries aimed at reducing the size of the chip. In order to use these chips in a space environment, an analysis of radiation effects was required and radiation mitigation measures were required. Through the proton irradiation test, the logic to measure the radiation effect of RFSoC was designed. Logic for comparing values stored in memory with normal values was implemented, and protons were irradiated to RFSoC to measure SEU generated in the block memory area. To alleviate the occurrence of SEU in other areas, TMR and SEM were applied and designed. Through the test results, we intend to verify this test configuration and establish an environment in which logic design for satellites can be verified in the future.

Key Words : RFSoC(RF System on Chip), Space Radiation, Memory, proton

Ⅰ. 서 론

최근 New Space를 맞이해 소형 혹은 큐브 위성의 관심이 커졌다. 위성을 작게 만들고자 하는 노력은 위성에 탑재되는 장치들의 소형 경량화에 관한 연구를 활성화하게 되었다. 소형 경량화라는 추세에 따라 맞춤형 부품들이 출시되고 있다. Xilinx사의 RFSoC(RF System on Chip)도 기존의 논리 연산과 배선을 구현하던 FPGA 기능에 CPU, ADC, DAC 기능을 하나의 칩으로 구현하여 소형화된 대표적인 FPGA이다. 그러나 RFSoC는 우주환

*정회원, LIG넥스원(주)
접수일자 2023년 12월 19일, 수정완료 2024년 1월 19일
게재확정일자 2024년 2월 9일

Received: 19 December, 2023 / Revised: 19 January, 2024 / Accepted: 9 February, 2024
*Corresponding Author: seungchan.yun@lignex1.com
Dept. Satellite System, LIGNex1 Co. Ltd, Korea

경을 고려하여 제작된 제품이 아니므로 우주 환경에 대한 시험 결과 등의 자료가 제조사에서 제공되지 않는다. 따라서 우주 환경에서 RFSoC를 사용하기 위해서는 SEE(Single Event Effect), TID(Total Ionizing Dose) 등 우주 환경에 대한 영향성을 시험하고, 그 결과를 바탕으로 우주 환경의 영향을 보완할 수 있는 설계의 적용이 필요하다. 본 논문에서는 다양한 우주 환경의 영향 중 RFSoC의 BRAM(Block Memory)의 SEU(Single Event Upsets) 발생률을 측정하기 위해 RFSoC에 양성자 빔을 조사하여 SEU를 측정하는 시험을 진행한다. 결과를 통해 시험 구성에 대해 검증하고, 향후 위성에서 RFSoC의 적용 가능성에 관해 기술한다.

II. 시험 로직 개발

본 논문에서는 시험을 통해 RFSoC(XCZU48DR) 내부에 있는 BRAM 영역에서 발생하는 SEU 현상을 측정하고자 한다. BRAM 영역의 SEU를 정확하게 측정하기 위해서는 측정대상인 BRAM 이외의 영역 에서 발생하는 SEU에 의해 발생하는 오류를 확인하여 결과에서 배제하거나 오류를 제거해야 한다. 완화 방안으로 두 가지 방법을 적용하였다. 첫 번째로 TMR(Triple Modular Redundancy)이다. TMR은 SEU 발생으로 나타나는 결함 및 에러 등의 영향을 감소하기 위하여 사용되는 기법 중 가장 널리 알려진 기법이다.[1] 두 번째는 SEM(Soft Error Mitigation)이다. SEM은 Xilinx FPGA의 CRAM (Configuration Memory)에서 SEU를 자동으로 감지 및 수정하는 기법이다. [2] 두 가지 기법의 적용을 고려하여 그림1과 같은 구조를 설계하게 되었다.

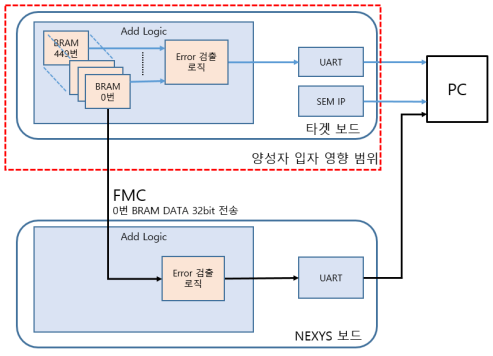

그림 1. 시험 로직 구조
Fig. 1. test logic structure

본 로직에서 측정에 사용할 BRAM은 표1과 같이 구성하였다.

표 1. 사용된 블록메모리 사양
Table 1. Block memory specification

	BRAM
Parallel Block	449
Width	32
Depth	512

BRAM 의 SEU 발생여부는 메모리에 binary 기준 1010의 반복값인 0xA5A5A5A5를 기록 후 해당 값이 변경되는지 여부를 측정하여 판단할 수 있다.

BRAM의 SEU를 관측하기 위해서 메모리의 에러를 정정해주는 ECC(Error Correction Code)는 적용하지 않았으며, 비트 에러 발생 시 오류가 발생한 결과 값을 그대로 출력하게 설정하였다.

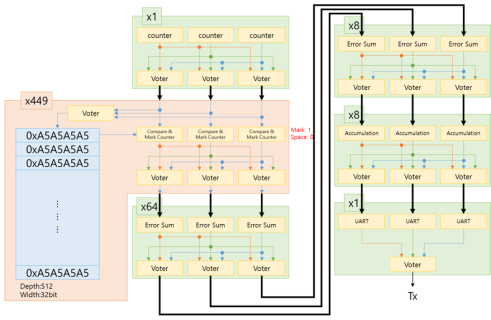

그림 2. 블록메모리 에러 검출 로직 구조
Fig. 2. block memory error detect logic structure

BRAM 출력 결과는 SEU 발생 유무를 판단하기 위해 상수 값의 TMR 출력 결과와 비교하게 된다. 비교한 결과가 다를 경우 bit error가 발생한 bit 수만큼 기록한다. 또한 시험 중 SEU의 누적영향을 방지하기 위해 하나의 Address에서 출력을 통해 비교를 진행한 후, 다시 Address에 상수 값의 TMR 결과를 write 하였다. 마찬가지로 기록된 에러 횟수를 출력하는 통신인터페이스에도 TMR을 적용하여 bit error를 검출하고 출력하는 구간에서 SEU 현상이 발생하는 것을 완화했다.

TMR은 SEU에 의한 영향을 최소화할 수 있지만 2개 이상의 오류가 동시에 발생 시에는 복구가 불가능 하다. 따라서 본 시험에서는 SEU 발생 유무에 대한 확인을 직렬통신 전송방식 및 직접 출력 값 관찰의 2가지 방법을 통해 동시에 진행하였다.

시험을 위해 구현한 총 449개의 BRAM 중 0번째 BRAM은 FMC Cable을 이용하여 양성자의 영향을 받지 않는 FPGA로 데이터를 전송하여 Error 검출 로직이 양성자 입자에 영향을 받지 않도록 하였다. 에러를 검출하는 메커니즘은 타겟보드와 같으나 양성자의 영향이 없으므로 TMR 구성만 제거하였다. 결론적으로 0번 BRAM 대해서 타겟보드에서는 TMR이 적용된 구간으로 출력이 되고, FMC 연결 보드에서는 TMR이 적용되지 않은 구간으로 출력이 된다.

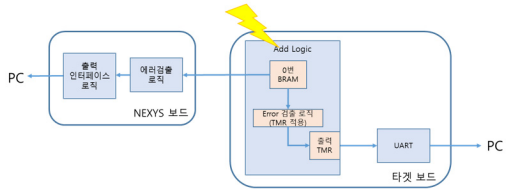

그림 3. TMR 검증 방안 구조
Fig. 3. TMR Verification Method Structure

마지막으로 실제 사용 중인 Configuration Memory에서 SEU 발생은 시험 데이터에 영향을 초래할 수 있다. 따라서 SEM을 적용하여 시험 중 Configuration Memory에서 발생하는 bit error를 자동으로 탐지 및 정정할 수 있게 구현하였다.

Ⅲ. 실험 및 결과

본 시험에서는 구현한 로직의 리소스는 그림4와 같으며, 21.3%의 BRAM을 사용하였다.

Resource	Utilization	Available	Utilization %
LUT	86313	425280	20.30
LUTRAM	118	213600	0.06
FF	14335	850560	1.69
BRAM	230	1080	21.30
DSP	1	4272	0.02
IO	77	347	22.19
BUFG	6	696	0.86
MMCM	1	8	12.50

그림 4. 시험용 FPGA 리소스 사용량
Fig. 4. test FPGA resource usage

RFSoC(XCZU48DR)에 대해 그림4와 같이 방사선 시험을 진행하였다. 방사선 시설은 한국원자력연구원 양성자과학연구단의 양성자 빔 표적실을 사용하였다.

그림 5. 양성자 빔 조사 시험 셋업
Fig. 5. proton radiation test setup

시험은 총 4차로 진행을 하였으며 차수별 시험조건은 다음 표2와 같다.

표 2. 시험별 양성자 에너지
Table 2. Proton energy by test

차수	Proton Energy [MeV]	Pulse [개수]	Fluence [/cm2]
1	69	5001	2.255E9
2	69	5000	2.059E9
3	69	11560	5.628E9
4	69	36005	1.409E10

1차, 2차 시험에서는 빔 반복률을 1Hz로 설정하였으며 83분 동안 빔 방사를 진행하였다. 3차, 4차 시험에서는 빔 반복률을 10Hz로 올린 후 각각 19분, 60분 진행하였다. 4차 시험시간 동안 0번 BRAM에 대해 FMC 결과와 타겟보드의 결과가 일치하여 TMR 구간에 대해 오류발생은 이루어지지 않았다.

발생한 Error 수를 기반으로 SEU cross section을 구하였다. SEU cross section은 SEU 현상에 대한 예측 모델을 구하는 방식이며 cross section의 식은 다음과 같다.

$$\sigma = \frac{\text{발생한 에러의 총 개수}}{\text{소자의 총 비트수} \times Fluence} \quad (1)^{[3]}$$

총 4차 시험동안 발생한 Error수와 Cross-section은 표3과 같다.

표 3. 양성자 입자 조사 시험 결과
Table 3. Proton particle irradiation test results

차수	Fluence [/cm2]	BRAM Error [bit]	Cross-section [cm2/bit]
1	2.255E9	27	1.6276E-15
2	2.059E9	30	1.9806E-15
3	5.628E9	72	1.7391E-15
4	1.409E10	214	2.0646E-15

유사 시험환경인 [4]에 따르면 60MeV에서의 BRAM SEU는 1.0×10^{-15}cm2/bit 영역의 결과를 얻었으며 이는 본 논문의 시험 결과와 유사한 점을 볼 수 있었다. 또한 RFSoC와 유사하게 CPU와 FPGA를 하나의 칩으로 구현한 칩셋인 MPSoC(Multi Processor system on Chip)에서도 BRAM SEU cross-section은 1.0×10^{-15} cm2/bit 결과를 얻었다. [5] 해당 결과를 통해 본 시험에서 측정한 BRAM SEU가 정상범위에 있음을 확인할 수 있었다.

Ⅳ. 결 론

본 논문에서는 RFSoC의 Block Memory에서 SEU 현상을 관측하였다. 시험 환경을 구축하기 위해 TMR, SEM IP를 적용하여 Block Memory가 아닌 에러 비교 로직, 통신 인터페이스, Configuration Memory에서의 SEU 현상을 해소하였다. 69MeV 양성자 빔 환경에서 Block Memory에 대한 SEU Cross-section 결과값을 1.63E-15 ~ 2.06E-15 결과를 얻어 유사 시험과 비슷한 결과를 확인할 수 있었다. 이번 시험을 통해 구축한 시험 환경을 이용하면, 추후 Flip-Flop 영역의 SEU 측정 등을 통해 실제 위성에 탑재될 FPGA 로직 전체에 대한 SEU 영향성을 확인하고, 이에 대한 영향을 최소화하기 위한 대책이 정상적으로 적용되었는지에 대한 시험이 가능할 것으로 기대된다.

References

[1] Dong-Soo Kang, Dae-Soo Oh, Dae-Ho Ko, Jong-Chul Baik, Hyung-Shin Kim, and Kyoung-Son Jhang, "Analysis of the Single Event Effect of the Science Technology Satellite-3 On-Board Computer under Proton Irradiation," Journal of the Korean Society for Aeronautical & Space Sciences, Vol. 39, No. 12, pp. 1174-1180, 2011.
doi : 10.5139/JKSAS.2011.39.12.1174

[2] P. Maillard et al., "Single-Event Evaluation of Xilinx 16nm UltraScale+™ Single Event Mitigation IP," 2018 IEEE Radiation Effects Data Workshop (REDW), pp. 1-5, 2018.
doi: 10.1109/NSREC.2018.8584298.

[3] Geun Hun Kang, Young Tak Roh, & Hee Chul Lee, "Design of Radiation Hardened Shift Register and SEU Measurement and Evaluation using The Proton.", Journal of the Institute of Electronics and Information Engineers, Vol. 50, No. 8, pp. 121-127, 2013.
doi : 10.5573/ieek.2013.50.8.121

[4] P. Davis, D. S. Lee, M. Learn and D. Thorpe, "Single-Event Characterization of the 16 nm FinFET Xilinx UltraScale+TM RFSoC Field-Programmable Gate Array under Proton Irradiation," 2019 IEEE Radiation Effects Data Workshop, pp. 1-5, 2019.
doi: 10.1109/REDW.2019.8906566.

[5] P. Maillard, M. Hart, J. Barton, J. Arver and C. Smith, "Neutron, 64 MeV Proton & Alpha Single-event Characterization of Xilinx 16nm FinFET Zynq® UltraScale+™ MPSoC," 2017 IEEE Radiation Effects Data Workshop (REDW), pp. 1-5, 2017. doi: 10.1109/NSREC.2017.8115449.

[6] Ju Young Lee, Hyun Chul Kim, Jongpil Kim, Kyung Deok Yu, Dong Sik Kim, "The design and development of Control/Storage and TRX Module for Small Satellite Synthetic Aperture Radar Application", The journal of the institute of internet, broadcasting and communication : JIIBC, Vol. 22, No. 6, pp. 31-36, 2022.
DOI: 10.7236/JIIBC.2022.22.6.31

[7] Baek, Jongchul, & Kim, Hyung-Shin, "Soft error correction controller for FPGA configuration memory", Journal of the Korea Academia-Industrial cooperation Society, Vol. 13, No. 11, pp. 5465-5470, 2012.
DOI: 10.5762/KAIS.2012.13.11.5465

[8] Hochang Lee, HyonIk Lee, Seyoung Kim, & Jinbong Sung, "A Fault Tolerance State Transition Design of SAR Payload.", The Journal of Korean Institute of Information Technology, Vol.21, No.9, pp. 65-74, 2023.
DOI: 10.14801/jkiit.2023.21.9.65

저 자 소 개

윤 승 찬(정회원)

- 2022년 : 서울과학기술대학교 전기정보공학과(공학사)
- 2022년 ~ 현재 : (주)LIG넥스원 선임연구원
- 관심분야 : 레이더, 위성

이 주 영(정회원)

- 2005년 : 광운대학교 전자공학과(공학사)
- 2007년 : 광운대학교 전자공학과(공학석사)
- 2007년 ~ 현재 : (주)LIG넥스원 수석연구원
- 관심분야 : 레이더, 위성

김 현 철(정회원)

- 2011년 : 서울시립대학교 전자전기컴퓨터공학과(공학사)
- 2014년 : 고려대학교 전기전자전파공학과(공학석사)
- 2014년 ~ 현재 : (주)LIG넥스원 수석연구원
- 관심분야 : 레이더, 위성

유 경 덕(정회원)

- 2002년 : 한국기술교육대학 정보통신과(공학사)
- 2005년 : 아주대학교 전자공학과(공학석사)
- 2010년 ~ 현재 : (주)LIG넥스원 수석연구원
- 관심분야 : 위성, 이동통신