

NCFET (negative capacitance FET)에서 잔류분극과 항전계가 문턱전압과 드레인 유도장벽 감소에 미치는 영향

정학기 

군산대학교 전자공학과

Impact of Remanent Polarization and Coercive Field on Threshold Voltage and Drain-Induced Barrier Lowering in NCFET (negative capacitance FET)

Hakkee Jung

Department of Electronic Engineering, Kunsan National University, Gunsan 54150, Korea

(Received August 17, 2023; Revised September 6, 2023; Accepted September 19, 2023)

Abstract: The changes in threshold voltage and DIBL were investigated for changes in remanent polarization P_r and coercive field E_c , which determine the characteristics of the P - E hysteresis curve of ferroelectric in NCFET (negative capacitance FET). The threshold voltage and DIBL (drain-induced barrier lowering) were observed for a junctionless double gate MOSFET using a gate oxide structure of MFMS (metal-ferroelectric-metal-insulator-semiconductor). To obtain the threshold voltage, series-type potential distribution and second derivative method were used. As a result, it can be seen that the threshold voltage increases when P_r decreases and E_c increases, and the threshold voltage is also maintained constant when the P_r/E_c is constant. However, as the drain voltage increases, the threshold voltage changes significantly according to P_r/E_c , so the DIBL greatly changes for P_r/E_c . In other words, when $P_r/E_c=15$ pF/cm, DIBL showed a negative value regardless of the channel length under the conditions of ferroelectric thickness of 10 nm and SiO₂ thickness of 1 nm. The DIBL value was in the negative or positive range for the channel length when the P_r/E_c is 25 pF/cm or more under the same conditions, so the condition of DIBL=0 could be obtained. As such, the optimal condition to reduce short channel effects can be obtained since the threshold voltage and DIBL can be adjusted according to the device dimension of NCFET and the P_r and E_c of ferroelectric.

Keywords: Threshold voltage, DIBL, Ferroelectric, Remanent polarization, Coercive field

1. 서론

집적회로의 고집적화에 따라 트랜지스터 크기 감소는 필수불가결한 요소가 되고 있다. 그러나 트랜지스터의 크기 감소는 단채널 효과(short channel effects, SCEs)를 발

생시키고 그중에서도 차단전류(off current)에 의한 소비 전력의 증가는 커다란 저해요인이 되고 있다. 이를 해결하기 위하여 등장한 트랜지스터가 음의 캐패시턴스(negative capacitance, NC) FET이다 [1-3]. 음의 캐패시턴스 효과는 강유전체(ferroelectric)에서 발생하는 분극과 전계 간의 히스테리시스 현상에 의하여 발생한다. 이러한 강유전체를 MOSFET의 산화막층에 SiO₂와 적층하여 사용한 MFMS (metal ferroelectric metal insulator semiconductor) FET는 이미 발표한 논문에서 Boltzmann

✉ Hakkee Jung; hkjung@kunsan.ac.kr

Copyright ©2024 KIEEME. All rights reserved.
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

Tyranny를 극복하여 SS (subthreshold swing)가 60 mV/dec 이하의 값을 보이고 있다 [4-6].

소비전력 저하에 영향을 미치는 요소는 SS의 감소뿐만 아니라 문턱전압의 감소가 필수적이며 트랜지스터의 안정적인 동작을 위하여 드레인 유도장벽 감소(drain-induced barrier lowering, DIBL)의 저하도 요구되고 있다. 대부분의 MOSFET에서는 1 V 미만의 문턱전압을 보이고 있으나 최근 NC FET를 이용하여 0.5 V 미만의 문턱전압 및 안정적인 구동전류를 공급하는 논문이 발표되고 있다 [7-9]. 그러나 NCFET에 대한 문턱전압에 대한 연구는 미흡한 상황이다.

강유전체의 히스테리시스 현상은 음의 캐패시턴스를 발생시켜 기생전류를 크게 감소시키고 있을 뿐만 아니라 문턱전압에도 영향을 미친다 [10,11]. 즉 강유전체의 특성을 결정하는 잔류분극(remanent polarization, P_r)과 항전계(coercive field, E_c) 값은 결국 음의 캐패시턴스 값을 결정하며 문턱전압에도 영향을 미칠 것이다. 이에 본 논문에서는 P_r 과 E_c 값의 변화가 문턱전압에 미치는 영향을 관찰할 것이다.

DIBL은 트랜지스터의 안정적인 동작에 큰 영향을 미치기 때문에 가능하면 작은 값을 유지하여야만 한다. GAA (gate-all-around) FET 및 FinFET, TFT (thin film transistor) 등의 MOSFET에서는 채널 길이가 짧아질수록 크게 증가하는 경향이 있다 [12-14]. 그러나 NCFET에서는 강유전체의 특성에 의하여 DIBL이 음의 값을 보이고 있어 DIBL 대신 DIBR (drain-induced barrier rise)이란 용어를 사용하고 있다 [15,16]. 이에 본 논문에서는 P_r 과 E_c 값에 따른 DIBL의 변화를 관찰함으로써 최적의 P_r 과 E_c 값을 구하고자 한다.

문턱전압을 구하는 여러 가지 방법이 사용되고 있지만 본 논문에서는 드레인전류와 게이트 전압의 관계에서 2차 미분의 최대값을 이용하는 방법을 사용할 것이다 [17-19]. 또한 드레인전류와 게이트 전압의 관계를 유도하기 위하여 Ding et al.의 급수형 전위분포 모델과 표동-확산 전류 모델을 사용할 것이다 [20-22].

Rassekh et al.은 무접합 이중 게이트 구조의 NCFET에 대한 문턱전압 및 DIBL 모델을 제시하였으나 단지 고정된 P_r 과 E_c 값을 이용하였으며 포물선 전위모델을 사용하였다 [23,24]. Huang et al. 등은 custom-built SPICE 모델을 이용하여 음의 DIBL을 분석하였다 [25]. 또한 Awadhiya et al. 등은 단지 기존 COMS 구조를 이용하여 NCFET의 음의 DIBL을 분석하였다 [26]. Chaudhary et al.은 PGP-SELBOX (partial ground plane selective buried oxide) NCFET에 대하여 P_r 과 E_c 의 몇몇 값에 대

하여 드레인전류와 게이트전압의 관계를 유도하였다 [27]. Yu et al.은 FDSOI (fully depleted silicon-on-insulator) 구조를 갖는 NCFET에 대하여 HfO_2 의 P_r 과 E_c 의 비에 따라 DIBL 및 NDR (negative differential resistance) 등을 분석하였다 [28]. 이에 본 논문에서는 무접합 이중 게이트 구조에 MFMS의 적층 구조를 가진 게이트 산화막의 NCFET에 대하여 강유전체의 P_r 과 E_c 값의 변화에 따른 문턱전압 및 DIBL의 변화를 관찰할 것이며 최적의 문턱전압과 DIBL 값을 갖기 위한 P_r 과 E_c 에 대하여 고찰할 것이다.

2. NCFET의 전류-전압 특성 및 문턱전압 추출

그림 1에 본 논문에서 사용한 실리콘을 채널로 사용한 MFMS 구조를 갖는 무접합 이중 게이트 NCFET의 단면도 및 기호 등을 도시하였다. MFMS 구조의 NC FET에 대한 구성 및 채널 내 전위분포 및 드레인 전류(I_d)-게이트 전압(V_g) 관계 유도과정 그리고 문턱전압(V_{th}) 추출을 위한 2차원 미분과정은 이미 발표한 논문 [29]에 기술하였으므로 여기서는 잔류분극과 항전계 값에 따른 I_d - V_g 관계와 문턱전압에 대하여 서술할 것이다. 강유전체는 CMOS 공정 호환성과 저온 공정의 이점을 가진 HZO의 경우에 대하여 계산하였으며 HZO 제작 시 여러 실험 환경에 따라 P_r 과 E_c 가 변화하기 때문에 실험 논문에서 발표한 범위를 사용하였다 [30-33]. 특히 SiO_2 층의 두께는 실험적으로 1 nm 이하까지 발표 [34]되고 있으며 HZO의 경우는 1.5 nm 정도까지 증착하는 실험 값이 발표되고 [35] 있으므로 표 1에 표기한 바와 같은 소자 파라미터를 사용하였다.

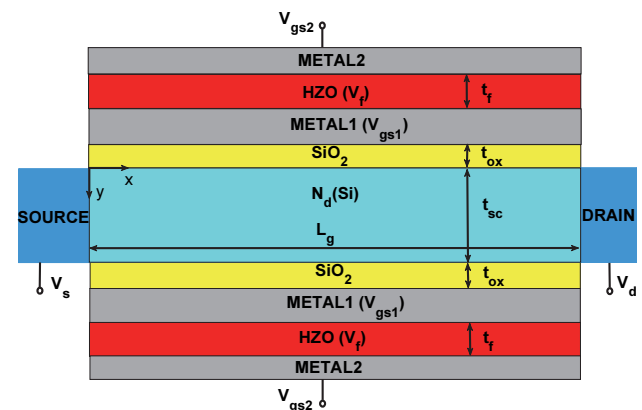


Fig. 1. Schematic cross sectional view of junctionless double gate NCFET with MFMS structure.

Table 1. Device parameters for this NCFET.

Device parameter	Symbol	Value
Channel length	L_g	15~100 nm
Channel width	W	1 μm
Channel thickness	t_{sc}	5~10 nm
SiO ₂ thickness	t_{ox}	1~2 nm
Doping concentration	N_d	$10^{19}/\text{cm}^3$
Ferroelectric thickness	t_f	1~10 nm
Remanent polarization	P_r	15~30 $\mu\text{C}/\text{cm}^2$
Coercive field	E_c	0.8~1.5 MV/cm

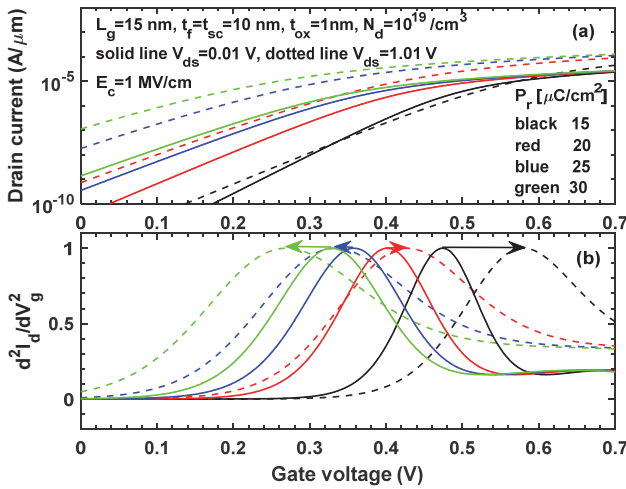
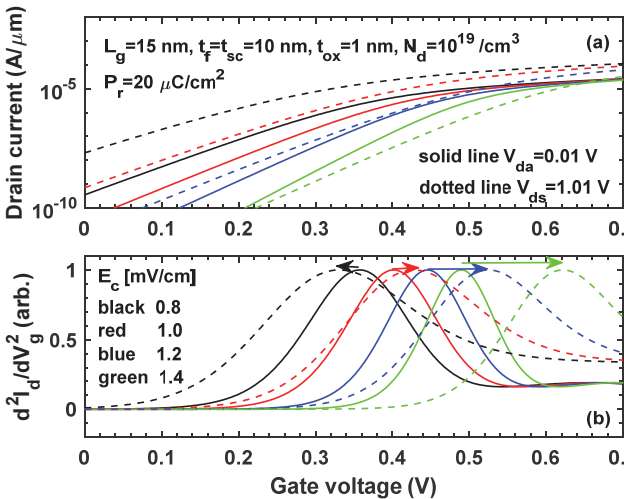
**Fig. 2.** (a) Relation of drain current vs. gate voltage with drain voltage and remanent polarization P_r as parameters and (b) shift of threshold voltages derived from second derivative method.**Fig. 3.** (a) Relation of drain current vs. gate voltage with drain voltage and remanent polarization E_c as parameters and (b) shift of threshold voltages derived from second derivative method.

그림 2에 채널 길이가 15 nm일 경우, E_c 를 1 MV/cm로 고정하고 P_r 를 변화시키면서 유도한 I_d - V_g 관계와 문턱전압을 도시하였다. 그 외 소자 파라미터값은 그림 내에 기술하였다. 2차미분 방법에 따라 그림 2(b)의 곡선이 최대값일 경우의 게이트 전압이 문턱전압임을 주시하라. 그림 2(a)에서 알 수 있듯이 P_r 값에 따라 I_d - V_g 관계는 크게 변화하면서 문턱전압도 그림 2(b)에 도시한 바와 같이 변화하는 것을 알 수 있다. 즉 그림 2(b)에서 알 수 있듯이 P_r 이 비교적 작은 15와 20 $\mu\text{C}/\text{cm}^2$ 의 경우는 드레인 전압(V_{ds})이 증가하면 문턱전압도 증가하여 DIBL이 음의 값을 보이고 있었으나 P_r 이 25와 30 $\mu\text{C}/\text{cm}^2$ 으로 증가하면서 드레인 전압 증가에 따라 문턱전압이 감소하면서 DIBL 값이 양으로 반전되는 것을 관찰할 수 있다. 이와 같이 NCFET는 강유전체의 P_r 값의 변화에 따라 DIBL 값이 양과 음으로 변환되는 것을 알 수 있었다. 뿐만 아니라 그림 2(b)에 도시한 화살표의 크기는 DIBL을 나타내며 화살표의 크기가 P_r 값에 따라 변화하므로 DIBL의 값도 P_r 의 변화에 따라 변화하는 것을 관찰할 수 있다.

그림 3에 P_r 를 20 $\mu\text{C}/\text{cm}^2$ 로 고정한 후 E_c 를 변화시키면서 I_d - V_g 관계 및 문턱전압의 변화를 도시하였다. 그림 3(a)에서 알 수 있듯이 E_c 값의 변화에 따라 I_d - V_g 관계는 크게 변화하고 있었으며 이에 따라 그림 3(b)에서 유도한 문턱전압 값도 크게 변화하고 있었다. 즉 E_c 값이 비교적 큰 1.2와 1.4 mV/cm인 경우 드레인 전압이 증가하면 문턱전압도 증가하여 음의 DIBL 값을 나타내고 있으나 E_c 값이 감소하여 0.8과 1.0 MV/cm인 경우는 드레인 전압 증가에 따라 문턱전압이 감소하여 양의 DIBL 값을 나타내고 있었다. 그림 2에서도 설명한 바와 같이 화살표의 크기는 DIBL 값을 나타내므로 E_c 값의 변화에 따라 DIBL 값의 크기가 변화하고 있다는 것을 관찰할 수 있다. 그림 2과 3에서 설명한 바와 같이 P_r 과 E_c 에 따라 문턱전압 및 DIBL 값이 변화하고 있다는 것을 알 수 있었다. 그러므로 본 논문에서는 P_r 과 E_c 의 변화에 따라 문턱전압 및 DIBL의 변화를 고찰할 것이다.

3. P_r 과 E_c 에 따른 NCFET의 문턱전압과 DIBL

3.1 NCFET의 문턱전압 변화

그림 4에 P_r 과 E_c 의 변화에 대한 문턱전압의 등고선 변화를 도시하였다. 그림 4에서 알 수 있듯이 주어진 소자 파라미터에서 P_r 이 증가할수록 문턱전압은 감소하였으며 E_c 가 증가할수록 문턱전압은 증가하였다. 이는 그림 2와 3에

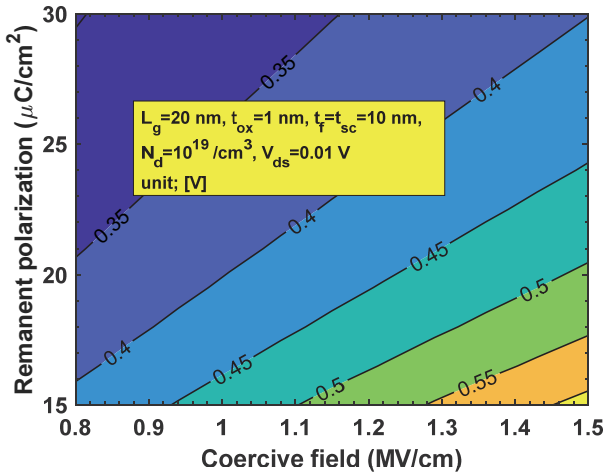


Fig. 4. Contours of threshold voltage for the remanent polarization and coercive field under the conditions presented in the figure.

서 $V_{ds}=0.01$ V의 조건에서 구한 문턱전압에서도 알 수 있다. 그러므로 문턱전압을 감소시키기 위해서는 P_r 은 증가하여야만 하며 E_c 는 감소하여야만 할 것이다. 이는 강유전체의 음의 캐패시턴스 C_{fe} 의 절댓값이 증가하는 것을 의미한다. C_{fe} 의 절댓값 증가는 SS의 증가로 나타나므로 결국 문턱전압의 감소는 SS의 증가로 나타날 것이다. 그러므로 문턱전압과 SS는 상충관계가 있다는 것을 알 수 있다. 그림 4에서 주목할 것은 일정한 문턱전압을 유지하기 위하여 P_r 이 증가하면 E_c 도 증가하여야만 하는 것이다. 즉 P_r/E_c 가 일정하면 문턱전압도 일정하게 유지될 수 있다는 것을 관찰할 수 있다. P_r/E_c 는 결국 강유전체의 음의 캐패시턴스의 개략적인 값을 나타내므로 C_{fe} 값에 따라 문턱전압이 일정하다는 것을 알 수 있다.

이와 같은 현상을 관찰하기 위하여 그림 5에 memory window ($MW=2t_f E_c$)에 따른 문턱전압의 변화를 P_r 를 파라미터로 도시하였다. 그림 5에서 알 수 있듯이 주어진 소자 파라미터에서 문턱전압은 MW에 대하여 선형적인 관계를 보이고 있으며 P_r 에 따라 기울기가 달라지는 것을 알 수 있다. 문턱전압이 약 0.16 V인 곳을 점선으로 표시하였다. 점선을 기준으로 살펴보면 해당하는 P_r 과 MW의 비 P_r/MW 가 약 10으로 일정하다는 것을 알 수 있다. 즉 주어진 t_f 에서 P_r/E_c 가 일정하면 문턱전압도 동일하다는 것을 관찰할 수 있다. 그림 4에서 알 수 있듯이 일정한 문턱전압을 갖기 위해서는 P_r 이 증가할 때 E_c 도 증가하여야 한다. E_c 의 증가는 결국 MW가 증가하는 것이므로 일정한 문턱전압을 유지하기 위하여 P_r 이 증가하면 MW도 증가할 것이다. 그러므로 P_r/E_c 에 따라 문턱전압 및 DIBL을 고찰할 것이다.

강유전체의 두께는 강유전체에 걸린 전압 및 전하에 영

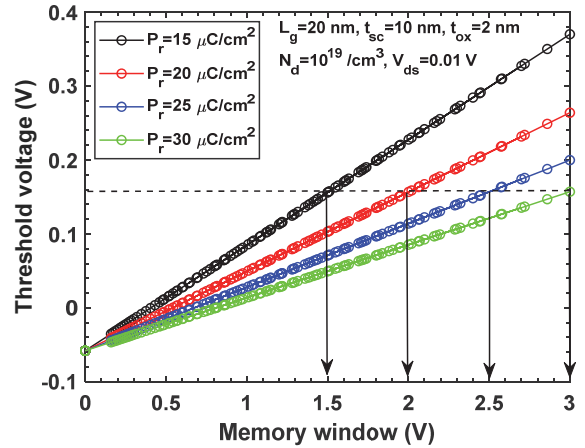


Fig. 5. Linear relations of threshold voltage and memory window with the remanent polarization as a parameter under the conditions presented in the figure.

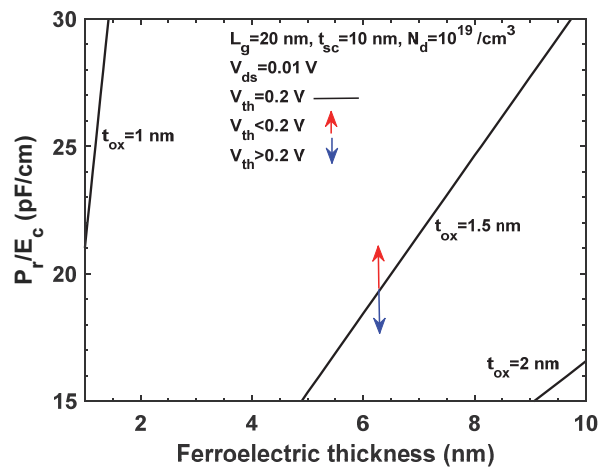


Fig. 6. Contours of $V_{th}=0.2$ V for P_r/E_c and ferroelectric thickness with the thickness of SiO_2 on a parameter under the conditions presented in the figure.

향을 미칠 것이므로 강유전체 두께와 강유전체의 고유 특성인 P_r/E_c 의 비에 따른 문턱전압의 등고선을 그림 6에 도시하였다. 그림 6은 $V_{th}=0.2$ V에 해당하는 등고선을 MFMIS의 절연층으로 사용하고 있는 SiO_2 의 두께 t_{ox} 를 파라미터로 구한 것이다. 그림 6에서 알 수 있듯이 일정한 문턱전압을 갖기 위해서는 P_r/E_c 가 증가하면 강유전체 두께도 증가해야 한다. 다시 말하면 P_r/E_c 가 증가한다는 것은 E_c 가 감소할 경우이므로 이때 동일한 문턱전압을 갖기 위해서는 일정한 MW를 유지하여야 하므로 t_f 는 증가하여야 할 것이다. 그러므로 등고선이 선형적인 관계를 보인다. 그림 6에서 파라미터로 사용한 SiO_2 의 두께에 따라 $V_{th}=0.2$

V의 등고선은 크게 변화하였다. 그림 6에서 알 수 있듯이 $t_{ox}=1$ nm인 경우 계산한 범위에서 거의 대부분 $V_{th}>0.2$ V이며 $t_{ox}=2$ nm인 경우는 $V_{th}<0.2$ V인 것을 알 수 있다. 즉 원하는 V_{th} 를 설계하기 위하여 강유전체 두께뿐만 아니라 SiO_2 의 두께도 매우 큰 영향을 미치고 있다는 것을 알 수 있다.

3.2 NCFET의 DIBL 변화

DIBL은 드레인전압 변화에 따른 문턱전압의 변화 현상을 나타낸다. NCFET에서 채널 길이 및 드레인 전압에 따른 문턱전압의 변화를 관찰하기 위하여 그림 7에 P_r/E_c 를 파라미터로 문턱전압의 변화를 도시하였다. 점선으로 표시한 $V_{ds}=0.01$ V일 경우 채널 길이에 따른 문턱전압의 변화는 거의 발생하지 않았다. 그러나 P_r/E_c 의 비에 따라서 문턱전압은 크게 변화하며 P_r/E_c 가 감소할수록 문턱전압은 증가하는 것을 알 수 있다. 실선으로 표시한 $V_{ds}=1.01$ V에서는 채널 길이가 길 경우 문턱전압은 일정하나 채널 길이가 짧을 경우는 문턱전압이 크게 변화하는 것을 그림 7에서 관찰할 수 있다. 그러므로 채널 길이가 짧아지면 DIBL의 변화도 크게 나타나는 것을 예측할 수 있다. 특히 일반적인 MOSFET와 달리 $V_{ds}=1.01$ V일 때의 문턱전압이 $V_{ds}=0.01$ V일 때의 문턱전압보다 커지므로 DIBL<0인 영역이 나타나는 것을 알 수 있다. 그러나 P_r/E_c 가 증가하여 25 pF/cm 이상에서 채널 길이가 짧아지면 다시 문턱전압 크기가 뒤바뀌어 DIBL>0인 영역으로 변환되는 것을 그림 7에서 관찰할 수 있다. 이와 같은 현상은 그림 2에서도 설명하였다. 즉 DIBL=0 mV/V가 되는 조건을 구할 수 있을 것이다.

그림 7의 문턱전압 값을 이용하여 구한 DIBL 값을 그림 8에 도시하였다. 그림 7에서도 언급한 바와 같이 P_r/E_c 가 25와 30 $\mu\text{C}/\text{cm}^2$ 일 경우를 제외하면 DIBL 값이 음의 값을 나타내고 있었다. 특히 일반적인 CMOSFET에서는 채널 길이에 따라 DIBL이 감소하지만 NCFET에서는 채널 길이가 증가하면 DIBL이 감소하다가 증가하는 특성을 나타내고 있다. 이는 그림 7에서도 설명하였지만 $V_{ds}=1.01$ V에서 문턱전압의 변화에 기인한다.

P_r 과 E_c 의 변화에 대한 DIBL의 등고선을 그림 9에 도시하였다. 그림 9에서 알 수 있듯이 P_r 이 증가할수록 그리고 E_c 가 감소할수록 DIBL의 절댓값은 감소하고 있었다. 그림 내에 주어진 조건에서 그리고 P_r 과 E_c 의 계산 범위에서 모든 DIBL 값이 음수인 것을 주시하라. 그림 4에서 설명한 문턱전압의 등고선과 같이 P_r/E_c 가 동일하다면 일정한 DIBL 값을 유지하는 것을 알 수 있다. 그러므로 P_r/E_c 에 따

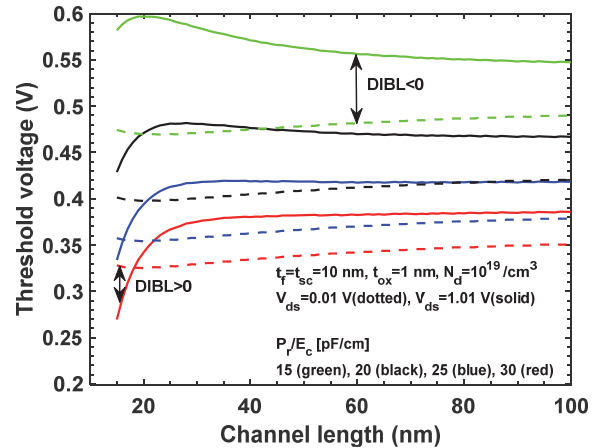


Fig. 7. Threshold voltages for the channel length with the ratio of remanent polarization and coercive field as a parameter under the conditions presented in the figure.

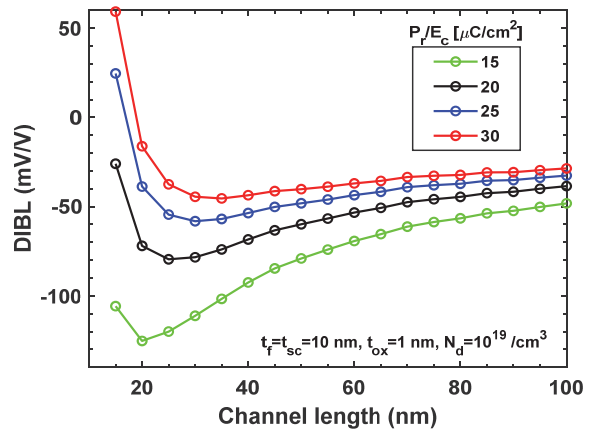


Fig. 8. DIBL for the channel length with the ratio of remanent polarization and coercive field as a parameter under the conditions presented in the figure.

른 DIBL을 유도할 것이다.

그림 10에 P_r/E_c 에 대한 DIBL의 변화를 채널 길이를 파라미터로 도시하였다. 그림 10에서 알 수 있듯이 P_r/E_c 가 증가하면 DIBL 값이 증가하는 것을 관찰할 수 있다. 또한 일반적인 CMOSFET와 달리 채널 길이 변화에 대하여 DIBL의 변화는 일정하게 유지되지 않으며 P_r/E_c 값에 따라 증가하기도 하고 감소하기도 하는 등 변화를 보이는 것을 관찰하였다. 이는 NCFET에서는 채널 길이가 감소할 때에도 P_r/E_c 의 적당한 값을 사용하면 DIBL 증가 현상을 막을 수 있다는 것을 보여준다. 그림 10에서 P_r/E_c 가 작은 영역과 큰 영역에서 채널 길이 변화에 대한 DIBL의 변화 경향이 달라지는 것을 관찰할 수 있다. 이는 강유전체 두께와 채널 길이 그리고 실리콘 두께 등의 상호 크기 비율에 따라

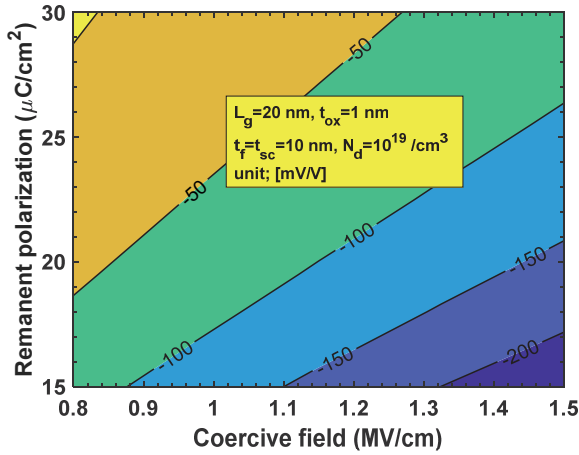


Fig. 9. Contours of DIBL for the remanent polarization and coercive field under the conditions presented in the figure.

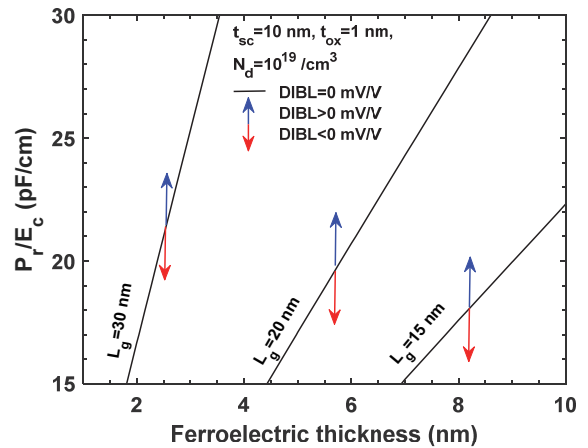


Fig. 11. Contours of DIBL=0 for P_r/E_c and ferroelectric thickness with the channel length as a parameter under the conditions presented in the figure.

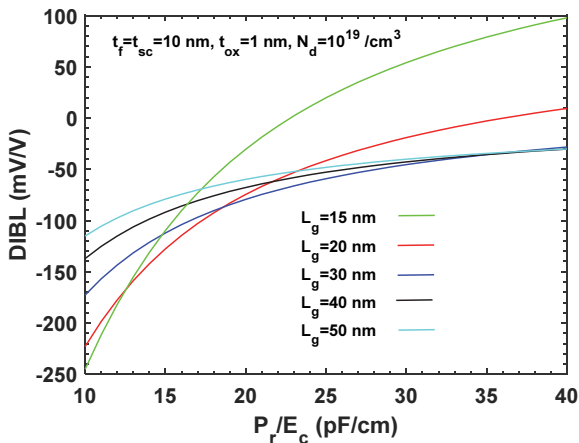


Fig. 10. DIBLs for P_r/E_c with the channel length as a parameter under the conditions presented in the figure.

경향이 변화할 것으로 판단된다. 채널 길이가 감소할수록 P_r/E_c 의 변화에 따른 DIBL의 변화가 크게 나타나고 있으며 채널 길이가 증가하면 P_r/E_c 의 변화가 DIBL에 큰 영향을 미치지 않는다는 것을 알 수 있다. 특히 채널 길이가 30 nm 이상에서는 P_r/E_c 가 증가할수록 채널 길이 변화에 따른 DIBL의 변화는 무시할 수 있을 정도라는 것을 관찰할 수 있다. 그림 10을 살펴보면 그림에 주어진 소자 파라미터에서 채널 길이가 15 nm와 20 nm에서는 P_r/E_c 에 따라 DIBL이 음수와 양수 값을 가질 수 있다는 것을 알 수 있다. 그러므로 DIBL=0인 조건을 구할 수 있을 것이다.

그림 11에 P_r/E_c 와 강유전체 두께의 변화에 대하여 DIBL=0을 만족하는 등고선을 채널 길이를 파라미터로 도

시하였다. 그림 11에서 알 수 있듯이 DIBL=0인 조건을 만족하기 위하여 채널 길이가 15 nm로 짧을 경우는 주어진 조건에서 강유전체 두께가 7~10 nm로 커야 하며 P_r/E_c 는 15~22 pF/cm 정도로 비교적 작아야만 한다. 그러나 채널 길이가 30 nm까지 증가하면 P_r/E_c 는 15~30 pF/cm 정도로 넓은 범위에 있으나 강유전체 두께는 2~3 nm로 작아야만 한다는 것을 관찰할 수 있다. 또한 DIBL=0을 유지하기 위하여 P_r/E_c 와 강유전체 두께의 비가 채널 길이에 따라 일정해야만 한다는 것을 관찰할 수 있다. 채널 길이가 15 nm로 감소하면 DIBL=0을 만족하기 위하여 P_r/E_c 는 작아야만 한다. P_r/E_c 가 작다는 것은 결국 강유전체의 캐패시턴스가 작다는 의미이며 이때 SS도 감소할 것이다. 그러므로 P_r/E_c 가 감소하면 문턱전압이 증가하는 문제점은 있지만 DIBL을 0근처로 유지할 수 있다는 장점이 있다. 본 논문에서 계산한 범위에서 채널 길이가 15 nm로 짧을 경우는 대부분 DIBL>0인 영역이며 반대로 채널 길이가 30 nm로 증가하면 대부분 DIBL<0인 영역임을 주시하라.

그림 6에서도 언급한 바와 같이 MFMS 구조에서 절연체로 사용되는 SiO_2 의 두께는 문턱전압에 영향을 미칠 것이다. 그러므로 DIBL에도 영향을 미칠 것이며 그림 12에 P_r/E_c 와 강유전체 두께에 대한 DIBL의 변화를 채널 길이 20 nm일 때 SiO_2 의 두께를 파라미터로 도시하였다. 그림에서 알 수 있듯이 SiO_2 의 두께가 증가하면 P_r/E_c 가 작고 강유전체 두께가 두꺼운 영역에서 DIBL=0인 선이 나타나고 있다. SiO_2 의 두께가 증가할수록 DIBL=0을 유지하기 위하여 강유전체 두께는 감소하여야만 하며 P_r/E_c 의 범위는 점점 증가하는 것을 알 수 있다. 본 논문의 계산 범위에서 $t_{ox}=1.5$ nm일 경우 대부분의 영역에서 DIBL>0이며

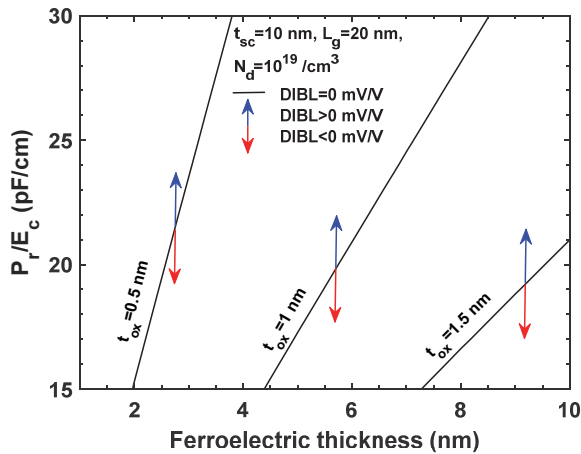


Fig. 12. Contours of DIBL=0 for P_r/E_c and ferroelectric thickness with the thickness of SiO_2 as a parameter under the conditions presented in the figure.

SiO_2 의 두께가 감소할수록 DIBL<0인 영역이 증가하는 것을 알 수 있다. 그림 11과 12를 비교해 보면 채널 길이와 SiO_2 의 두께를 제외한 소자 파라미터가 동일할 경우, 채널 길이가 증가하는 것은 결국 SiO_2 의 두께가 감소하는 효과와 동일한 DIBL의 변화 경향을 보이고 있었다. 전술한 바와 같이 채널 길이, 실리콘 두께, 강유전체 두께 그리고 SiO_2 의 두께 등은 상호 유기적인 영향을 미치고 있다는 것을 알 수 있었으며 이와 같은 스케일링 효과에 대한 연구가 좀 더 진행되어야 할 것이다.

4. 결론

강유전체를 사용한 MFMIS 구조의 무접합 이중 게이트 NCFET에 대한 문턱전압 및 DIBL의 변화를 강유전체의 P_r 과 E_c 의 변화에 대하여 고찰하였다. 시뮬레이션에 이용한 P_r 과 E_c 는 HZO를 이용한 다양한 실험에서 도출된 값들에서 합당한 범위를 사용하였다. NCFET는 SS<60 mV/dec의 특성을 가지며 이는 결국 강유전체의 히스테리시스 특성에 의한 음의 캐패시턴스 특성에 기인한다. 이러한 SS의 개선뿐만 아니라 SS를 감소시킬 때 문턱전압 및 DIBL의 변화를 관찰하였다. NCFET를 이용한 집적회로의 활성화를 위하여 이와 같은 SCE의 상호관계는 저전력소비 및 고속동작에 반드시 필요한 연구이다. 결과적으로 P_r/E_c 가 일정하면 문턱전압이 일정하게 유지되는 것을 알 수 있었으나 SS를 감소시키기 위하여 P_r/E_c 의 비를 감소시키면 문턱전압이 증가하는 문제가 발생하는 것을 관찰하였다. 이를 해결하기 위하여 P_r/E_c 를 낮게 유지하면서 강유전체 두

께와 SiO_2 의 두께를 증가시켜 해결할 수 있었다. DIBL의 경우는 $P_r/E_c=15$ pF/cm 정도로 작을 경우 본 논문에서 사용한 소자 파라미터 범위에서 항상 음의 값을 나타내었다. 그러나 P_r/E_c 가 증가하면 DIBL이 양으로 전환되므로 P_r/E_c 의 값 및 소자 파라미터에 따라 DIBL=0인 조건을 구할 수 있었다. 즉 채널 길이가 짧아질수록 강유전체 두께를 증가시키면 P_r/E_c 가 작은 범위에서도 DIBL=0을 만족하는 조건을 구할 수 있었다. 그러나 채널 길이가 증가하면 P_r/E_c 값에 관계없이 강유전체 두께가 작아져야만 DIBL=0인 조건을 만족하는 소자 파라미터를 구할 수 있었다. SiO_2 의 두께 변화에 따라 DIBL=0인 조건을 만족하는 P_r/E_c 및 강유전체 두께도 크게 변화하였으며 SiO_2 의 두께가 비교적 두꺼워지면 P_r/E_c 가 작고 강유전체 두께가 비교적 큰 범위에서 DIBL=0을 만족하는 소자 파라미터를 구할 수 있었다. 이상의 결과를 살펴보면 NCFET의 경우 주어진 채널 길이 및 실리콘 두께에서 강유전체와 SiO_2 의 두께 조정으로 충분히 만족할 만한 문턱전압과 DIBL 값을 유도할 수 있다는 것을 알 수 있었다. 향후 소자 크기 등에 따른 최적의 조건을 구하는 연구가 수반되어야 할 것이다.

ORCID

Hakkee Jung

<https://orcid.org/0000-0002-2828-2957>

REFERENCES

- [1] M. Nadeem, I. D. Bernardo, X. Wang, M. S. Fuhrer, and D. Culcer, *Nano Lett.*, **21**, 3155 (2021).
doi: <https://doi.org/10.1021/acs.nanolett.1c00378>
- [2] C. Liu, Y. Wang, H. Sun, C. Ma, Z. Luo, H. Wang, Y. Yin, and X. Li, *NPG Asia Mater.*, **13**, 77 (2021).
doi: <https://doi.org/10.1038/s41427-021-00345-5>
- [3] J. F. Yao, X. Han, X. P. Zhang, J. C. Liu, M. Y. Gu, M. L. Zhang, K. H. Yu, and Y. F. Guo, *Crystals*, **12**, 1545 (2022).
doi: <https://doi.org/10.3390/cryst12111545>
- [4] J. Y. Kim, M. Choi, and H. W. Jang, *APL Mater.*, **9**, 021102 (2021).
doi: <https://doi.org/10.1063/5.0035515>
- [5] T. Yu, W. Lü, Z. Zhao, P. Si, and K. Zhang, *Microelectron. J.*, **108**, 104981 (2021).
doi: <https://doi.org/10.1016/j.mejo.2020.104981>
- [6] S. U. Alam, R. Uddin, M. J. Alam, A. Raihan, S. S. Mahtab, and S. Bhowmik, *Model. Simul. Eng.*, **2022**, 8345513 (2022).
doi: <https://doi.org/10.1155/2022/8345513>
- [7] W. Xiao, C. Liu, Y. Peng, S. Zheng, Q. Feng, C. Zhang, J. Zhang, Y. Hao, M. Liao, and Y. Zhou, *Nanoscale Res. Lett.*, **14**, 254

- (2019).
doi: <https://doi.org/10.1186/s11671-019-3063-2>
- [8] W. Huang, H. Zhu, Y. Zhang, Z. Wu, K. Jia, X. Yin, Y. Li, C. Li, X. Ai, Q. Huo, and J. Li, *Microelectron. J.*, **114**, 105110 (2021).
doi: <https://doi.org/10.1016/j.mejo.2021.105110>
- [9] J. Min and C. Shin, *Electronics*, **9**, 1423 (2020).
doi: <https://doi.org/10.3390/electronics9091423>
- [10] W. X. You, C. P. Tsai, and P. Su, *IEEE Trans. Electron Devices*, **65**, 1604 (2018).
doi: <https://doi.org/10.1109/TED.2018.2805716>
- [11] S. Moon, J. Shin, and C. Shin, *Electronics*, **9**, 704 (2020).
doi: <https://doi.org/10.3390/electronics9050704>
- [12] A. T. Shora and F. A. Khanday, *Int. J. Electron. Lett.*, **8**, 304 (2020).
doi: <https://doi.org/10.1080/21681724.2019.1600729>
- [13] S. A. Hosseini, A. Eskandarian, and A. Ghadimi, *Eng. Rep.*, **4**, e12481 (2022).
doi: <https://doi.org/10.1002/eng2.12481>
- [14] J. Pruefer, J. Leise, G. Darbandy, A. Nikolaou, H. Klauk, J. W. Borchert, B. Iñiguez, T. Gneiting, and A. Kloes, *IEEE Trans. Electron Devices*, **67**, 5082 (2020).
doi: <https://doi.org/10.1109/TED.2020.3021368>
- [15] O. Prakash, A. Gupta, G. Pahwa, Y. S. Chauhan, and H. Amrouch, *J. Electron Device Soc.*, **9**, 1262 (2021).
doi: <https://doi.org/10.1109/JEDS.2021.3110486>
- [16] F. I. Sakib, M. A. Hasan, and M. Hossain, *Eng. Res. Express*, **3**, 045044 (2021).
doi: <https://doi.org/10.1088/2631-8695/ac3d39>
- [17] A. Ortiz-Conde, F. J. García-Sánchez, J. Muci, A. T. Barrios, J. J. Liou, and C. S. Ho, *Microelectron. Reliab.*, **53**, 90 (2013).
doi: <https://doi.org/10.1016/j.microrel.2012.09.015>
- [18] A. F. Jaimes, *Tecnura*, **21**, 32 (2017).
doi: <https://doi.org/10.14483/udistrital.jour.tecnura.2017.2.a02>
- [19] Y. Swami and S. Rai, *J. Nanotechnol.*, **2017**, 4678571 (2017).
doi: <https://doi.org/10.1155/2017/4678571>
- [20] Z. Ding, G. Hu, J. Gu, R. Liu, L. Wang, and T. Tang, *Microelectron. J.*, **42**, 515 (2011).
doi: <https://doi.org/10.1016/j.mejo.2010.11.002>
- [21] Y. H. Shin and I. Yun, *Solid-State Electron.*, **120**, 19 (2016).
doi: <https://doi.org/10.1016/j.sse.2016.03.002>
- [22] R. U. Ahmed and P. Saha, *Period. Polytech. Electr. Eng. Comput. Sci.*, **64**, 106 (2020).
doi: <https://doi.org/10.3311/PPee.14279>
- [23] A. Rassekh, J. M. Sallese, F. Jazaeri, M. Fathipour, and A. M. Ionescu, *J. Electron Device Soc.*, **8**, 939 (2020).
doi: <https://doi.org/10.1109/JEDS.2020.3020976>
- [24] A. Rassekh, F. Jazaeri, and J. M. Sallese, *IEEE Trans. Electron Devices*, **69**, 820 (2022).
doi: <https://doi.org/10.1109/TED.2021.3133193>
- [25] W. Huang, H. Zhu, Z. Wu, X. Yin, Q. Huo, K. Jia, Y. Li, and Y. Zhang, *IEEE J. Electron Devices Soc.*, **8**, 879 (2020).
doi: <https://doi.org/10.1109/JEDS.2020.3015492>
- [26] B. Awadhiya, P. N. Kondekar, S. Yadav, and P. Upadhyay, *Trans. Electr. Electron. Mater.*, **22**, 267 (2021).
doi: <https://doi.org/10.1007/s42341-020-00230-y>
- [27] S. Chaudhary, B. Dewan, C. Sahu, and M. Yadav, *Silicon*, **14**, 7099 (2022).
doi: <https://doi.org/10.1007/s12633-021-01478-6>
- [28] T. Yu, W. Lü, Z. Zhao, P. Si, and K. Zhang, *Microelectron. J.*, **98**, 104730 (2020).
doi: <https://doi.org/10.1016/j.mejo.2020.104730>
- [29] H. Jung, *AIMS Electron. Electr. Eng.*, **7**, 38 (2023).
doi: <https://doi.org/10.3934/electreng.2023003>
- [30] J. Okuno, T. Kunihiro, K. Konishi, H. Maemura, Y. Shuto, F. Sugaya, M. Materano, T. Ali, K. Kuehnel, K. Seidel, U. Schroeder, T. Mikolajick, M. Tsukamoto, and T. Umebayashi, *Proc. 2020 IEEE Symposium on VLSI Technology* (Honolulu, USA, 2020) p. 1.
doi: <https://doi.org/10.1109/VLSITechnology18217.2020.9265063>
- [31] T. Francois, L. Grenouillet, J. Coignus, P. Blaise, C. Carabasse, N. Vaxelaire, T. Magis, F. Aussenac, V. Loup, C. Pellissier, S. Slesazeck, V. Havel, C. Richter, A. Makosiej, B. Giraud, E. T. Breyer, M. Materano, P. Chiquet, M. Bocquet, E. Nowak, U. Schroeder, and F. Gaillard, *Proc. 2019 IEEE International Electron Devices Meeting (IEDM)* (San Francisco, USA, 2020) p. 15.6.1.
doi: <https://doi.org/10.1109/IEDM19573.2019.8993485>
- [32] Y. Liang, J. Wu, C. Teng, H. Ko, Q. Luc, C. Su, E. Chang, and C. Lin, *IEEE Electron Device Lett.*, **42**, 1299 (2021).
doi: <https://doi.org/10.1109/LED.2021.3102604>
- [33] Z. Dang, S. Lv, Z. Gao, M. Chen, Y. Xu, P. Jiang, Y. Ding, P. Yuan, Y. Wang, Y. Chen, Q. Luo, and Y. Wang, *IEEE Electron Device Lett.*, **43**, 561 (2022).
doi: <https://doi.org/10.1109/LED.2022.3153063>
- [34] J. Min, G. Choe, and C. Shin, *Curr. Appl. Phys.*, **20**, 1222 (2020).
doi: <https://doi.org/10.1016/j.cap.2020.08.008>
- [35] S. Shi, H. Xi, T. Cao, W. Lin, Z. Liu, J. Niu, D. Lan, C. Zhou, J. Cao, H. Su, T. Zhao, P. Yang, Y. Zhu, X. Yan, E. Y. Tsymlal, H. Tian, and J. Chen, *Nat. Commun.*, **14**, 1780 (2023).
doi: <https://doi.org/10.1038/s41467-023-37560-3>