Chemical Vapor Deposition 공정으로 제작한 Cul p-type 박막 트랜지스터

이승민 $^1 \cdot$ 장성철 $^2 \cdot$ 박지민 $^2 \cdot 윤순길^1 \cdot 김현석^{1,2\dagger}$

¹충남대학교 신소재공학과, ²동국대학교 융합에너지 신소재공학과

p-type CuI Thin-Film Transistors through Chemical Vapor Deposition Process

Seungmin Lee¹, Seong Cheol Jang², Ji-Min Park², Soon-Gil Yoon¹, and Hyun-Suk Kim^{1,2†}

¹Department of Materials Science and Engineering, Chungnam National University, Daejeon 34134, Republic of Korea ²Department of Energy and Materials Engineering, Dongguk University, Seoul 04620, Republic of Korea

(Received October 9, 2023 : Revised November 6, 2023 : Accepted November 16, 2023)

Abstract As the demand for p-type semiconductors increases, much effort is being put into developing new p-type materials. This demand has led to the development of novel new p-type semiconductors that go beyond existing p-type semiconductors. Copper iodide (CuI) has recently received much attention due to its wide band gap, excellent optical and electrical properties, and low temperature synthesis. However, there are limits to its use as a semiconductor material for thin film transistor devices due to the uncontrolled generation of copper vacancies and excessive hole doping. In this work, p-type CuI semiconductors were fabricated using the chemical vapor deposition (CVD) process for thin-film transistor (TFT) applications. The vacuum process has advantages over conventional solution processes, including conformal coating, large area uniformity, easy thickness control and so on. CuI thin films were fabricated at various deposition temperatures from 150 to 250 °C The surface roughness root mean square (RMS) value, which is related to carrier transport, decreases with increasing deposition temperature. Hall effect measurements showed that all fabricated CuI films had p-type behavior and that the Hall mobility decreased with increasing deposition temperature. The CuI TFTs showed no clear on/off because of the high concentration of carriers. By adopting a Zn capping layer, carrier concentrations decreased, leading to clear on and off behavior. Finally, stability tests of the PBS and NBS showed a threshold voltage shift within ±1 V.

Key words capping layer, thin film transistors, p-type, copper iodide, chemical vapor deposition.

1. 서 론

최근 기술이 지속적으로 발전함에 따라 소비자의 성능 에 대한 요구도 점차 높아지고 있다. 이에 따라서, 반도체 기술 또한 고속, 저전력 소모, 웨이퍼 상의 트랜지스터 밀 도 증가 등의 고성능을 위한 연구를 지속적으로 진행하고 있다. 이러한 관점에서 산화물 반도체는 높은 이동도, 낮 은 누설 전류, 대면적 균일도 등과 같은 많은 장점으로 큰 관심을 받아 왔다.^{1,2)} 그러나 산화물 반도체는 정공의 수 송 경로인 valance band maximum (VBM)의 비등방성 및 국보적 산소 2p 오비탈과 산화물 반도체 내의 산소 공공은 정공 도펀트의 도핑을 어렵게 한다는 점으로 인해 나타나 는 한계로 정공 수송에 불리한 큰 유효 질량과 낮은 정공 이동도를 보이고 있다.²⁻⁷⁾ 이로 인해 새로운 형태의 고성 능 p형 반도체 개발에 많은 관심이 쏟아지고 있다.

이러한 이유로 인해 최근 Te, SnO, Ni_xO, Cu 기반의 p형

[†]Corresponding author

© Materials Research Society of Korea, All rights reserved.

E-Mail : khs3297@dongguk.edu (H.-S. Kim, Dongguk Univ.)

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (http://creativecommons.org/licenses/by-nc/3.0) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

반도체에 관한 보고가 활발하게 이루어지고 있다. 특히 이 들중Cu기반의Cul는 높은 고유 홀 이동도, ~3 eV의 넓은 밴드 갭을 통한 높은 광학 투명성, 풍부한 원소로 이루어져 경제성이 높아 다양한 도핑 가능성을 보여 많은 관심을 받 아오고 있다. 8-13) 또한 저온 공정이 가능하여 낮은 유리 전 이온도를 지니는 저렴하고 유연한 플라스틱 기판에 적용 이 가능하다는 점에서 차세대 플렉서블 전자 기기용 열전 장치, 이종 접합 다이오드 및 광전자 장치의 투명 반도체 및 정공 수송층으로의 응용이 가능하다.¹⁴⁻¹⁶⁾ Cul의 전도 도는 Cu 공공으로부터 기인하는데, 이는 Cu 공공이 VBM 위에 억셉터 에너지 준위를 형성하기 때문이다.^{12,17)} Cul 정공의 이동도에 영향을 주는 대표적인 요인으로 정공의 농도와 Cul 결정의 결정립계가 있다. 정공의 농도가 너무 높으면 이온화 불순물 산란으로 인해 이동도가 감소하기 때문이다. 또한, Cul 박막은 대부분 다결정질이기 때문에 결정의 경계(grain boundary)가 이동도를 감소시키는데 영 향을 주며 이로 인해 낮은 이동도와 열악한 온/오프 전류 비율을 나타낸다.

본 연구에서는 대부분의 Cul가 증착되는 방식인 spin coating 방법이 아닌 화학 기상 증착(chemical vapor deposition, CVD) 방법을 이용한 Cul 박막과 이를 활용한 박막 트랜지스터를 제안한다. 일반적인 용액 기반의 spin coating에 비해 CVD 공정은 기판 표면에 영향을 덜 받으며, 대 면적 증착에 유리해 step coverage가 우수하다. Cul p-type 박막 트랜지스터는 기판 온도를 150, 200, 250 °C로 변경 하여 제작을 하였으며, 표면적 그리고 전기적 특성을 평가 하였다. 이후 이들을 활용하여 박막 트랜지스터를 제작하 였으며, 특성을 향상시키기 위해 반도체 상에 capping층 을 도입하여 전기적 특성을 평가하였다. Zn capping layer 도입 이후, Cul의 캐리어 농도가 줄어들어 on/off ratio가 크게 개선되는 것을 확인할 수 있었다.

2. 실험 방법

Cul 박막은 Cul 파우더를 CVD 공정을 이용하여 증착하 였다. Fig. 1은 공정을 그림으로 나타낸 것으로 CVD의 heating zone은 2구역으로 Cul의 공정 온도는 500 °C로 설 정하였으며 기판 온도는 150, 200, 250 °C로 변화시켜 증 착하였다. 사용된 Cul 파우더는 10 mg으로 20 nm의 두께 로 증착되었다. 사용된 캐리어 가스는 질소 70 sccm을 사 용하였으며 1.4 Torr의 공정압력에서 증착이 진행되었다.

모든 Cul 박막은 100 nm 두께의 SiO₂ 절연막을 가지는 p⁺⁺ Si 기판 위에 제조하였으며, 소오스 및 드레인 전극은 100 nm 두께의 Au을 thermal evaporation을 통해 증착하였







Fig. 2. (a) Schemetic structure CuI and (b) Schemetic structure CuI/ Zn Capping layer.

다. CuI 활성 층과 Au 전극을 포함한 모든 층은 쉐도우 마 스크를 통해 패터닝 하였으며, 채널층의 넓이(W)와 길이 (L)는 각각 800 µm, 200 µm이다. 10 nm의 Zn Capping 층은 Zn Target을 이용하여 Ar 20 sccm, RF power 40 W의 조건 으로 고주파 radio frequency (RF) sputtering 공정을 통해 증착하였다. 제조된 박막 트랜지스터의 전기적 특성 및 성 능은 Keithley 4200A-SCS Parameter Analyzer (Tektronix, Korea)를 이용하여 외부의 빛을 차단하고 상온에서 측정 하였다. 본 연구에서 제조한 CuI 박막 트랜지스터의 개략 도를 Fig. 2에 표기하였다.

3. 결과 및 고찰

Fig. 3 증착 온도를 다르게 하여 CVD로 증착한 Cul 박막 의 XRD 패턴을 보여준다. CVD로 증착한 Cul는 증착 온 도에 상관없이 모두 25.48°에서 (111)의 결정 peak을 보여 준다. 이는 zincblende 구조의 Cul γ 상으로 기존의 보고된 값과 유사하다.



Fig. 3. X-ray diffraction of CuI thin film fabricated at different temperature by CVD.

Fig. 4는 CVD 공정에서 기판 온도에 따른 CuI 박막 표면 의 atomic force microscopy (AFM) 측정 결과이다. CuI 박 막의 표면 거칠기 RMS (root-mean square) 값은 공정온도 에 따른 CuI 박막의 표면에 미치는 영향에 대해 알고자 하 였다. 공정온도가 150, 200, 250 °C일 때 각각 0.52 nm, 2.59 nm, 32.15 nm로 공정 온도가 높아짐에 따라 결정성이 커 지면서 표면이 점차 거칠어지는 것으로 나타났다. 공정 기 판 온도에 따라 CuI 박막의 성장 형태가 달라지며, 특히 온 도가 높아질수록 더욱 빠르게 성장하여 표면이 거칠게 나 타난다. 이러한 결과는 용액 공정 결과에서도 마찬가지로 나타났으며 박막의 표면은 박막 트랜지스터에서 전극/반 도체 및 반도체/절연막 계면의 결함 형성으로 인한 캐리 어 trap site로 작용할 수 있으므로, 낮은 온도에서 증착한 CuI 박막은 우수한 표면을 형성함으로써 박막 트랜지스 터의 전기적 성능을 향상시킬 수 있다.¹⁷⁻²⁰⁾

Table 1. Changes in Cul thin film properties depending on temperature.

	150 °C	200 °C	250 °C
Carrier Con. (/cm ³)	1.19×10^{20}	3.11×10^{19}	5.55×10^{18}
Hall mobility (cm ² /Vs)	52.79	14.12	5.77
Sheet resistance (Ω /sq)	556.24	3.03 K	240 k

Table 1은 hall effect measurement를 이용하여 측정한 CuI 박막의 전기적 특성이다. CuI 박막은 150, 200, 250 °C 에서 각각 1.19 × 10²⁰, 3.11 × 10¹⁹, 5.55 × 10¹⁸/cm³의 캐리어 농도, 52.79, 14.12, 5.77 cm²/Vs의 hall 이동도, 556.24, 3.30 K, 240 K Ω/sq의 면저항을 보였다. 공정 온도가 증가함에 따라 캐리어 농도는 감소하게 되면서, 면저항이 상승해 hall 이동도가 낮아지는 것을 확인하였다. 낮은 온도에서 면저항이 가장 낮고 hall 이동도가 낮아지기는 하지만 캐 리어 농도가 증가됨에 따라 150 °C 박막에서 저항을 최소 화 시킬 수 있음에 따라 전기적 성능을 향상시킬 수 있다.

Table 2는 최근 몇 년간 연구되어진 Cul 박막의 물리적 전기적 특성의 요약이다. 대부분의 Cul 박막은 용액공정 기반의 spin coating으로 제작되었으나,^{12,21,22)} Annadi et al.⁸⁾ 은 구리 증착 이후 iodization을 통해 제작하였다. 본 연구 에서 제시하는 CVD 공정을 통해 제작한 Cul은 기존의 보 고된 논문들에 비해 매우 매끄러운 표면과 높은 이동도를 가졌다. 이를 통해 CVD는 기존의 진공 공정이 지니는 대 면적 균일도, 우수한 두께 조절 능력들과 함께 p형 반도체 인 Cul를 제작하기에 적합한 방법으로 생각된다.

다음으로 Cul 박막을 활성 층으로 사용하여 박막 트랜 지스터를 제작 후 공정온도에 따른 전기적 특성을 확인하 였다. Fig. 5는 다양한 증착 온도에서 제작된 Cul 박막 트 랜지스터의 전달 곡선을 나타낸다. 측정 시 드레인 전압은 -10 V으로 고정하여 측정하였으며 게이트 전압은 -20 V~



Fig. 4. The AFM image of CuI thin films deposited at (a) 150 °C, (b) 200 °C, (c) 250 °C.

150

52.79

Material	Deposited method	Thickness (nm)	Temperature (°C)	Hall mobility (cm ² /Vs)	Roughness (nm)	Reference
Cul	Cu iodization	25	140	2.75	2~5	[8]
Cul	Solution-processed spin coating	5	RT	5.1	0.58	[22]
Cul	Solution- processed printing	100	60	10.5	3.24	[16]
Cul	Solution-processed spin coating	150	100	34.7	6.19	[20]
Cul	Solution-processed spin coating	25	80	43.9	-	[11]

Table 2. Literature survey on p-type CuI TFTs, in which the related results in this work are also shown for comparison.

20



CVD

Fig. 5. Transfer curves of CuI thin film transistors fabricated at different temperature.

20 V의 범위로 측정하였다. 특히 250 °C의 Cul의 경우, 높 은 캐리어에도 불구하고 표면의 높은 roughness로 인해 높 은 저항을 형성해 정상적인 캐리어 transport가 발생하지 않아 매우 낮은 current를 나타냄을 확인하였다. 이는 주로 높은 정공 농도와 그에 따른 본래 Cul의 제어 불가능한 전 도성을 가지기는 하지만, Cul의 본 연구에서는 공정온도 150 °C에서 가장 매끄러운 표면을 가졌으며 전기적 특성 도 가장 좋은 것을 확인할 수 있었다. 이러한 결과를 바탕 으로 hall 이동도가 가장 우수한 150 °C에서 제작한 Cul 박 막에 Zn capping층을 도입하여 Cul 박막의 캐리어를 조절 함으로써 Cul 트랜지스터의 성능을 개선시키고자 하였다.

Fig. 6은 RF sputtering system에 의해 Zn capping층이 도 입된 150 °C에서 제작된 CuI 박막 트랜지스터의 전기적 특 성이다. Zn를 doping한 CuI 박막 트랜지스터는 0.11 cm²/ Vs의 이동도, 1.74 V/decade의 subthreshold swing, 17.54 V



0.52

This work

Fig. 6. Transfer curves of CuI thin film transistors with Zn capping layer.

의 문턱전압과 4.41 × 10⁴의 on/off ratio의 우수한 전기적 특성을 나타냈다. 이러한 결과는 이론적으로 보았을 때, 다른 도펀트 Pb²⁺,Bi³⁺, Sn⁴⁺등의 도핑도 가능하지만 Sn⁴⁺ 도핑 시 p-type 성능을 보이지 않는 것을 확인했다.⁷⁾ 다른 원소인 Bi³⁺와 Pb²⁺의 경우 Cu⁺의 반경에 비해 상당히 큰 반경을 가지고 있어 더 낮은 도핑 효율을 가지며 결함을 발생시킨다는 단점을 가지고 있으며 결과적으로 열악한 전기적 성능을 가진다.^{7,8)} 반면, Zn와 Cu는 양이온의 크기 와 구조가 유사하지만 전하량이 달라 Cu⁺를 치환할 경우 정공 억제자의 역할을 한다. 그 결과로 CuI에 Zn capping layer 도입 시 Zn가 CuI로 도핑되어 Cu²⁺의 공공이 제거됨 으로 페르미 준위가 VBM에서 conduction band minimum (CBM) 쪽으로 이동하게 되는 효과를 가진다. Zn 도핑은 다른 원소들과 달리 격자를 왜곡시키지 않고 Cu⁺ 위치에 Zn²⁺가 치환됨으로써 캐리어의 농도가 줄어들며 이에 따

Cul

라 current가 조절된다.^{8,17)} 결과적으로 Zn doping을 통해 on current는 비록 낮아졌지만 off current 부분이 크게 개선 되어 on/off current가 1.2×10^1 에서 4.41×10^4 까지 개선되 었음을 확인할 수 있다.

Fig. 7은 150 °C에서 증착한 Zn-CuI 박막 트랜지스터의 출력 곡선이다. 출력 곡선 측정 시, 게이트 전압은 0 V에서 -20 V까지 -4 V 간격으로 측정하였으며, 드레인 전압은 0 V에서 -20 V 범위로 측정하였다. 출력 곡선은 기존 CuI 박 막과 달리 전형적인 output 특성을 보여주었다. 우수한 ohmic 거동 및 current crowding 현상이 관측되지 않았으 며 높은 문턱전압과 많은 캐리어 농도로 인해 출력 곡선이 pinch off 되지 못하고 saturation되지 못한다.

Zn가 capping 된 CuI 박막 트랜지스터의 신뢰성을 평가 하기 위해서 negative bias stress (NBS)와 positive bias stress (PBS) 신뢰성을 측정하였다. PBS 신뢰성 측정에서 V_G는



Fig. 7. Output curves of CuI thin film transistors with Zn capping layer.



Fig. 8. V_{th} shift values of NBS and PBS for CuI thin film transistors with capping layer.

20 V, V_D는 -0.1 V로 고정하였으며, NBS신뢰성 조건에서 는 V_G는 -20 V, V_D는 -0.1 V로 고정하였다. 측정 시간은 총 3,600초이며, bias stress를 인가하며 600초 간격으로 문턱 전압변화를 측정하기 위해 전달 곡선을 확인하였다. 외부 의 영향을 최소화하기 위해 모든 신뢰성 평가는 빛이 없는 진공에서 진행되었다.

Fig. 8에 Zn-CuI 박막 트랜지스터의 NBS 및 PBS 신뢰성 측정에 따른 각 시간 별 문턱 전압 변화량(ΔV_h)을 도시한 표이며, 신뢰성 테스트 후 PBS는 0.78 V, NBS는 -0.77 V의 문턱 전압 변화가 나타났다. NBS, PBS 신뢰성 측정에 의 한 ΔV_h 는 반도체 내부와 반도체-절연막 계면에서의 캐리 어 trap에 의해 영향을 받는데 본 연구에서 제작한 150 °C CuI는 0.52 nm의 매우 매끄러운 표면을 가지고 있을 뿐만 아니라 Zn 도핑 시 격자왜곡이 일어나지 않아 결함이 적 다는 점에서 우수한 신뢰성을 보유할 수 있었다.

4. 결 론

본 논문에서는 CVD 방법으로 제작한 Cul 박막과 이를 이용한 박막 트랜지스터의 공정 온도에 따른 전기적 특성 에 대하여 조사하였다. AFM 측정 결과, CVD 공정 중 기 판 온도가 증가할수록 Cul의 표면 거칠기 값이 증가함을 확인하였다. 특히 250 ℃의 기판 온도에서 제작된 Cul는 매우 나쁜 표면 거칠기 값을 나타냈다. 모든 Cul 박막은 홀 측정 결과 p-type 특성을 나타내었다. 이를 활용하여 제작 한 TFT의 경우 높은 캐리어 농도로 인해 10², 10¹의 on/off ratio를 나타내었다. 이는 Cul의 높은 정공 농도에 의한 현 상으로 캐리어 정공 농도를 줄이기 위하여 Zn capping layer를 도입하였으며, Zn capping layer가 도입된 박막 트 랜지스터는 10⁴의 on/off ratio, 이동도 0.11 cm²/Vs, S.S 1.74 V/decade의 전기적 특성을 가지며 정상적인 트랜지 스터 거동을 보였다. 또한 PBS, NBS 결과 +1 V, -1 V 내외 의 문턱전압 변화를 보이며 전기적으로 매우 안정적인 성 능을 가짐을 확인할 수 있었다.

Acknowledgement

This research was supported by the Basic Science Research Program through the National Research Foundation of Korea (NRF) funded by the Ministry of Education (Grant numbers: 2022R1A2C2008273, 2021R1A6A1A03043682, 2021M3F3A2A03017873). This work was also supported by the Dongguk University Research Fund of 2023.

References

- A. Liu, H. Zhu, M. G. Kim, J. H. Kim and Y. Y. Noh, Adv. Sci., 8, 2100546 (2021).
- A. A. Hala, A. Caraveo-Frescas, M. N. Hedhili and H. N. Alshareef, ACS Appl. Mater. Interfaces, 5, 9615 (2013).
- J. Y. Choi, S. Kim, D. H. Kim and S. Y. Lee, Thin Solid Films, **594**, 293 (2015).
- M. Grundmann, F. L. Schein, M. Lorenz, T. Böntgen, J. Lenzner and H. von Wenckstern Phys. Status Solidi A, 210, 1671 (2013).
- G. A. Sepalage, S. Meyer, A. Pascoe, A. D. Scully, F. Huang, U. Bach, Y. B. Cheng and L. Spiccia, Adv. Funct. Mater., 25, 5650 (2015).
- M. G. Shin, K. H. Bae, H. S. Jeong, D. H. Kim, H. S. Cha and H. I. Kwon, Micromachines, **11**, 917 (2020).
- A. Liu, H. Zhu, W. T. Park, S. J. Kim, H. Kim, M. G. Kim and Y. Y. Noh, Nat. Commun., 11, 4309 (2020).
- A. Annadi, N. Zhang, D. B. K. Lim and H. Gong, ACS Appl. Electron. Mater., 1, 1029 (2019).
- Z. W. Shang, H. H. Hsu, Z. W. Zheng and Cheng, C. H., Nanotechnol. Rev., 8, 422 (2019).
- N. N. Mude, R. N. Bukke and J. Jang, Adv. Mater. Technol., 7, 2101434 (2022).
- X. Yuan, W. Dou, Y. Wang, J. Zeng, L. Wang, L. Lei and D. Tang, IEEE Trans. Electron Devices, 69, 6480 (2022).
- Z. Wang, H. A. Al-Jawhari, P. K. Nayak, J. A. Caraveo-Frescas, N. Wei, M. N. Hedhili and H. N. Alshareef, Sci. Rep., 5, 9617 (2015).
- C. Yang, M. Kneiβ, M. Lorenz and M. Grundmann, Proc. Natl. Acad. Sci. U. S. A., **113**, 46 (2016).
- P. Storm, M. S. Bar, G. Benndorf, S. Selle, C. Yang, H. Von Wenckstern and M. Lorenz, APL Mater., 8, 091115 (2020).

- A. Liu, H. Zhu, W. T. Park, S. J. Kang, Y. Xu, M. G. Kim and Y. Y. Noh, Adv. Mater., **30**, 1802379 (2018).
- C. H. Choi, J. Y. Gorecki, Z. Fang, M. Allen, S. Li, L. Y. Lin and C. H. Chang, J. Mater. Chem. C, 4, 10309 (2016).
- E. J. Bae, J. Kim, M. Han and Y. H. Kang, ACS Mater. Lett., 5, 8 (2023).
- H. Wu, L. Liang, X. Wang, X. Shi, H. Zhang, Y. Pei and H. Cao, Appl. Surf. Sci., 612, 155795 (2023).
- T. Kim and J. K. Jeong, Phys. Status Solidi RRL, 16, 2100394 (2022).
- H. J. Lee, S. Lee, Y. Ji, K. G. Cho, K. S. Choi, C. Jeon, K. H. Lee and K. Hong, ACS Appl. Mater. Interfaces, **11**, 40243 (2019).
- S. Lee, H. J. Lee, Y. Ji, S. M. Choi, K. H. Lee and K. Hong, J. Mater. Chem. C, 8, 9608 (2020).
- 22. A. Liu, H. Zhu, W. Park, S. Kang, Y. Xu, M. Kim and Y. Noh, Adv. Mater., **30**, 1802379 (2018).

<저자소개>

이승민

충남대학교 신소재공학과 학생

장성철

동국대학교 융합에너지 신소재공학과 학생

박지민

동국대학교 융합에너지 신소재공학과 학생

윤순길

충남대학교 신소재공학과 교수

김현석

충남대학교 신소재공학과 교수 동국대학교 융합에너지 신소재공학과 교수