

https://doi.org/10.7236/JIIBC.2023.23.5.109
JIIBC 2023-5-17

Ka-대역 CMOS 2채널 이미지 제거 수신기

Ka-band CMOS 2-Channel Image-Reject Receiver

이동주*, 안세환*, 주지한*, 권준범*, 김영훈**, 이상훈**

Dongju Lee*, Se-Hwan An*, Ji-Han Joo*, Jun-Beom Kwon*,
Younghoon Kim**, Sanghun Lee**

요약 본 논문에서는 Ka-대역 소형 레이더에 적용하기 위한 65-nm CMOS 기반 2채널 이미지 제거 수신기를 기술하였다. 설계된 수신기는 Low-Noise Amplifier (LNA), IQ mixer 및 Analog Baseband (ABB) 회로로 구성된다. ABB 내에 complex filter를 포함하여 원하지 않는 이미지 성분을 억제할 수 있으며, RF 및 ABB의 가변 이득 증폭기 (VGA)에서 이득을 4.5-56 dB 범위에서 조절할 수 있어 수신기의 동적 영역을 확보할 수 있다. 이득 조절은 수신기에 내장된 SPI 컨트롤러를 통해 수행된다. 수신기 칩은 Ka-대역 목표주파수 내 이득 36 dB에서 잡음지수 <15 dB, OP1dB >4 dBm, 이미지 제거비 >30 dB, 채널 간 격리도 >45 dB 특성을 보였다. 본 수신기는 1.2 V 공급전압에서 420 mA를 소모하며, 칩 면적은 4000×1600 μm 이다.

Abstract In this paper, a 2-channel Image-Reject receiver using a 65-nm CMOS process is presented for Ka-band compact radars. The designed receiver consists of Low-Noise Amplifier (LNA), IQ mixer, and Analog Baseband (ABB). ABB includes a complex filter in order to suppress unwanted images, and the variable gain amplifiers (VGAs) in RF block and ABB have gain tuning range from 4.5-56 dB for wide dynamic range. The gain of the receiver is controlled by on-chip SPI controllers. The receiver has noise figure of <15 dB, OP1dB of >4 dBm, image rejection ratio of >30 dB, and channel isolation of >45 dB at the voltage gain of 36 dB, in the Ka-band target frequency. The receiver consumes 420 mA at 1.2 V supply with die area of 4000×1600 μm.

Key Words : Receiver, Ka-band, CMOS, image rejection, analog baseband, complex filter

1. 서 론

최근 소형 레이더 센서, 위성통신 등 다양한 분야의 기술발전으로 밀리미터파 대역 집적회로에 대한 연구가 활발하게 진행되고 있다^[1-5]. Ka-대역 (26.5~40 GHz) 레이더 센서는 작은 안테나 크기를 가지므로 여러 밀리

미터파 회로들을 집적화한 CMOS 기반 단일칩이 선호된다. 레이더 센서의 소형화를 위해 단일 안테나 적용시, 송신기 모듈^[6]의 누설 신호가 수신기의 입력으로 인가되어 포화시킬 수 있으므로 입력신호 크기에 따라 수신기의 이득을 조절하는 기능이 필요하며, Analog Baseband (ABB) 단에 가변 이득 증폭기 (VGA)를 집적화하여 이득

*정회원, LIG넥스원(주)

**정회원, 웨이브피아

접수일자 2023년 9월 6일, 수정완료 2023년 9월 30일
게재확정일자 2023년 10월 6일

Received: 6 September, 2023 / Revised: 30 September, 2023 /

Accepted: 6 October, 2023

Corresponding Author: dongju.lee@lignex1.com

Dept of RF Seeker R&D Lab, LIG Nex1 Co., Ltd. Korea.

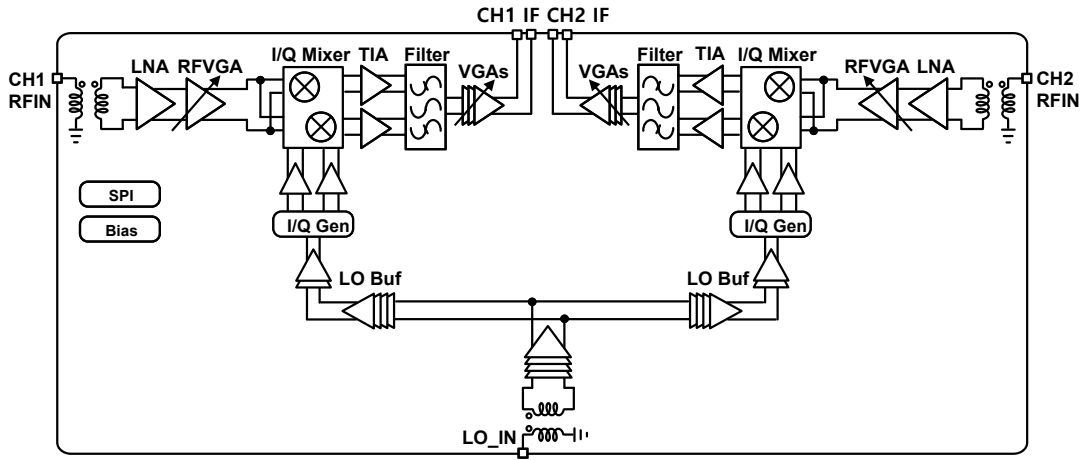


그림 1. Ka-대역 2채널 수신기 블록 다이어그램
Fig. 1. Block diagram of a Ka-band 2-ch receiver

을 조절할 수 있다^[7-9].

Low-IF 수신기 구조에서 이미지를 억제하기 위한 방안으로 ABB에 complex filter를 적용할 수 있으며^[10], 대역 선택 및 이미지 제거를 수행할 수 있다. 본 논문에서는 이미지 제거 및 가변 이득 기능을 포함하는 Ka-대역 2채널 수신기를 제안하며, SPI 컨트롤러를 내장하여 외부에서 이득 제어가 가능하다.

II. 수신기 설계 및 제작

1. 수신기 MMIC

그림 1은 Ka-대역 수신기 MMIC의 구조를 나타낸다. Ka-대역 RF 신호를 입력받아 LNA, RFVGA를 통해 저잡음 증폭 후 IQ Mixer를 통해 IF 주파수 대역으로 하향 변환한다. RF 및 LO 입력단의 외부 인터페이스는 single-ended 이므로 각 입력단에 balun을 집적화하였으며, LNA 및 Mixer를 differential로 동작시킬 수 있어 동작모드 잡음 및 짝수 하모닉을 제거할 수 있다.

수신기 2채널, LO분배기, SPI 컨트롤러 등을 단일칩에 집적화하여 경로손실 및 면적을 최소화하였으며, 이때 각 채널의 RF 입력신호가 다른 채널의 IF로 출력되지 않도록 채널 간 격리도가 고려되어야 한다. 채널 간 간섭 최소화를 위해 RF 입력단을 반대로 배치하였으며, IC 내에서 채널 간 그라운드를 분리하여 격리도 목표치인 >40 dB를 충족하고자 하였다.

ABB에는 complex filter를 적용하였으며, 그림 2(a)

와 같이 low-pass filter 주파수 응답특성을 우측으로 이동시킬 수 있어 채널 선택 및 이미지 제거비(IRR : Image Rejection Ratio)를 향상시킬 수 있다^[10]. IRR 시뮬레이션 결과는 그림 2(b)와 같으며, 최대 이득 11.4 dB@121.5 MHz 기준으로 설계 목표치는 >30 dB이다. Complex filter는 active 방식으로 구현하였으며, 이득 확보 및 뒷 단의 VGA의 잡음의 영향을 줄일 수 있다.

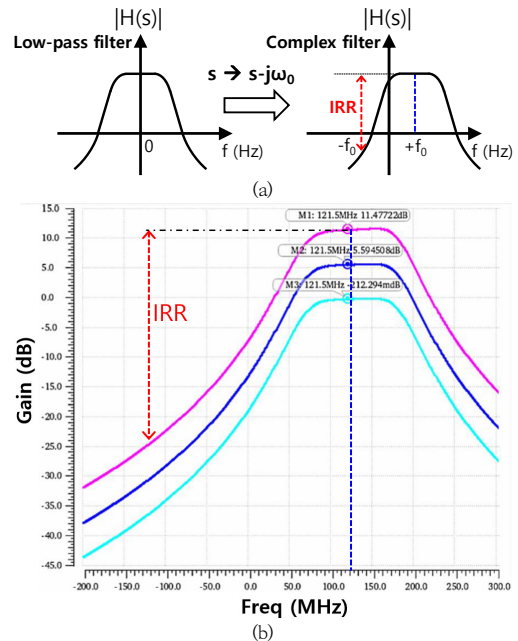


그림 2. Complex filter (a) 특성 (b) IRR 시뮬레이션
Fig. 2. Complex filter (a) characteristics (b) simulation result of image rejection ratio (IRR)

ABB의 전체 이득은 약 3 dB 간격으로 0-39 dB 범위 내에서 조절이 가능하며, 시뮬레이션 결과를 그림 3에 나타내었다. 구현된 ABB는 on-chip SPI 컨트롤러를 통해 4-bit 범위에서 이득을 제어할 수 있다.

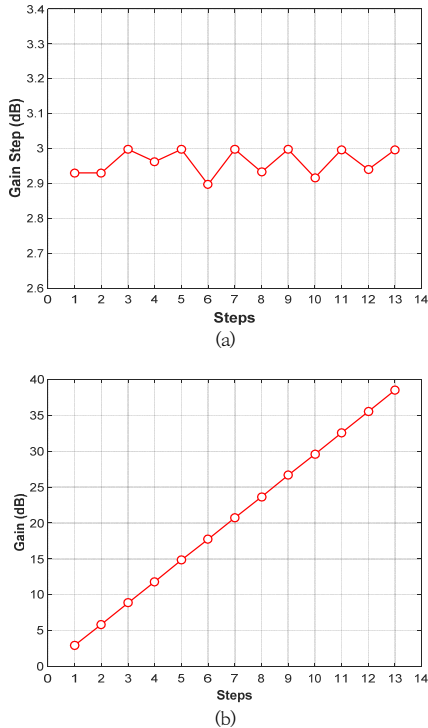


그림 3. ABB 이득 시뮬레이션 (a) 스텝 크기 (b) 총 이득
 Fig. 3. Simulated ABB gain (a) step size (b) total gain

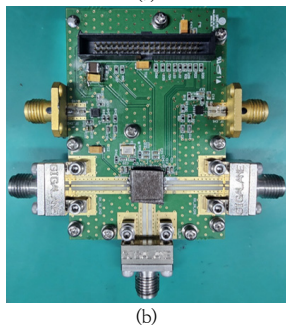
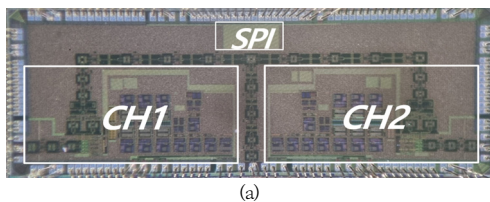


그림 4. 수신기 (a) 칩 사진 (b) 평가보드
 Fig. 4. Receiver (a) chip microphotograph (b) evaluation Board

제작된 수신기 IC의 형상은 그림 4(a)와 같다. 65-nm RF CMOS 공정으로 제작되었으며, 수신기 2채널, LO분배기, SPI 컨트롤러를 포함하여 전체크기는 $4000 \times 1600 \mu\text{m}$ 이다. IC 특성 검증을 위한 평가보드는 그림 4(b)와 같으며, QFN 패키지에 IC를 실장하고 외부 제어보드에 연결하여 특성을 평가하였다.

III. 측정 결과

수신기의 측정 셋업을 그림 5에 제시하였다. RF 및 LO 입력을 signal generator 장비에서 인가하고 PC에서 SPI를 제어하여 spectrum analyzer에서 출력 주파수를 관찰하였다. 이 때 인가한 RF 및 LO 입력 신호의 크기는 각각 -50 dBm / -20 dBm 이며, 잡음지수 측정시 Ka-대역 잡음원을 RF 단에 연결하여 calibration 수행 후 다시 signal generator를 연결하여 이득 및 잡음지수를 확인하였다.

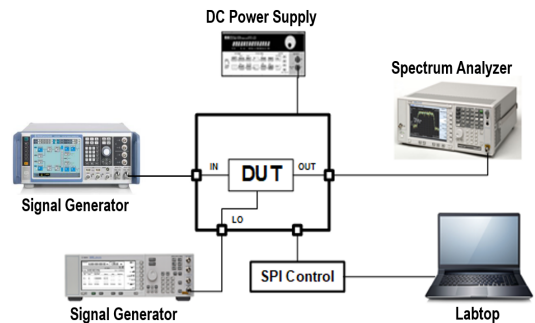
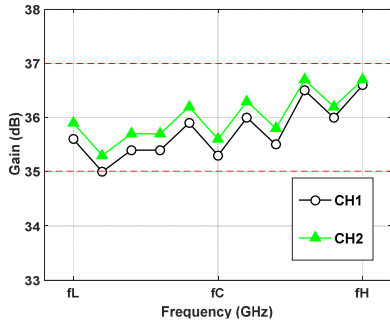
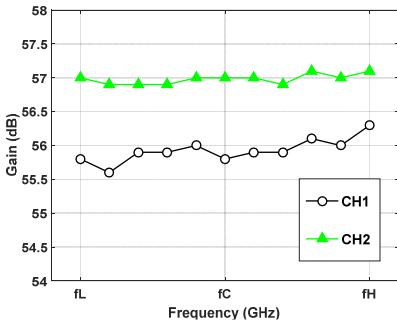


그림 5. 수신기 측정 셋업
 Fig. 5. Measurement setup for receiver

그림 6은 RF 입력주파수에 대한 수신기 이득 측정결과를 나타낸다. 기준 이득 36 dB에서 편차 1 dB 이내를 만족하였으며, 최대 이득은 56-57 dB로 측정되었다. PCB 및 커넥터의 손실은 약 2.5 dB이며, 패키징 및 wire-bonding 손실을 감안하면 IC의 순수 이득은 60 dB 이상으로 판단된다. 기준 이득에서 측정한 잡음지수는 그림 7과 같으며, 13.5-14.5 dB 수준으로 목표치인 15 dB 이하를 만족하였다.



(a)



(b)

그림 6. 이득 측정 결과 (a) 기준 이득 (b) 최대 이득
Fig. 6. Measured gain (a) reference gain (b) max gain

표 1. 수신기 측정 성능 요약
Table 1. Measured performance summary of the receiver

Process	65-nm RF CMOS
면적	4000×1600 μm
소모전력	1.2 V / 420 mA
이득 조절	4.5-56 dB (RF block 18 dB, ABB 33.5 dB)
잡음지수	<15 dB
OP1dB	>4 dBm
채널 간 격리도	>45 dB
IRR	>33 dB
IF 대역폭	121.5 MHz±60 MHz

그림 8은 출력 P1dB 측정 결과이며, 기준 이득 36 dB 에서 채널별 4.36~4.71 dBm 범위로 측정되어 채널 편차 0.5 dB 이내, 목표치 >0 dBm 이상을 충족하였다.

수신기의 주요 성능을 표 1에 요약하였다. 1.2 V 공급 전압에서 420 mA를 소모하여 설계치인 406 mA와 유사한 수준이며, 이득을 제외한 주요 측정값들은 기준 이득 36 dB 세팅값을 바탕으로 검증되어 목표치를 충족함을 확인하였다.

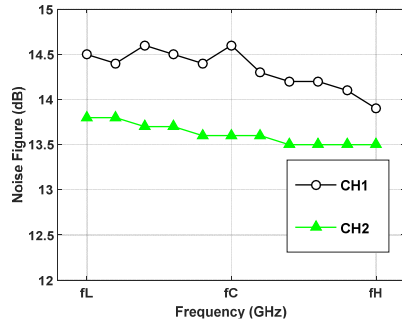


그림 7. 잡음지수 측정 결과 (기준 이득)
Fig. 7. Measured noise figure at reference gain

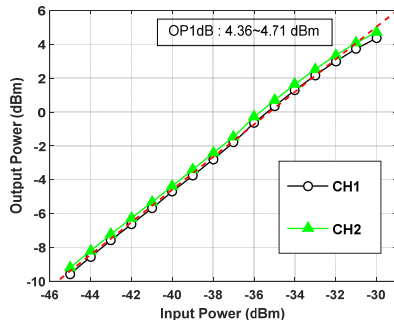


그림 8. 출력 P1dB 측정 결과 (기준 이득)
Fig. 8. Measured P1dB at reference gain

IV. 결론

본 논문에서는 65-nm CMOS 공정을 사용한 Ka-대역 수신기 IC를 제안하였다. Low-IF 수신기의 대역 선택 및 이미지 제거를 위해 complex filter를 적용하였으며, RF단 및 ABB에 VGA를 적용하여 SPI 제어를 통해 이득을 조절하였다. 수신기 2채널 및 SPI 컨트롤러를 단일칩에 집적화하였으며, 실제 측정을 통해 이득 4.5-56 dB, OP1dB >4 dBm, 채널 간 격리도 >45 dB, IRR >33 dB를 확인하였다. 본 연구를 통해 확보한 수신기를 Ka-대역 소형 레이더에 적용 가능할 것으로 기대된다.

References

[1] H. Im, H. Jung, J. Lee, S. Park, and C. Park, "Ka-Band Variable-Gain CMOS Low Noise Amplifier for Satellite Communication System," Journal of the Korea Institute of Information and Communication

Engineering, vol. 23, no. 8, pp. 959-965, 2019.
 DOI: <https://doi.org/10.6109/jkiice.2019.23.8.959>

- [2] Hong-Gu Ji, "GaN HPA Monolithic Microwave Integrated Circuit for Ka band Satellite Down link Payload", The Journal of Korea Academia- Industrial cooperation Society(JKAIS), Vol. 16, No. 12, pp. 8643-8648, 2015.
 DOI: <https://doi.org/10.5762/KAIS.2015.16.12.8643>
- [3] Mihui Seo, Hae-Chang Jeong, Kyoung-Il Na, and Sosu Kim, "Development of the Ka-band Frequency Synthesizer and Receiver based on MMIC", The Journal of The Institute of Internet, Broadcasting and Communication (IIBC), Vol. 23, No. 1, pp. 123-129, 2023.
 DOI: <https://doi.org/10.7236/IIBC.2023.23.1.123>
- [4] Seok-Ho Noh, Jee-Youl Ryu, "Development of a Low-Power 24GHz Low Noise Amplifier", The Journal of KIIT, Vol. 18, No. 8, pp. 51-56, 2020.
 DOI: <https://doi.org/10.14801/jkiit.2020.18.8.51>
- [5] Jun-pyo Lee, Dong-yeol Yang, and Byung-sung Kim, "Design of a Ka-Band Receiver Using 28-nm CMOS Process", J. Korean Inst. Electromagn. Eng. Sci. 33(5), pp. 410-413, 2022.
 DOI: <https://doi.org/10.5515/KJKIEES.2022.33.5.410>
- [6] Ju-Heun Lee, Hyo-Chul Kim, Heung-Rae Cho, Deok-Jae Lee, Se-Hwan An, Man-Hee Lee, Ji-Han Joo, and Hong-Rak Kim, "Design and fabrication of 200W SSPA in Ka-band", The Journal of KIIT, Vol. 20, No. 2, pp. 79-88, 2022.
 DOI: <https://doi.org/10.14801/jkiit.2022.20.2.79>
- [7] M. Hosoya, T. Mitomo, and O. Watanabe, "A 900-MHz bandwidth analog baseband circuit with 1-dB step and 30-dB gain dynamic range," 2010 Proceedings of ESSCIRC, Seville, Spain, pp. 466-469.
 DOI: <https://doi.org/10.1109/RFIG.2013.6569567>
- [8] V. Szortyka, K. Raczkowski, M. Kuijk, and P. Wambacq, "A 42mW wideband baseband receiver section with beamforming functionality for 60GHz applications in 40nm low-power CMOS," 2012 IEEE Radio Frequency Integrated Circuits Symposium, Montreal, QC, Canada, 2012, pp. 261-264.
 DOI: <https://doi.org/10.1109/RFIG.2012.6242277>
- [9] Y. Wang, C. Hull, G. Murata and S. Ravid, "A linear-in-dB analog baseband circuit for low power 60GHz receiver in standard 65nm CMOS," 2013 IEEE Radio Frequency Integrated Circuits Symposium (RFIC), Seattle, WA, USA, 2013, pp. 225-228.
 DOI: <https://doi.org/10.1109/RFIG.2013.6569567>
- [10] S. Delshadpour, "A 2.6 MHz Bandwidth, 3rd/5th Order Active-RC Polyphase Filter with Quadrature Offset Cancellation for Low-IF GPS Radio," 2019 IEEE 62nd International Midwest Symposium on Circuits and Systems (MWSCAS), Dallas, TX, USA, 2019, pp. 1017-1020.
 DOI: <https://doi.org/10.1109/MWSCAS.2019.8885262>
<https://doi.org/10.1109/MWSCAS.2019.8885262>

저 자 소 개

이 동 주(정회원)



- 2005년 8월 : 충남대학교 전자공학과 (공학사)
- 2008년 2월 : 광주과학기술원 전기전자컴퓨터공학부 (공학석사)
- 2016년 8월 : 광주과학기술원 전기전자컴퓨터공학부 (공학박사)
- 2016년 9월 ~ 현재 : LIG넥스원(주) 선임연구원
- 주 관심분야 : mm-Wave MMIC 및 시스템 설계

안 세 환(정회원)



- 2004년 2월 : 숭실대학교 정보통신공학과 (공학사)
- 2006년 2월 : 숭실대학교 정보통신공학과 (공학석사)
- 2007년 1월 ~ 현재 : LIG넥스원(주) 수석연구원

- 주 관심분야 : 초고주파 회로 설계, 마이크로파 송수신기

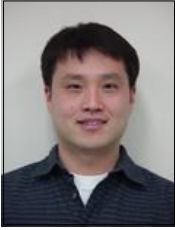
주 지 한(정회원)



- 2002년 8월 : 충북대학교 전파공학과 (공학사)
- 2004년 8월 : 광운대학교 전파공학과 (공학석사)
- 2008년 8월 : 광운대학교 전파공학과 (공학박사)
- 2008년 7월 ~ 현재 : LIG넥스원(주) 수석연구원

- 주 관심분야 : 레이더 시스템, 마이크로파 신호처리

권 준 범(정회원)



- 1997년 2월 : 연세대학교 전기전자공학과 (공학사)
- 1999년 2월 : 포항공과대학교 전자전기공학과 (공학석사)
- 1999년 2월 ~ 현재 : LIG넥스원(주) 수석연구원

• 주 관심분야 : 레이더 시스템, 마이크로파 신호처리

김 영 훈(정회원)



- 2005년 2월 : 경남대학교 정보통신공학과 (공학사)
- 2007년 8월 : 경남대학교 정보통신공학과 (공학석사)
- 2007년 5월 ~ 2019년 4월 : ㈜피플웍스 Mil.사업부 수석연구원
- 2019년 5월 ~ 현재 : ㈜웨이브피아 연구소 상무이사

• 주 관심분야 : GaN Transistor 및 MMIC

이 상 훈(정회원)



- 2002년 2월 : 광운대학교 전자공학과 (공학사)
- 2004년 2월 : 광운대학교 전자공학과 (공학석사)
- 2012년 8월 : Texas A&M University(공학박사)
- 2012년 6월 ~ 2014년 9월 : 삼성전자 반도체 부문 연구원

• 2014년 9월 ~ 현재 : ㈜웨이브피아 대표이사, CTO

• 주 관심분야 : GaN Transistor 및 MMIC, CMOS IC

※ 이 논문은 2023년 정부(방위사업청)의 재원으로 국방과학연구소의 지원을 받아 수행된 연구임(UC220027SD)