

<https://doi.org/10.7236/JIIBC.2023.23.5.41>
JIIBC 2023-5-7

레이다 신호처리 보드의 EMC 대책 설계

Design of EMC countermeasures for radar signal processing board

김홍락*, 이만희**, 김윤진**, 박성호**

Hong-Rak Kim*, Man-hee Lee**, Youn-Jin Kim**, Seong-ho Park**

요약 레이다 시스템에서 최대 탐지거리를 충족하는 것은 매우 중요하다. 최대 탐지거리를 충족하기 위해서는 레이다 시스템의 수신신호에 대한 민감도가 높아야 한다. 또한 레이다 신호처리기에서 동적 영역이 넓어야 한다. 이러한 요구사항을 충족하기 위해서는 신호처리기 보드가 외부 및 내부 노이즈에 강인하게 설계되어야 한다. 특히 보드 내부에서 여러 스위칭 회로로 인하여 발생하는 잡음이 수신되는 레이다 신호에 영향을 최소화 하기 위한 설계가 필요하다. 본 논문에서는 레이다 시스템 성능을 충족하기 위하여 신호처리기 보드의 요구사항을 도출하고 도출된 요구사항을 충족하기 위한 설계에 대하여 기술한다. 또한 외부에서 입력되어 들어오거나 내부에서 생성되는 노이즈의 영향을 최소화 하기 위한 EMC 설계에 대하여 기술한다. 제작된 보드의 시험을 통하여 확보된 성능을 확인한다.

Abstract It is very important to meet the maximum detection range in a radar system. In order to meet the maximum detection Range, the sensitivity of the received signal of the radar system must be high. In addition, the dynamic range should be wide in the radar signal processing board. To meet these requirements, the signal processing board must be designed to be robust against external and internal noise. In particular, a design is required to minimize the effect of noise generated by various switching circuits inside the board on the received radar signal. In this paper, we derive the requirements of the signal processor board to meet the radar system performance and describe the design to meet the derived requirements. In addition, the EMC design to minimize the influence of noise input from the outside or generated from the inside is described. Confirm the secured performance through the test of the manufactured board.

Key Words : Radar, Signal Processing, EMC, Noise

1. 서 론

레이다 시스템의 요구사항 중 탐지거리는 매우 중요하다. 탐지거리를 늘리기 위해서는 레이다 방정식을 기본

으로 각 파라미터들의 값을 이용하여 탐지거리를 증가시킬 수 있는 방법을 찾는다. 식 1은 일반적인 레이다 방정식을 보여주고 있다.^{[1][2]}

*정회원, LIG넥스원(주) 감시정찰연구소 (교신저자)

**정회원, LIG넥스원(주) 감시정찰연구소

접수일자 2023년 8월 19일, 수정완료 2023년 9월 19일
게재확정일자 2023년 10월 6일

Received: 19 August, 2023 / Revised: 19 September, 2023 /

Accepted: 6 October, 2023

Corresponding Author: hongrak.kim@lignex1.com

Dept. of RF & IIR Seeker R&D Lab, LIG Nex1 Co., Ltd. Korea

$$R_{\max}^4 = \frac{P_t d_t^2 G_t G_r A^2 \sigma}{(4\pi)^3 (S/N) k T B_d F d_r L} \quad (1)$$

여기서 P_t 는 송신 출력, d_t 는 송신 듀티, G_t 는 출력 안테나 이득, G_r 수신 안테나 이득, λ 는 주파수 파장, σ 는 레이더 단면적, (S/N) 은 신호대 잡음비, k 는 볼츠만 상수로 1.38×10^{-23} 이다. T 는 절대온도, B_d 는 포들러 대역폭, F 는 잡음 지수, d_r 은 수신 듀티, L 은 여러 손실들의 합이다. 탐지거리를 높이기 위해서는 분자 항목들 값을 올리고 분모의 항목들 값을 내려야 한다. 송신 출력력을 예를 들면 기존 1kW 출력에서 1dB 올릴려면 260W를 올려야 한다. 기존 송신기 가격의 50% 이상이 올라가게 된다. 하지만 탐지거리는 고작 1.8km 정도 상승에 그친다. 비용대비 탐지거리 상승에는 미미하다. 안테나 이득은 안테나 크기를 크게 하여 쉽게 증가를 시킬 수 있다. 하지만 제한된 무게와 사이즈로 쉽게 이득을 올릴 수 없다. 송신 듀티를 높이면 도플러 모호성이 커질 수 있어서 무작정 올리기에는 한계가 있다. 잡음 지수를 낮추면 탐지거리를 높일 수 있지만 잡음 지수도 수신단의 비용증가를 유발시키면서 기대 보다 한계가 크다. 여러 손실들은 기본적으로 최소화 해서 설계를 하기 때문에 더 줄일 수 있는 여유가 없다. 결국 신호대 잡음 비인 (S/N) 을 낮추어야 한다. 신호처리 보드 설계에 해당하는 내용으로 직접적으로 비용이 증가하지는 않는다.^{[3][4][5]}

II. 신호처리 보드 설계

1. 신호처리 보드 요구사항

레이더 시스템의 최대 탐지거리를 충족하기 위한 신호처리 보드의 요구사항은 다음과 같다.

표 1. 신호처리 보드 주요 사양
Table 1. Signal Processing Board Unit Specification.

| 항목 | 개발 사양 | 비고 |
|----------|-------------------|----|
| 수신 입력 | 4개 채널 | |
| ADC 동적영역 | OO dB 이상 | |
| DDC | 14 bit 이상 | |
| 펄스 압축 | 압축 펄스폭 : 000 ns | |
| 적분수 | SNR 에 따른 가변 구조 | |
| 통신 | RS232, GbE, RS485 | |
| 동작 클럭 | 1.0 GHz 이상 | |
| RAM | DDR3 1Gb | |
| FPGA | Kintex 7 이상 | |

표 1은 신호처리 보드의 주요 사양에 대하여 보여주고 있다. 각 아날로그 수신신호 4개 채널에 대하여 동적 영역 요구사항이 OODB 로 주어져 있다. FPGA 내부에서 수행되는 Direct Digital Conversion(DDC), 펄스압축, 적분등을 수행하기 위하여 FPGA는 Kintex 7 이상이 요구되어지고 있다. CPU는 신호처리 연산을 실시간으로 처리하기 위하여 클럭이 1.0GHz 이상으로 요구되어지고 있다.

2. 요구사항 충족위한 보드 설계

수신 입력신호에 대한 ADC 동적영역 요구사항을 만족 시키기 위해서는 몇가지 지켜야 할 신호처리 보드 설계 규칙이 있다. 첫 번째는 아날로그 신호와 디지털 신호가 하나의 보드에 같이 있으므로 신호의 분리가 매우 중요하다. 주요 부품들의 선정이 끝나면 부품 배치를 수행한다. 이때 아날로그 신호의 부분과 디지털 신호의 부분으로 나누어 신호의 흐름에 따라서 부품 배치를 수행한다. 그림 1은 신호처리 보드 부품 배치도 이다.

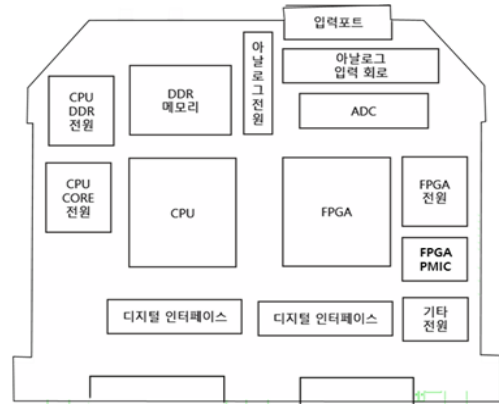


그림 1. 신호처리 보드 부품 배치
Fig. 1. Placement of signal processing board parts

수신기로부터 입력되는 4채널 신호는 신호의 손실을 최소화 하기 위하여 동축 케이블을 통하여 SMA 커넥터를 통해서 입력포트로 입력된다. 입력된 아날로그 신호의 손실을 최소화하고 충분한 동적영역을 확보할 수 있도록 아날로그 입력 회로 설계 및 ADC(아날로그 디지털 변환기)를 선정하여야 한다. 아날로그 입력 회로 설계는 수신 회로부와 신호처리 보드간 사용하는 전원이 다르기 때문에 전위차에 의한 손실도 발생할 수 있으므로 수신 신호만 입력단에서 받기 위하여 분리 회로가 필요하다.

분리 회로는 1:1 Transformer와 차동 입력단을 가지는 ADC를 적용한다. Transformer는 공통모드 노이즈를 제거하기 위하여 광범위하게 사용된다. 그 후 ADC의 RC 회로 모델링을 통하여 임피던스 매칭 설계를 진행 한다. 그림 2는 수신 신호입력부의 회로도이며 입력되는 수신신호의 주파수와 임피던스 매칭을 고려하여 저항값을 선정한다. 회로설계가 되면 PCB에 신호의 흐름상에서 외부로 노출이 되지 않도록 차폐가 중요하다. 3채널의 수신신호는 별도의 PCB 레이어에 할당하여 신호선이 ADC로 연결되도록 하며 중간에 여러 부품들과의 연결은 비아를 통하여 연결되며 비아와 부품사이 간격은 매우 가깝게 배치한다. 신호선은 3개 채널이 하나의 레이어에 할당되므로 상호간 cross talk이 발생할 수 있다. 신호선의 경로는 최대한 짧게 하는 것이 좋지만 3 채널 간 위상차를 최소화 하기 위해서는 길이를 맞추어야 한다. 길이를 맞추고 나머지 부분에 대해서는 매쉬로 채우고 AGND 층과 비아로 연결하여 잡음이 AGND로 빠져서 원래 소스로 가도록 해 준다.

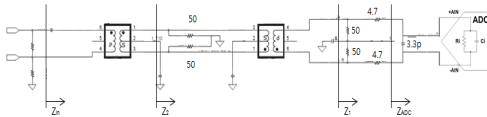


그림 2. 수신신호입력부
 Fig. 2. Receive signal input section

ADC는 동적 영역 요구사항을 만족하기 위하여 신호 대 잡음 비가 00 dB 이상으로 차동 입력을 받을 수 있는 ADC로 선정한다. ADC는 디지털 전원과 아날로그 전원을 모두 받아서 신호를 처리하기 때문에 아날로그 Ground, 디지털 Ground 로 나누어지는 부분에 배치를 한다. 가급적이면 ADC의 Ground 핀도 각 전원에 맞게 아날로그와 디지털로 분리된 IC를 선정한다. 그림 3은 ADC

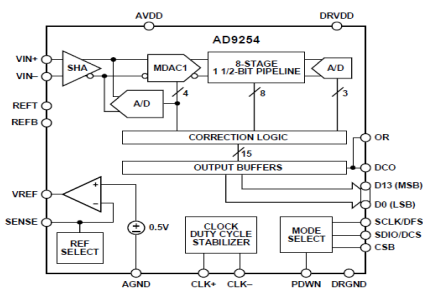


그림 3. ADC 내부 구성
 Fig. 3. ADC Inner Configuration

의 한 예로서 내부 구성을 보여주고 있다. 아날로그 전원은 AVDD, AGND로 구성되고, 디지털 전원은 DRVDD, DRGND 로 구성되며 전원별 GND가 별도로 있다.

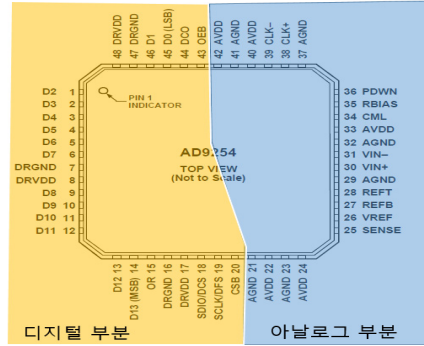


그림 4. ADC 전원 배치
 Fig. 4. ADC Power Layout

아날로그 신호가 디지털로 변환되기 위해서는 입력되는 동기 틀력에 맞추어서 아날로그 신호를 샘플링하고 홀드 한다. 이때 입력되는 아날로그 전원에 리플이 있으면 신호를 샘플링하고 홀드시 리플의 영향을 받게 된다. 리플의 영향을 최소화 하기 위하여 입력전원단에 매우 가깝게 Decoupling Capacitor를 배치한다. 그림 5는 Decoupling Capacitor 배치 가이드를 보여주고 있다. Decoupling Capacitor를 전원 핀에 매우 가깝게 배치를 하고 전원층에서 비아로 매우 가깝게 연결한다. 이런 것을 가능하도록 ADC의 전원핀은 GND 핀과 가깝게 배치된다. ADC의 전원을 공급하는 별도의 아날로그 전원은 외부에서 입력받은 전원으로 별도 전원 IC를 이용하여 생성하고 PCB 레이어의 아날로그 전원층으로 보낸다. 전원 IC는 전원의 리플특성이 좋은 Voltage Reference를 주로 많이 적용한다. 그림 6은 아날로그 전원에 대한 PCB 내부 전원층과 아날로그 신호 3개 채널의 신호패스를 위한 PCB 내부 신호층에 대하여 보여 주고 있다. 신호층을 GND 층으로 싸고 있고 신호선은 주변은 GND로 격벽을 쳐서 비아로 GND층과 연결하여 외부로 입력되는 잡음신호를 차단한다. 그림 7은 3 채널에 대한 PCB 아트웍 결과를 보여주고 있다. (a)는 3채널의 신호가 내부 레이어에서 별도로 동일한 길이로 배치가 되고 주변은 GND 메쉬 처리 되어 있다. (b)는 아날로그 GND와 디지털 GND층을 보여주고 있고(c)는 아날로그 전원과 디지털 전원층을 보여주고 있다.

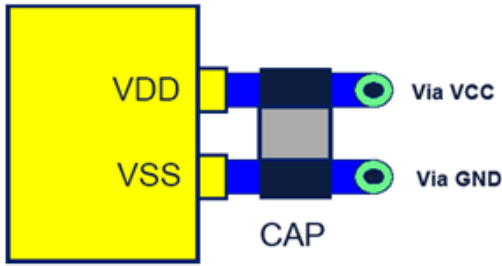


그림 5. Decoupling Capacitor 배치
Fig. 5. Decoupling Capacitor Layout

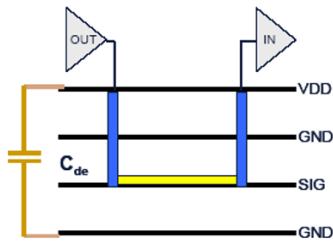


그림 6. PCB 전원층과 신호층 배치
Fig. 6. PCB Power layer and signal layer Layout

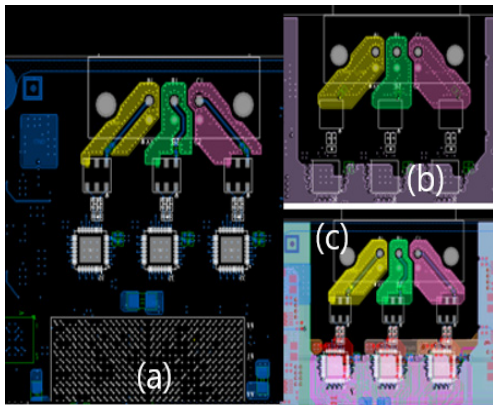


그림 7. PCB 아트웍 설계
Fig. 7. PCB Artwork Design

디지털 변환된 수신 신호는 FPGA로 입력되어 전처리가 되게 된다. FPGA 전원은 전원별 순차적으로 입력될 수 있도록 PMIC를 적용하는 것이 좋다. PMIC는 외부로부터 입력된 5V 전원을 이용하여 FPGA가 필요로 하는 낮은 전압들을 타이밍에 맞게 순차적으로 공급한다. 내부는 DC-DC 변환기와 LDO Regulator로 구성되어 있다.

FPGA가 실시간으로 요구되는 전처리 기능을 수행하기 위해서는 높은 동작 클럭이 필요하다. FPGA 외부에

서 입력되는 높은 클럭은 잡음에 큰 영향을 줄 수 있다. 별도로 마련되어 있는 고속 신호를 할당하는 PCB 층을 이용하여 충분한 차폐를 하면서 연결이 필요하다. 외부에서 오는 클럭신호의 경우 Differential Signaling을 통하여 받는 것이 필요하다. 본 설계에서는 모기판을 통하여 LVDS로 클럭이 보드로 입력되면 내부 고속 신호층을 통하여 FPGA로 입력된다. FPGA에서 시스템에 필요한 클럭들을 생성한다.

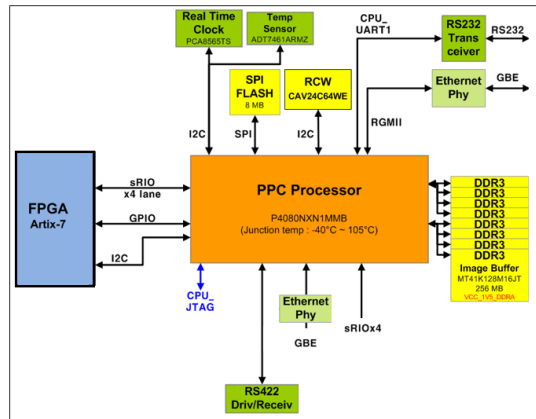


그림 8. CPU 회로 설계 블록도
Fig. 8. CPU Circuit Design Block Diagram

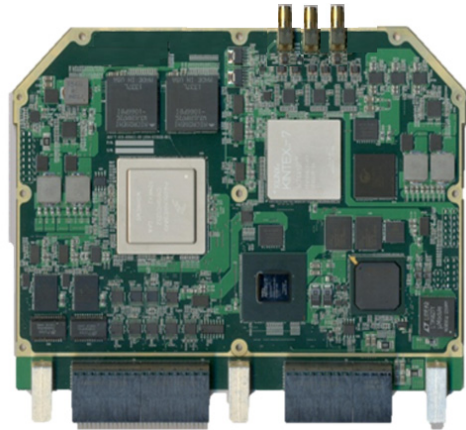


그림 9. 제작된 신호처리 보드
Fig. 9. Manufactured Signal Processing Board

그림 8은 CPU와 주변 회로설계의 블록도이다. CPU 및 주변회로에도 주파수가 높은 신호들이 많이 사용된다. CPU와 고속으로 데이터를 주고받는 DDR 메모리는 가까이 배치하여 전송 선로를 짧게 설계한다. CPU와 DDR 메모리의 전원은 그림 1과 같이 해당 부품의 옆으로 배치하

여 전원흐름과 신호흐름이 중첩되지 않도록 설계한다. FPGA와도 sRIO의 고속 통신으로 데이터를 주고 받는다. 고속신호는 별도의 고속신호를 위한 레이어를 통하여 전달되고 TOP과 BOTTOM 면은 부품 배치와 메쉬 설계를 통한 고주파 신호 차폐에 중점을 두고 설계한다. 외부 장치와 연결신호들은 BACK PLANE을 통하여 연결되므로 해당신호의 버퍼류들은 컨넥터와 가까이 배치한다. 그림 9는 제작된 신호처리 보드를 보여주고 있다.

3. 시험 결과

제작된 보드에 아날로그 신호를 입력으로 넣어서 디지털 변환된 신호를 통하여 동적영역 요구사항을 충족하는지 확인하였다. 그림 10은 시험결과를 보여주고 있다. 디지털 변환된 신호를 통하여 요구사항이 만족됨을 확인할 수 있다.

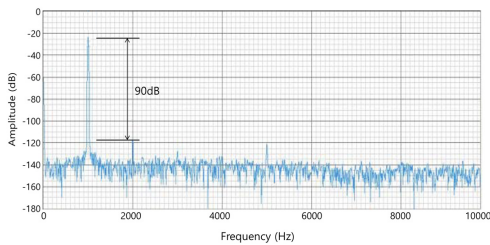


그림 10. 동적 영역 측정 결과
 Fig. 10. Dynamic Range Measurement Result

III. 결 론

본 논문에서는 레이더 시스템 성능을 충족하기 위하여 신호처리기 보드의 요구사항을 도출하고 도출된 요구사항을 충족하기 위한 설계에 대하여 기술하였다. 또한 외부에서 입력되어 들어오거나 내부에서 생성되는 노이즈의 영향을 최소화 하기 위한 신호처리기 설계에 대하여 기술하였다. 저잡음 설계 방안에 대하여 제시하였고 보드 제작을 통하여 수신신호의 디지털 변환 동적 영역 요구 사항 만족을 확인하였다.

References

[1] GEORGE W. STIMSON, "Introduction to Airborne Radar Second Edition", SciTech Publishing, Inc.

[2] Philippe Lacomme, Jean-Philippe Hardange, "Air and Spaceborne Radar Systems: An Introduction", 2001 by William Andrew Publishing, LLC.

[3] Jin-Kyu Choi, Jun-Ho Yoon, "A Design of the High-Performance Signal Processor for a Small Tracking Radar", CICS 2012, pp191-192, Oct, 2012.

[4] Doh Hyun Kim, Young Sung Lee, "Miniaturization of Signal Processor of Airborne Tracking Radar", The Korean Institute of Electrical Engineers Conference, pp114-117, Nov, 2002.
<http://www.dbpia.co.kr/Article/NODE01326985>

[5] Jin-Kyu Choi, Han-Chun Ryu, "A Development of the High-Performance Signal Processor for the Compact Millimeter Wave Radar", The Journal of The Institute of Internet, Broadcasting and Communication, Vol. 17, No. 6, pp.161-167, Dec.31, 2017.
 DOI: <https://doi.org/10.7236/IIBC.2017.17.6.161>

[6] Suyoung Bae, Jong-Soo Seok, "Implementation of CPU/GPU based acceleration kernels on OpenVX Framework for image processing on Embedded H/W platform". Proceedings of Symposium of the Korean Institute of communications and Information Sciences, 2019.11, 349-350

[7] Oliver Jakob Arndt, Daniel Becker, "Parallel Implementation of Real-Time Semi-Global Matching on Embedded Multi-Core Architectures", 978-1-4799-0103-6/130 ©2013 IEEE

[8] Sourav Dutta, Dimitri Kagaris, "Hypervisor-Induced Negative Interference in Virtualized Multi-Core Platforms: The P4080 Case", 2017 IEEE 11th International Symposium on Embedded Multicore / Many-core Systems-on-Chip
 DOI: <https://DOI.org/10.1109/MCSoc.2017.11>

[9] Dariusz Budzinski, Jerzy Kampa, "DETECTOR LOG VIDEO AMPLIFIER WITH 60 dB LOGGING FUNGE", 14th International Conference on Microwaves, Radar and Wireless Communications, May 2002.
 DOI: <https://doi.org/10.1109/MIKON.2002.1017847>

[10] Lim Joong-Soo, Park Young Chul, "An Analysis of Operating Characteristics for Digital Pulse Compressor of Coherent Radar in Time Domain", 2006 Conference on Korea Academy Industrial Cooperation Society, pp397-400, May 2006.

[11] Xinggan Zhang, Zhaoda Zhu, "A pulse compression processor implementation with DSP for airborne pulse Doppler radar", AIAA/IEEE Digital Avionics Systems Conference. 13th DASC, 30 Oct.-3 Nov. 1994.
 DOI: <https://doi.org/10.1109/DASC.1994.369447>

[12] Jeong-Yeon Kim, "X-Band FMCW RADAR Signal Processing for small ship" Journal of the Korea Academia-Industrial cooperation Society(IKAIS), Vol. 10, No. 11, pp. 3121-3129, 2009

[13] Sangsik Lee, "Development of Signal Process Software for Electromyograph(EMG)" The Journal of KIIECT, Vol. 2, No. 2, pp. 17-22, 2009.

- [14] Jongbok Lee, "Design and Simulation of ARM Processor using VHDL", The Journal of The Institute of Internet, Broadcasting and Communication(JIIBC), Vol. 18, No. 5, pp.229-235, Oct. 31, 2018.
DOI: <https://doi.org/10.7236/JIIBC.2018.18.5.229>
- [15] Jong-Pil Lee, Ill-Keun Rhee, "Development of High Resolution Target Simulator with Dual Sampling Clock Rates", Journal of Korean Institute of Information Technology 12(12), 2014.12, 31-39
- [16] Choi Jeong Hyun, Jo Han Moo, Yun Seok Jae, Ryu Dong Wan, "A Design of the Integrated Software Architecture for Missile System Test Set", Proceedings of Symposium of the Korean Institute of communications and Information Sciences, 2014.11.214-215
- [17] Jongbok Lee, "A Study On Statistical Simulation for Asymmetric Multi-Core Processor Architectures", The Journal of The Institute of Internet, Broadcasting and Communication (IIBC) Vol. 16, No. 2, pp.157-163, Apr. 30, 2016

저 자 소 개

김 흥 락(정회원)



- 1995년 2월 : 대구대학교 전자전기컴퓨터학부 (공학사)
- 1997년 8월 : 대구대학교 전자공학과 (공학석사)
- 1997년 7월 ~ 현재 : LIG넥스원(주) 수석연구원
- 주 관심분야 : 마이크로파 센서 시스템, 레이더 신호처리 등

김 윤 진(정회원)



- 1997년 2월 : 서울대학교 전기공학부 (공학사)
- 1999년 2월 : 서울대학교 전기공학부 (공학석사)
- 1999년 3월 ~ 현재 : LIG넥스원(주) 수석연구원
- 주 관심분야 : 초고주파 레이더 시스템 등

박 성 호(정회원)



- 2006년 2월 : 경상대학교 제어계측공학과(공학사)
- 2008년 8월 : 광주과학기술원 정보기전공학과(공학석사)
- 2008년 9월 ~ 현재 : LIG넥스원(주) 수석연구원
- 주 관심분야 : 마이크로파 센서 시스템, 레이더 신호처리 등

이 만 희(정회원)



- 2007년 2월 : 충남대학교 전기정보통신공학부 (공학사)
- 2009년 2월 : 충남대학교 전파공학과 (공학석사)
- 2009년 1월 ~ 현재 : LIG넥스원(주) 수석 연구원
- 주 관심분야 : 마이크로파 센서, 초고주파 회로 및 시스템 등