

인터널 노드 변환을 최소화시킨 저전력 플립플롭 회로

Low Power Flip-Flop Circuit with a Minimization of Internal Node Transition

최형규¹, 윤수연¹, 김수연¹, 송민규^{1,*}
(Hyung-gyu Choi¹, Su-yeon Yun¹, Soo-youn Kim¹, and Min-kyu Song^{1,*})

요약

본 논문에서는 dual change-sensing 기법을 사용하여 내부 노드 변환을 최소화시킨 저전력 플립플롭 회로를 제안한다. 제안하는 Dual Change-Sensing Flip-Flop(DCSFF)은 데이터 변환이 존재하지 않는 경우, 기존에 존재하던 플립플롭들 중 동적 전력 소모가 가장 낮다. 65nm CMOS 공정을 사용한 측정 결과에 따르면, conventional Transmission Gate Flip-Flop(TGFF)와 비교하여 data activity 가 0% 와 100% 일때, 각각 98%와 32%의 감소된 전력 소모를 보였다. 또한 Change-Sensing Flip-flop(CSFF)과 비교하여 제안하는 DCSFF 는 30% 의 낮은 전력 소모를 보였다.

ABSTRACT

This paper presents a low-power flip-flop(FF) circuit that minimizes the transition of internal nodes by using a dual change-sensing method. The proposed dual change-sensing FF(DCSFF) shows the lowest dynamic power consumption among conventional FFs, when there is no input data transition. From the measured results with 65nm CMOS process, the power consumption has been reduced by 98% and 32%, when the data activity is 0% and 100%, respectively, compared to conventional transmission gate FF(TGFF). Further, compared to change-sensing FF(CSFF), the power consumption of proposed DCSFF is smaller by 30%.

KEY WORDS

Flip-flop; dual change-sensing flip-flop(DCSFF); internal node transitions; low-power system chip

I. 서론

CMOS 공정 기술의 급속한 발전은 고성능, 고집적 회로 및 시스템 설계를 용이하게 한다[1]. 또한 CMOS 공정 기술은 플립플롭, 메모리, ALU 등과 같은 다양한 저전력 디지털 기본 구성 요소에 필수적이다[2]. 그 중에서도 SoC 프레임워크의 주요 동기 논리 구성요소인 플립플롭의 설계가 널리 연구되어왔다[3-20]. 플립플롭은 최신 모바일 프로세서의 기본적인

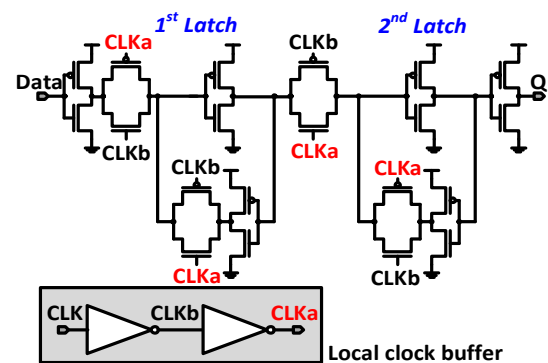


그림 1. Transmission Gate Flip-Flop (TGFF)

¹Department of Semiconductor Science, Dongguk University
^{*}Corresponding author: Minkyu Song, mksong@dongguk.edu
(Received Sept. 20, 2023, Revised Oct. 9, 2023, Accepted Oct. 14, 2023)

회로이며, 낮은 공급전압에서 동작하는 모바일 응용분야의 요구에 따라 동적 전력소모를 최소화할 수 있는 새로운 플립플롭이 필요로 되고 있다. 플립플롭의 동적 전력소모는 clock

신호의 변화뿐 아니라 입력신호, 즉 데이터 신호의 변화에 의해서도 결정된다. 그림1은 디지털 시스템 분야에서 일반적으로 사용되고 있는 transmission-gate flip-flop (TGFF)의 회로도도를 보여준다[3]. Conventional 24T와 2개의 latch로 구성되어 있으며, CLK(or CLKa)가 high일 때, 왼쪽의 첫번째 latch는 이전 입력 데이터를 유지하고 있다가 CLK이 low일 때, 오른쪽의 두번째 latch로 데이터가 전달된다. 이는 많은 complementary clock 노드들로 인해 전력 소모가 크며, clock 노드가 바뀔 때마다 큰 short-circuit current가 흐른다.

TGFF의 이러한 단점을 보완하기 위해서 그림2의 11T Flip-Flop이 보고되었다[4]. Dual-phase clock을 사용하는 TGFF와 달리, 그림 2는 single-phase clock을 사용하며 이를 true single-phase clock flip-flop(TSPCFF)라고 한다. TSPCFF는 TGFF에 비해 적은 트랜지스터 개수와 single-phase clock으로 인해 전력 소모가 적다. 하지만 TSPCFF의 기법은 1.8V 이하의 낮은 공급전압에서 동작하는 sub-nanometer CMOS 기술로 인해 성능 저하를 겪는다. 또한 내부의 무수한 floating node들로 인해 많은 클리치와 non-static한 거동을 보이며 이는 큰 short-circuit current와

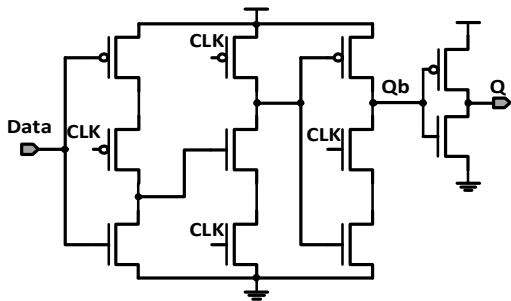


그림 2. True Single-Phase Clock Flip-Flop (TSPCFF)

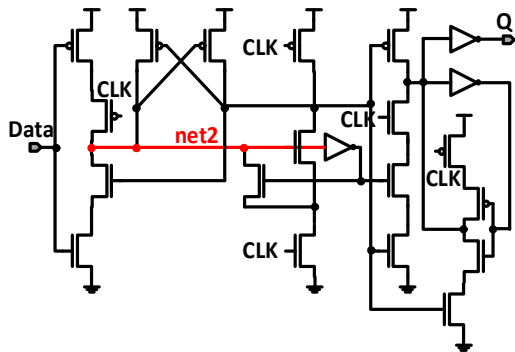


그림 3. Static Single-phase Contention-free Flip-Flop (S²CFF)

함께 막대한 전력 소모를 만들어낸다.

낮은 공급전압에서의 회로 성능 향상을 위해, 24T static single-phase contention-free flip-flop (S²CFF)이 제안되었으며 회로는 그림 3과 같다[5]. S²CFF는 single-phase clock 동작을 유지하면서 많은 클리치를 제거한다. 그러나 이 또한 내부 노드(그림 3의 net2)의 전환이 계속하여 진행되고 있기 때문에 여전히 높은 전력 소모를 한다.

net2의 timing diagram은 그림 5에 나와있으며, 입력 데이터가 low일 때, net2는 clock 신호를 따라가므로 큰 전력 소모를 야기한다. S²CFF의 내부 전환을 최소화하기 위해서 그림 4의 24T Change=sensing flip-flop(CSFF)이 제안되었다[6]. Change sensing 기법을 사용하는 이 회로는 내부 전환을 감소시킬 수 있다.

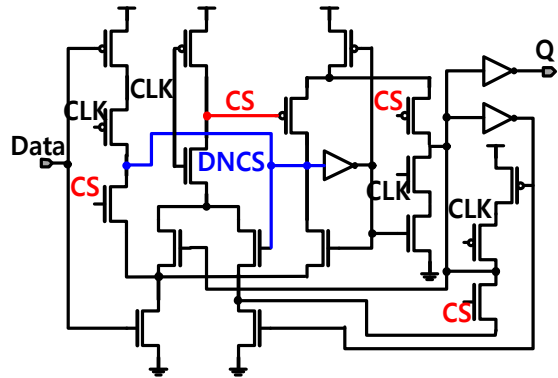


그림 4. Change-Sensing Flip-Flop (CSFF)

그러나 그림4의 DNCS 노드에서 short-circuit current가 만들어진다면 전력 소모는 상당히 증가할 수 있다. CSFF의 timing diagram은 그림 5에 나와있으며 입력 데이터가 high일 때, 그림4의 CS node는 변동한다. 이는 높은 data activity ratio에서 큰 전력 소모를 만들어낸다는 것을 의미한다.

넓은 동적 전압 범위에서 전력 소모를 감소시키기 위해, 플립플롭은 다음과 같은 설계 조건을 만족해야한다.

- (1) Static operation : 동적 동작을 하는 노드는 낮은 공급전압에서 PVT variation에 취약하다.
- (2) Contention-free transition : ratioed logic은 넓은 전압 스윙을 하는 조건에서 매우 불안정한 경우를 야기할 수 있다.
- (3) single-phase clocking : 토글하는 내부 clock inverter와 이에 따른 전력 패널티를 피할 수 있다.
- (4) small chip area : 새로운 플립플롭의 칩 면적은 기존의 플립플롭들보다 작아야한다.

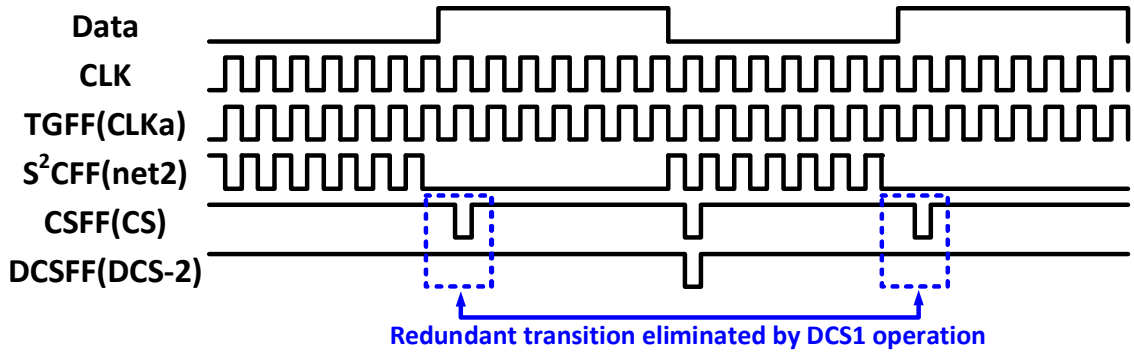


그림 5. Timing Diagram of Redundant Transitions between the Proposed One and Others.

이를 만족하는 다양한 플립플롭들이 보고되어 왔음에도 [7-15], 본 논문에서는 새로운 기법을 사용하여 데이터 신호의 변화에 따른 동적 전력소모를 최소화시켜 높은 data activity에서도 낮은 전력소모를 갖는 플립플롭 구조를 제안한다.

II. 본 론

1. Dual change-sensing flip-flop

제안하는 dual change-sensing flip-flop (DCSFF)의 회로도도 그림 6와 같으며, DCSFF의 목표는 내부 노드 전환의 감소와 CSFF에서 글리치에 의해 만들어진 short-circuit current를 제거하여 전력 소모를 최소화하는 것이다. 특히 지속적인 내부 전환은 출력노드 Q와 무관하게 clock에 의해 발생하므로 이러한 불필요한 전환은 동적 전력 소모를 증가시킨다. 기존 플립플롭들의 불필요한 토글링을 설명하는 timing diagram은 그림 5에 나와있다. TGFF는 local clock buffer로 인해 지속적인 내부 노드의 전환이 발생하며, 그에 반해 S²CFF의 net2는 데이터가 low 일 때만 불필요한 토글링이

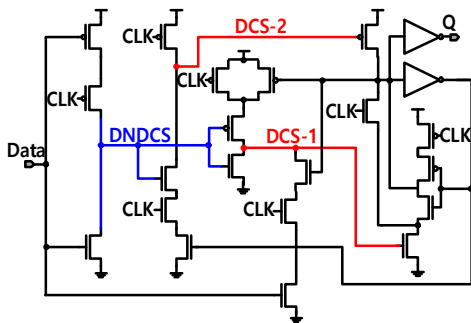


그림 6. Circuit Diagram of Proposed Dual Change-Sensing Flip-Flop (DCSFF)

발생한다. 그림 4의 CSFF의 CS 노드는 데이터가 바뀔 때만 토글링이 발생하므로 S²CFF와 비교하여 내부 노드 전환을 줄일 수 있다. 이러한 불필요한 토글링을 최소화하기 위해서 제안하는 DCSFF는 CS 노드를 DCS-1, DCS-2 2개로 나누었다. DCS-1과 DCS-2는 각각 데이터가 rising하고 falling할 때의 CS 노드를 대체한다. 데이터나 clock에 의해 만들어진 CSFF와 DCSFF의 불필요한 토글링은 그림 7과 같이 4가지의 상태를 가진다. DCS-1은 입력 데이터가 '0' to '1'로 rising할 때 불필요한 토글링을 제거한다. 따라서 기존의 플립플롭들과 비교하여 제안하는 DCSFF는 가장 적은 내부 노드 전환을 하면서 동적 전력 소모를 최소화한다.

Internal Toggle (CSFF)	Data= 0 to 1	Data= 0 to 1	Internal Toggle (DCSFF)	Data= 0 to 1 (DCS1)	Data= 0 to 1 (DCS2)
CLK=0	0	0	CLK=0	X	0
CLK=1	0	0	CLK=1	X	0

그림 7. Comparison of Internal Toggle Transitions between DCSFF and CSFF

그림 8(a)는 CSFF의 short-circuit current로 인한 글리치 생성 과정을 보여준다. CSFF는 데이터 신호의 변화에 따라 CS 노드의 토글링이 존재하며 세부적으로 나누어 봤을 때, Clock이 high를 유지하는 동안 데이터의 '0' to '1' 변화를 감지하기 위해서 CS 노드가 방전된다. 그 결과 내부 노드의 글리치와 함께 short-circuit current가 순간적으로 크게 발생한다. 따라서 CSFF에서 short-circuit current가 생성되는 메커니즘을 제거하기 위해 DNDCS가 high를 유지하는 상태가 되지 않아야 한다.

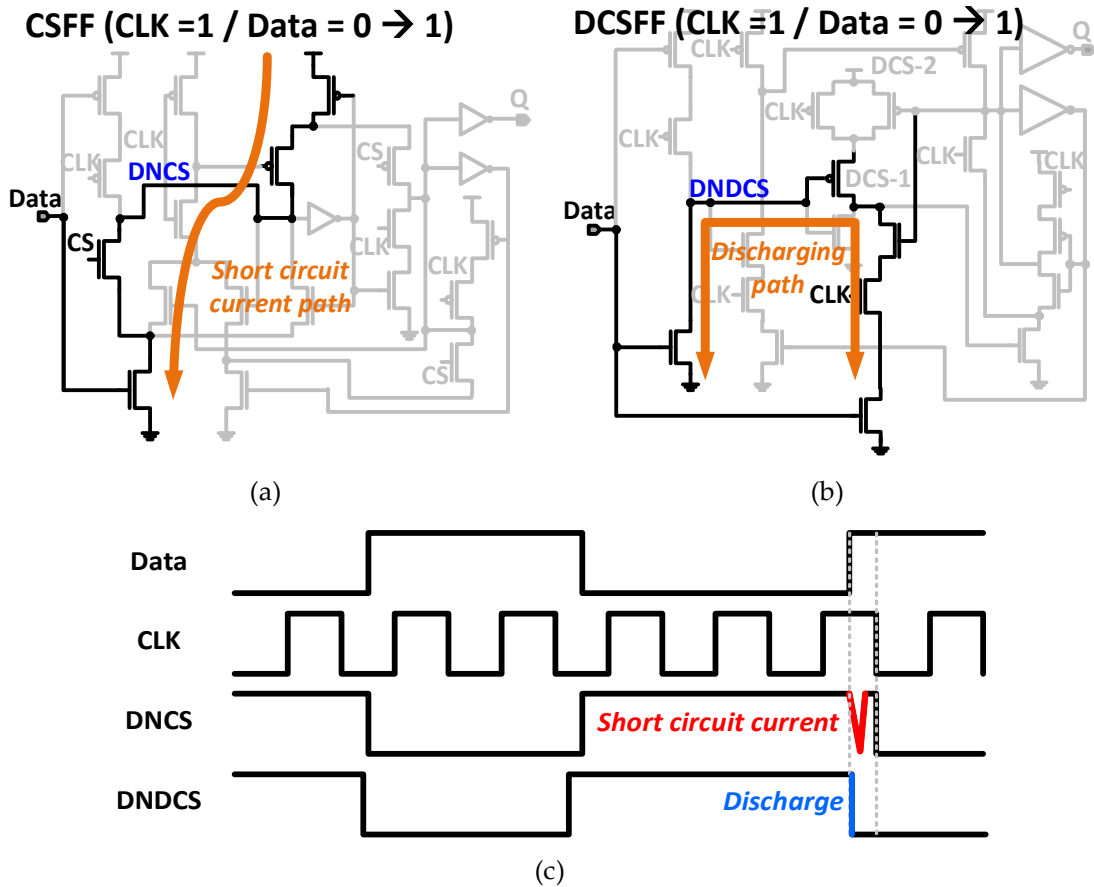


그림 8. Circuit Diagram of (a) CSFF (b) DCSFF and (c) Comparison of Timing Diagram

이와 대비되는 제안하는 DCSFF의 동작 원리는 그림 8(b)와 같다. DCSFF의 DNDCS는 DNCS와 유사한 역할을 하는 노드이다. 같은 방식으로 DCSFF는 DCS-1이 high를 유지하지 않고 방전되더라도 DCS-1이 low를 유지할 수 있게 한다. 따라서 DCSFF에서 high를 유지하기 위한 추가 동작이 필요하지 않게 된다. 그림 8(c)와 같이, DNCS는 심각한 short-circuit current를 야기하지만 DNDCS는 DCS-1을 이용하여 데이터가 rising할 때 clock이 high를 유지하더라도 short-circuit current를 발생시키지 않는다. 따라서 제안하는 DCSFF는 CSFF와 비교하여 동적 전력 소모를 절반으로 감소시킨다. 또한 제안된 DCSFF는 높은 data activity ratio에서도 CSFF 보다 적은 전력을 소비한다.

III. 측정 결과

기존의 플립플롭들과 제안하는 DCSFF 간의 정확한 비교를 위해서는 많은 성능 파라미터들의 측정을 위한 효율적인 온 칩

테스트 회로를 고려해야 한다. 고려되는 파라미터는 전력 소비량, setup time, hold time, C-Q delay, data activity factor 등이 있다. 측정 블록은 각 파라미터들의 온 칩 테스트를 구현하도록 설계되었다. 그림 9의 setup time, hold time 측정 블록은 출력을 인코딩하고 내부 skew 를 예측하기 위한 delay chain 및 외부 모니터링 블록으로 구성되어 있다[16]. 그림 10은 C-Q delay 측정 블록을 보여준다[17-19]. 이 블록은 ring oscillator 구조이고, device under test (DUT)와 reference ring 사이의 주파수 차이를 고려하여 C-Q delay 를 측정할 수 있다. 그림 11은 전력 소모 측정 블록을 나타내며, 이 블록의 경우 data activity factor 를 조절할 수 있도록 설계되었다. 초기의 외부 패턴이 일정한 pulse signal 을 사용하여 주기적으로 DUT 에 적용된다. Data activity 는 10% 간격으로 0~100% 범위로 조절할 수 있다.

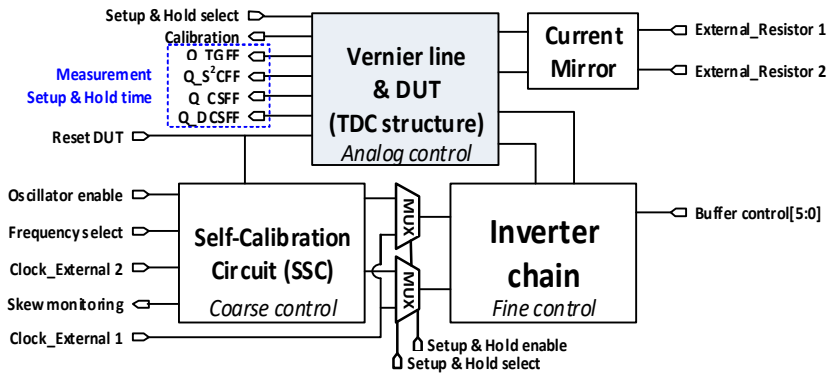


그림 9. Block Diagram for Setup and Hold Time Measurement

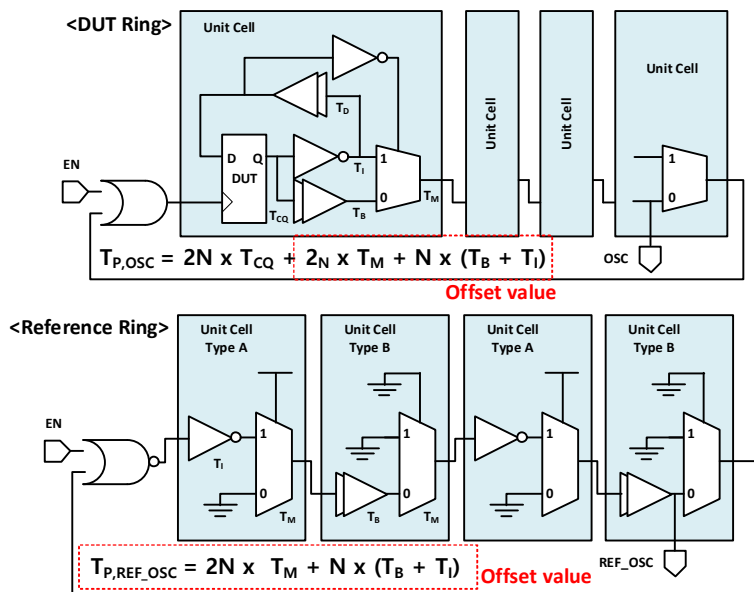


그림 10. Block Diagram of C-Q Delay Measurement

제작된 chip 의 layout 과 testing PCB 는 그림 12 와 같다. 제안하는 DCSFF 는 TGFF, S²CFF, CSFF 과 함께 삼성 65nm CMOS 공정으로 제작되었으며, 동일한 칩에서 측정되었다.

그림 12(a)는 Setup time, Hold time, C-Q delay, DCSFF, Conventional FF 의 layout 이며 제작된 칩의 PCB 는 그림 12(b)와 같다.

그림 13 은 data activity 가 0 에서 100%로 증가함에 따라 측정된 전력 소비량을 보여준다. 각 플립플롭의 전력소모는 두가지 조건하에서 측정되었다. Data activity ratio 측면에서 CSFF 과 DCSFF 은 급격한 내부 노드 전환 감소를 이용할 수 있기 때문에 0% data activity(=no leakage)에서 전력 소비가 거의 없다. 따라서 낮은 data activity 의 경우에서

TGFF 와 S²CFF 의 전력 소비량이 큰 것에 반해 CSFF 과 DCSFF 의 절대 전력 소비량은 낮다.

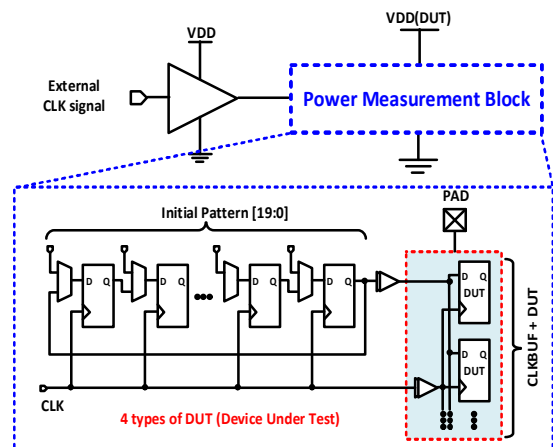
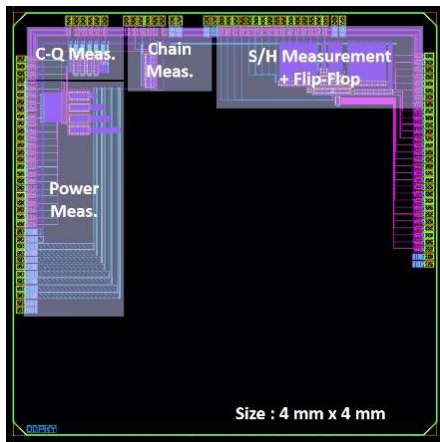
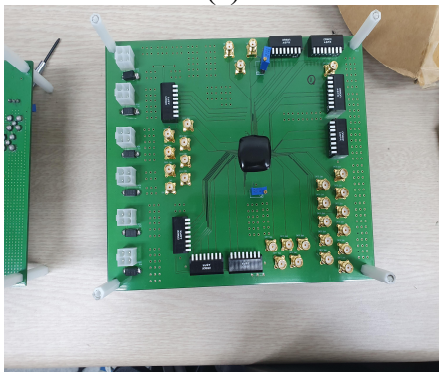


그림 11. Block Diagram of Power Measurement



(a)



(b)

그림 12. (a) Chip layout (b) Testing PCB

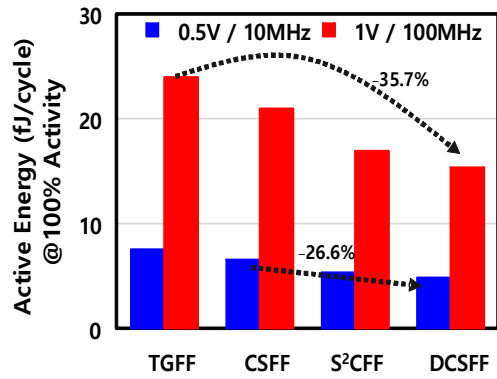
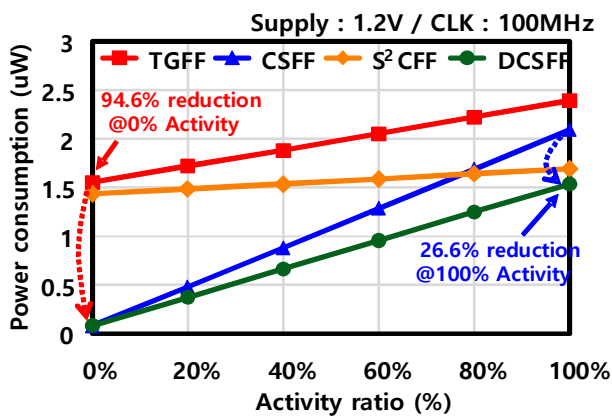
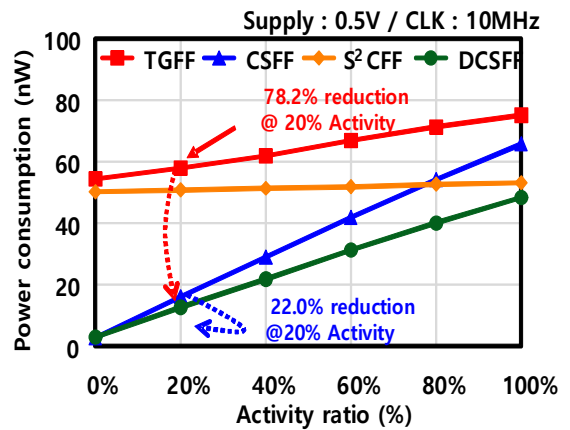


그림 14. Comparisons for Measured Active Energy

그림 13에서 볼 수 있듯이 0%의 data activity에서 DCSFF의 전력 소비량이 S²CFF보다 94% 작다. 또한 20%의 data activity ratio에서 DCSFF의 전력 소비량이 S²CFF보다 78% 작다. 반면 CSFF는 DCSFF보다 data activity에 민감하기 때문에 CSFF의 전력 소모 기울기는 DCSFF보다 26% 더 가파르다. Data activity가 20%인 경우, DCSFF는 CSFF에 비해 1.2V/100MHz, 0.5V/10MHz 측정 구간에서 각각 22.1%, 22%만큼 전력 소모가 낮다.



(a)



(b)

그림 13. Measured Power Consumption

(a) 1.2 V Supply and 100 MHz Clock (b) 0.5 V Supply and 10 MHz Clock.

표 1 Performance Comparison Table between DCSFF and Other Ones

Performance	DCSFF	TGFF [3]	SSCFF [5]	CSFF [6]
Contention-free	YES	YES	YES	NO
Number of Transistor	24	24	24	24
Single Phase Clock	YES	NO	YES	YES
Layout Size (relative size)	1.04	1	1.05	1.13
Measured C-Q Delay @1.2 V (ps)	112.7	150.6	140.6	128.9
Measured Setup Time @1.2 V (ps)	216	165	186	197
Measured Hold Time @1.2 V (ps)	49	55	46	34
Measured Power @ 1.2 V, 100 MHz, 20%/100% (μ W)	0.37/1.54	1.72/2.39	1.49/1.69	0.48/2.09
Measured Power @ 0.5 V, 10 MHz, 20%/100% (μ W)	0.013/0.048	0.058/0.075	0.051/0.053	0.016/0.066
Measured Leakage@1.2 V (μ W)	0.084	1.091	0.710	0.079

Data activity 가 100%일 때, DCSFF 의 전력 소모량은 CSFF 보다 26% 작다. 그러나 data activity ratio 가 증가함에 따라 TGFF 와 S2CFF 의 전력 소모량보다 2~3 배 이상 가파르다. 100%의 data activity ratio 에서 CSFF 의 전력 소모는 S²CFF 보다 20%크고 TGFF 보다 15% 작다. 그에 반해 DCSFF 의 전력 소모량은 항상 TGFF, S2CFF 및 CSFF 보다 작다.

그림 14 는 100% data activity ratio 에서 activity energy consumption 비교 데이터를 보여준다. DCSFF 의 active energy 는 TGFF 와 CSFF 과 비교하여 각각 35.7%, 26.6% 감소된다. 또한 DCSFF 의 active energy consumption 은 S2CFF 보다 11% 작다. 그러므로 제안하는 DCSFF 는 기존 플립플롭들 중 전력 소모량이 가장 적다.

표 1 은 제안하는 DCSFF 와 다른 플립플롭들 사이의 측정 비교표를 보여준다. 제안하는 DCSFF 는 contention-free 이고 single phase clock 을 갖는 24T 로 구성되어 있기 때문에 회로도 설계와 layout 이 용이하다. TGFF layout 크기를 1 로 정규화 하였을 때, 면적은 S2CFF 는 5%, CSFF 는 13%, DCSFF 의 경우 4% 증가한다. 이는 DCSFF 의 layout 크기가 CSFF 보다 8% 작다는 것을 의미한다. 측정된 DCSFF 의 C-Q delay 는 112.2ps 로 다른 플립플롭들 중 가장 짧다. 그러나 측정된 setup time, hold time 은 각각 216ps 와 49ps 이다. 제안된 DCSFF 는 동작 속도 측면에서 단점이 존재함을 의미한다. 1.2V 동작전압에서 100MHz 구간에서 측정된 전력 소모량은 각각 20%와 100%의 activity ratio 에서 0.013uW, 0.048uW 이다. 또한 측정된 leakage 전력 소모량은 1.2V 동작전압에서

0.084uW 이다. 이는 전력소모 측면에서 제안하는 DCSFF 가 다른 플립플롭들과 비교하여 우수한 이점을 가지고 있다는 것을 보여준다. 그러므로 제안하는 DCSFF 는 초저전력 시스템 칩에 적합하다.

IV. 결론

본 논문에서는 dynamic power consumption 과 short-circuit current 감소를 위해 DCSFF 설계에 대해 설명한다. DCSFF는 TGFF와 SSCFF에 발생하는 불필요한 내부 전환 노드를 최소화하였기 때문에 data activity가 0%일 때 동적 전력 소모가 없다. 또한 CSFF의 데이터 변화를 감지하는 노드를 DCS-1과 DCS-2로 분리하는 새로운 기법을 제안하였다. DCS 노드들은 '0' to '1' 로 바뀌는 데이터 신호를 감지하여 내부 전환을 줄인다. 동시에, CSFF에서 만들어지는 글리치를 short-circuit current를 감소시킴으로써 제거할 수 있다. 그 결과 DCSFF의 동적 전력 소모량과 short-circuit current가 급격히 감소하였다. 마지막으로, DCSFF는 data activity의 모든 범위에서 다른 플립플롭들과 비교하여 가장 적은 전력 소비량을 보였다. 따라서 제안하는 DCSFF가 미래의 초저전력 시스템을 개발하는데 중요한 역할을 할 수 있을 것으로 기대할 수 있다.

감사의 글

본 연구는 산업통상자원부와 KSRC 지원 사업인 미래반도체소자 원천기술개발사업 (#20019301)의 연구결과로 수행되었음. 또한, 본 연구의 칩 제작과 EDA Tool 은 IDEC 에서 지원받아 수행되었음.

참고 문헌

- [1] J. Yuan, C. Svensson, "High-Speed CMOS Circuit Technique," *IEEE J. Solid-State Circuits*, vol. 24, issue. 1, pp. 62-70, February, 1989.
- [2] Jinuk Luke Shin et al., "The Next Generation 64b SPARC Core in a T4 SoC Processor," *IEEE J. Solid-State Circuits*, vol. 48, issue. 1, pp. 82-90, January, 2013.
- [3] D. Markovic, J. W. Tschanz, V. K. De, "Transmission-Gate Based Flip-Flop," U.S. Patent 6,642,765, 4, November, 2003.
- [4] C. K. The, T. Fujita, H. Hara, M. Hamada, "A 77% Energy-Saving 22-Transistor Single-Phase Clocking D-Flip-Flop with Adaptive-Coupling Configuration in 40nm CMOS," In Proceedings of the 2011 IEEE International Solid-State Circuits Conference, San Francisco, CA, USA, pp. 338-339, February, 2011.
- [5] Y. Kim et al., "A static contention-free single-phase-clocked 24T flip-flop in 45nm for low-power applications," In Proceedings of the 2014 IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC), San Francisco, CA, USA, pp. 466-467, February, 2014.
- [6] V. L. Le, A. Chang, T. T. Kim, "A 0.4-V, 0.138-fJ/cycle single-phase-clocking redundant-transition-free 24T flip-flop with change-sensing scheme in 40-nm CMOS," *IEEE J. Solid-State Circuits*, vol. 53, issue. 10, pp. 2806-2817, October, 2018.
- [7] M. Alioto, E. Consoli, G. Palumbo, "Variations in nanometer CMOS flip-flops: Part I—Impact of process variations on timing," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 62, issue. 8, pp. 2035-2043, August, 2015.
- [8] Y. Cai, A. Savanth, P. Prabhat, J. Myers, A. S. Weddell, T. J. Kazmierski, "Ultra-low power 18-transistor fully static contention-free single-phase clocked flip-flop in 65-nm CMOS," *IEEE J. Solid-State Circuits*, vol. 54, issue. 2, pp. 550-559, February, 2019.
- [9] N. Kawai et al., "A fully static topologically-compressed 21-transistor flip-flop with 75% power saving," In Proceedings of the 2013 IEEE Asian Solid-State Circuits Conference (A-SSCC), Singapore, December, 2013.
- [10] V. L. Le, J. Li, A. Chang, T. T. Kim, "An 82% energy-saving change-sensing flip-flop in 40 nm CMOS for ultra-low power applications," In Proceedings of the 2017 IEEE Asian Solid-State Circuits Conference (A-SSCC), Seoul, Korea (South), pp. 197-200, November, 2017.
- [11] G. Shin, E. Lee, J. Lee, Y. Lee, Y. Lee, "A redundancy eliminated flip-flop in 28 nm for low-voltage low-power applications," *IEEE Solid-State Circuits Letters*, vol. 3, pp. 446-449, September, 2020.
- [12] Hari Kuamar P., Ramavenkateswaran N. "Low Power High Speed 15-Transistor Static True Single Phase Flip Flop," In Proceedings of the 2019 2nd International Conference on Intelligent Computing, Instrumentation and Control Technologies (ICICT), Kannur, India, pp. 440-444, July, 2019.
- [13] Y. Lee, G. Shin, Y. Lee, "A Fully Static True-Single-Phase-Clocked Dual-Edge-Triggered Flip-Flop for Near-Threshold Voltage Operation in IoT Applications," *IEEE Access*, vol. 8, pp. 40232-40245, February, 2020.
- [14] Y. Huang, H. Jiao, "An Ultra-Low-Voltage Single-Phase Adaptive Pulse Latch with Redundant Toggling Elimination," In Proceedings of the 2020 IEEE 15th International Conference on Solid-State & Integrated Circuit Technology (ICSICT), Kunming, China, pp. 1-3, November, 2020.
- [15] G. Shin, E. Lee, J. Lee, Y. Lee, Y. Lee, "An Ultra-Low-Power Fully-Static Contention-Free Flip-Flop with Complete Redundant Clock Transition and Transistor Elimination," *IEEE J. Solid-State Circuits*, vol. 56, issue. 10, pp. 3039-3048, May, 2021.
- [16] L. Zhihong, Z. Yihao, H. Law, "Self-calibrate two-step digital setup/hold time measurement," In Proceedings of the 2010 International Symposium on VLSI Design, Automation and Test, Hsin Chu, Taiwan, pp. 232-235, April, 2010.
- [17] B. Giridhar et al., "Pulse Amplification Based Dynamic Synchronizers with Meta-stability Measurement using Capacitance De-rating," In Proceedings of the IEEE 2013 Custom Integrated Circuits Conference, San Jose, CA, USA, pp. 110-113, September, 2013.
- [18] B. Zhai, R. G. Dreslinski, D. Blaauw, T. Mudge, D. Sylvester, "Energy efficient near-threshold chip multi-processing," In Proceedings of the 2007 International Symposium on Low Power Electronics and Design (ISLPED '07), Portland, OR, USA, pp. 32-37, August, 2007.
- [19] A. Wang, B. H. Calhoun, A. P. Chandrakasan, "Sub-Threshold Design for Ultra Low-Power Systems," Springer, New York, NY, USA, 2006.

최형규 (Hyung-gyu Choi)



2023년 2월 : 동국대학교
반도체과학과 학사학위
2023년 3월~현재 : 동국대
학교 시스템반도체학과
석사과정

<관심분야> 시스템반도체 설계, ADC 및
CMOS Image Sensor 설계

윤수연 (Su-yeon Yun)



2023년 2월 : 동국대학교
반도체과학과 학사학위
2023년 3월~현재 : 동국대
학교 시스템반도체학과
석사과정

<관심분야> 시스템 반도체 설계, CMOS Image
Sensor 설계

김수연 (Soo-youn Kim), 정회원



2001년 2월 : 동국대학교
반도체과학과 학사학위
2003년 2월 : 동국대학교
반도체과학과 석사학위
2013년 8월 : 퍼듀대학교
전기컴퓨터공학과 박사학
위

2003년 1월~2008년 5월
: 삼성전자 시스템LSI사업부 이미지개발팀 선임
연구원
2013년 6월~2017년 2월
: 쉐일 Corp R&D ASIC Eng. Staff Engi-
neer
2017년 3월~현재
: 동국대학교 시스템반도체학부 부교수

<관심분야> 집적회로 설계, 시스템반도체 설계

송민규 (Min-kyu Song), 정회원



1986년 2월 : 서울대학교
전자 공학과 학사학위
1988년 2월 : 서울대학교
전자 공학과 석사학위
1993년 2월 : 서울대학교
전자 공학과 박사학위

1993년 3월~1995년 8월
: 일본 동경대학교 초빙연구원
1995년 9월~1997년 2월
: 삼성전자 ASIC 설계팀 연구원
1997년 3월~현재
: 동국대학교 시스템반도체학부 교수

<관심분야> CMOS 아날로그 회로설계, 데이터
변환기 및 CMOS Image Sensor 설계