Regular paper | Journal of the KIECS. pp. 769-776, vol. 18, no. 5, Oct. 31. 2023, t. 121, pISSN 1975-8170 | eISSN 2288-2189
http://dx.doi.org/10.13067/JKIECS.2023.18.5.769

선택적 매치라인 충전기법에 사용되는 고성능 매치라인 감지 증폭기 설계

최지훈* · 김정범**

Design of a High-Performance Match-Line Sense Amplifier for Selective Match-Line charging Technique

Ji-Hoon Choi* · Jeong-Beom Kim**

요 약

본 논문에서는 저 전력 CAM(: Content Addressable Memory)을 위한 MLSA(: Match-line Sense Amplifier)를 설계하였다. 설계한 회로는 MLSA와 사전충전 (precharge) 제어기를 통해 선택적 매치라인 충전기법으로 CAM 동작 중 미스매치 상태에서 발생하는 전력 소모를 감소시켰고, 검색동작 중 미스매치가 발생했을 때 사전 충전을 조기 종료시킴으로써 단락 전류로 인한 전력 소모를 추가적으로 감소시켰다. 기존 회로와 비교했을 때, 전력 소모와 전파 지연 시간이 6.92%, 23.30% 감소하였고, PDP(: Product-Delay-Product)와 EDP(: Energy Delay Product)가 29.92%, 52.31% 감소하는 우수한 성능을 보였다. 제안한 회로는 TSMC 65nm CMOS 공정을 사용하여 구현되었으며 SPECTRE 시뮬레이션을 통해 그 타당성을 입증하였다.

ABSTRACT

In this paper, we designed an MLSA(Match-line Sense Amplifier) for low-power CAM(Content Addressable Memory). By using the MLSA and precharge controller, we reduced power consumption during CAM operation by employing a selective match-line charging technique to mitigate power consumption caused by mismatch. Additionally, we further reduced power consumption due to leakage current by terminating precharge early when a mismatch occurs during the search operation. The designed circuit exhibited superior performance compared to the existing circuits, with a reduction of 6.92% and 23.30% in power consumption and propagation delay time, respectively. Moreover, it demonstrated a significant decrease of 29.92% and 52.31% in product-delay-product (PDP) and energy-delay-product (EDP). The proposed circuit was validated using SPECTRE simulation with TSMC 65nm CMOS process.

키워드

CAM, MLSA, Precharge, Selective Match-Line Charge Technique, High-Performance Circuit
CAM, 매치 라인 감지 증폭기, 사전 충전, 선택적 매치 라인 충전 기법, 고성능 회로

* 강원대학교 BIT의료융합학과
(choi_jh0225@naver.com)
** 교신저자 : 강원대학교 전자공학과
· 접 수 일 : 2023. 07. 23
· 수정완료일 : 2023. 09. 01
· 게재확정일 : 2023. 10. 17
· Received : Jul. 23, 2023, Revised : Sep. 01, 2023, Accepted : Oct. 17, 2023
· Corresponding Author : Jeong-Beom Kim
Dept. of Electronics Engineering, Kangwon National University
Email : kimjb@kangwon.ac.kr

Ⅰ. 서 론

CAM(: Content Addressable Memory)은 단일 클록 주기에서 동작해 고속 데이터 검색 기능을 활용한 통신 네트워크, LAN 스위치, 패킷 포워딩 및 패킷 분류를 위한 네트워크 라우터에서 널리 사용되고 있다. 병렬적 동작 방식은 고속 동작이 가능하다는 이점이 있지만 높은 전력 소모를 유발하는 단점도 존재한다. 이러한 문제점은 특히 NOR 유형 CAM 구조에서 드러난다. 사전충전을 활용하는 NOR 유형 CAM은 매 주기마다 반복적으로 매치라인을 충·방전하기 때문에 전력 소모가 발생한다. 이를 해결하기 위해 선택적 매치라인 충전 기법이 고안되었다. 이 기법은 매치 시 매치라인을 VDD로 충전하지만 미스매치 시 충전을 약하게 진행하는 방식을 통해 매치라인의 반복적인 충·방전으로 발생되는 전력 소모를 감소시킨다. 하지만 미스매치 상태에서 단락 전류가 발생하여 완전한 전력 소모의 감소로 이어지지 않는다는 문제점이 존재한다[1-5].

본 논문에서는 기존 NOR 유형 CAM 구조의 GND를 MLG로 변경한 새로운 NOR 유형 CAM 셀 구조를 고안하였다. 이 구조는 제안하는 사전충전 제어부에서 미스매치를 감지할 수 있도록 동작한다. 이를 통해 선택적 매치라인 충전 기법을 활용하면서도 미스매치 시 사전충전을 조기 종료시켜 단락 전류의 발생을 최소화하는 방법으로 불필요하게 발생하는 전력 소모를 감소시키는 MLSA(: Match-line Sense Amplifier) 구조를 구현하였다.

Ⅱ. 기술 개념 및 적용

2.1 CAM 셀

그림 1은 기존 NOR 유형 CAM 셀의 구조이다. 코어는 6T SRAM(: Static Random Access Memory)을 기반으로 구성되어 있다. 매치라인을 의미하는 ML은 SL(serch-line)과 SLB 신호를 받아 동작하는 N1, N3의 드레인과 연결되며 BL(bit-line)과 BLB 신호에 따라 동작하는 N2, N4, N6, N7과도 연결되어 구성된다. 본 구조에서는 매치라인의 사전충전 셀을 통해 매치라인을 'high'로 충전시킨다. 이후 평가단계에서 BL과 BLB를 통해 셀에 저장된 데이터를 SL과 SLB로 검색하여 셀에 저장된 데이터와 검색하고자 하는 데이터를 비교하는 동작을 진행한다. 이때 두 데이터의 매치 시에는 'high'로 사전충전 되어있던 매치라인을 그대로 유지하는 동작을 하고 미스매치 시에는 매치라인에 방전 경로를 형성하여 매치라인을 방전시키는 동작을 반복적으로 수행한다[6-8].

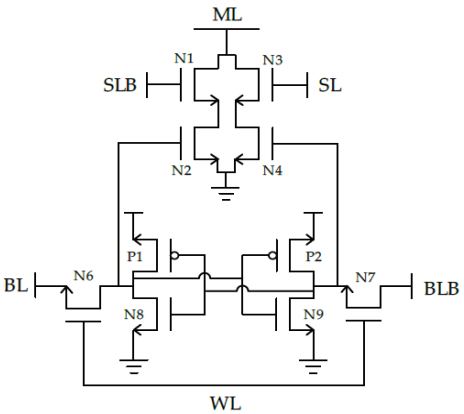

그림 1. 기존 NOR 유형 CAM 셀
Fig. 1 Conventional NOR type CAM cell

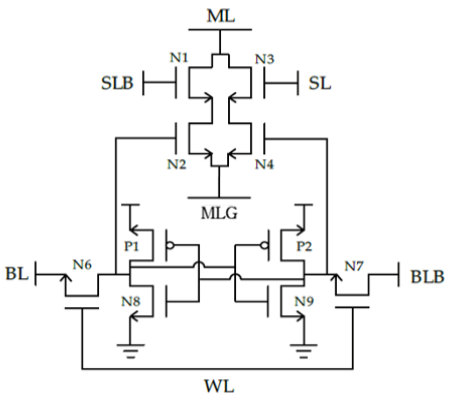

그림 2. 제안하는 NOR 유형 CAM 셀
Fig. 2 Proposed NOR type CAM cell

그림 2는 본 논문에서 제안한 NOR 유형 CAM 셀이다. 제안한 회로는 그림 1의 기존 CAM 셀의 코어 구조와 검색동작 방식은 동일하나 GND를 통해 매치라인을 방전시켰던 동작 방식을 변경하여 미스매치 시 새로운 노드인 MLG로 매치라인의 전류가 흐르도

록 하였다. 이를 통해 매치 또는 미스매치의 여부를 사전충전 제어부에서 인식이 가능하도록 구현하였고 미스매치 시에는 매치라인 사전충전의 조기 종료의 동작을 수행하도록 구현하였다.

2.2 제안하는 MLSA 구조

그림 3은 기존의 선택적 매치라인 충전 제어기와 MLSA의 회로이다. 충전 제어기는 6개의 트랜지스터로, MLSA는 3개의 트랜지스터와 1개의 인버터로 구성된다. 이 구조는 검색동작과 동시에 충전이 진행되는 동작방식 때문에 검색동작에서 미스매치가 발생하게 되는 경우 단락 전류가 발생하게 된다. 이를 충전 제어부의 ML을 충전하는 P1의 크기의 최소화로 단락 전류의 영향을 감소시키고자 하였으나 오히려 충전 주기동안 반복적으로 전력 소모가 발생한다는 점과 충전 역할을 하는 트랜지스터의 크기 감소로 매치라인 충전 속도의 저하 문제점이 발생하게 된다[9-11].

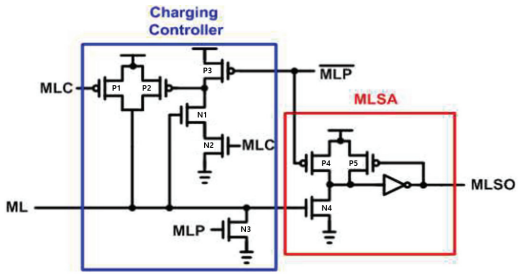

그림 3. 기존 선택적 매치라인 충전 MLSA 회로
Fig. 3 Conventional selective match-line charge MLSA circuit

그림 4는 본 논문에서 제안하는 충전 제어기와 MLSA 회로도이다. 1개의 NAND 논리 회로와 6개의 트랜지스터로 구성된 충전 제어기는 기존 구조의 충전 제어기보다 4개의 트랜지스터가 증가하였으나, MLSA의 구조는 동일하다. 제안하는 회로는 제어신호 MLP, $\overline{MLP}$에 의해 동작한다. 기존 구조에서는 CAM의 동작이 MLSO(: Match-line Sensing Output)을 초기화하는 초기화 단계, 크기가 최소화된 트랜지스터로 매치라인을 충전하는 단계, 매치상태라면 매치라인을 빠른 속도로 충전하는 큰 크기의 트랜지스터가 동작하는 단계인 세 가지 단계로 이루어졌다. 하지만 제안하는 회로의 구조에서는 단락 전류의 영향을 감소시키기 위해 트랜지스터의 크기를 조절하므로 충전 속도가 저하되지 않아 CAM의 동작이 두 가지 단계로 이루어질 수 있다.

제안하는 MLSA는 매치라인의 매치여부를 감지하여 동작한다. 매치 시에는 N5가 ON 되어 인버터의 입력단을 방전시켜 매치라인 감지출력인 MLSO을 'high'로 출력한다. 하지만 미스매치 시에는 N5가 OFF 되어 인버터의 입력단이 'high'로 유지되므로 MLSO가 'low'를 출력하는 방식으로 동작한다. 이는 기존 MLSA 구조의 동작 방식과 동일하다.

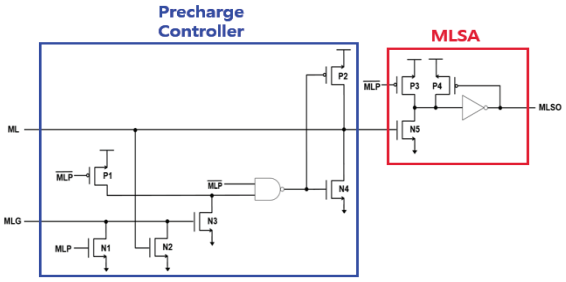

그림 4. 제안하는 사전충전 제어기와 MLSA 회로
Fig. 4 Proposed precharge-controller and MLSA circuit

2.3 제안하는 CAM의 동작

그림 5는 본 논문에서 제안하는 n개의 CAM 셀을 가지는 매치라인의 구조를 나타낸 것이다. 제안하는 충전 제어기와 MLSA는 이전상태를 초기화하기 위한 '초기화 단계', CAM 셀에서의 검색동작과 동시에 매치라인의 사전충전을 지속하거나 조기 종료의 여부를 결정하여 동작하는 '선택적 충전 단계'의 두 가지 단계로 이루어진다.

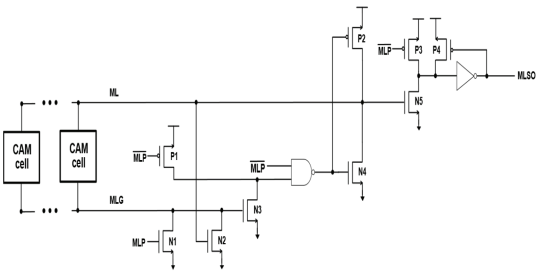

그림 5. 제안하는 n개의 CAM 셀 구조
Fig. 5 Proposed structure of n CAM cell

먼저 초기화 단계에서 제어신호 MLP는 'high'를 유지하고 있으며 $\overline{MLP}$는 'low'로 입력된다. MLP의 신호를 입력받은 N1은 ON 되어 MLG를 방전시키고, $\overline{MLP}$와 $\overline{MLP}$로 ON 된 P1으로 VDD만큼 충전이 진행 중인 노드의 입력을 받아 NAND 논리의 출력이 'high'가 되어 N4가 ON 되므로 ML 또한 방전된다. MLSA는 $\overline{MLP}$의 입력을 받아 ON 된 P3에 의해 MLSO값을 'low'로 초기화하고 유지한다. 다음으로 선택적 충전 단계에서 MLP와 $\overline{MLP}$는 각각 'low'와 'high'로 역전된다. 이로 인해 NAND 논리의 입력은 순간적으로 모두 'high'가 인가되어 'low'를 출력한다. 이는 P2를 ON 시키고 N4를 OFF 시켜 ML의 사전충전을 진행시킨다. 이때 각 CAM 셀에서 검색동작이 진행되므로 매치 또는 미스매치 여부에 따라 MLG로의 전류 흐름이 결정된다. 매치상태에서는 셀 내에서 방전 경로가 형성되지 않기 때문에 ML을 지속적으로 충전하게 되며 MLG는 N2에 의해 방전 상태가 되어 N3를 OFF로 유지시킨다. 따라서 ML은 'high'로 충분한 충전이 이루어진다. 이후 N5가 ON 되어 MLSO값이 'low'에서 'high'로 바뀌게 된다.

그러나 선택적 충전 단계에서 미스매치인 CAM 셀이 하나라도 존재하게 되면 ML과 MLG가 연결되는 경로가 형성되어 ML을 충전하던 전류가 MLG로도 흐르게 된다. 이때 N3의 크기는 N2의 크기보다 크게 설정되어 있으므로 N2와 N3가 ON 되는 속도에 차이가 발생하게 된다. 이는 ML에 의해 ON 되는 N2보다 MLG에 의해 ON 되는 N3를 먼저 동작시킨다. 이를 통해 P1으로 사전충전된 노드를 빠르게 방전시킴으로써 NAND 논리의 출력이 'low'에서 'high'로 뒤집히며 즉시 충전이 종료되고 이후 ON 된 N2를 통해 ML이 방전된다. 결과적으로 충분히 충전되지 못하고 방전된 ML은 MLSO의 'low'의 값을 그대로 유지하게 된다. 기존 구조에서는 사전충전 단계가 활성화되어 있는 시간동안에는 지속적으로 단락 전류가 발생하여 불필요한 전력 소모를 유발하였으나, 제안하는 구조에서의 조기 종료 동작은 사전충전 단계가 활성화되어 있는 상태에서도 진행되므로 단락 전류의 발생 시간을 최소화시켜 전력 소모를 감소시킨다. 이러한 동작은 그림 6의 제안하는 CAM의 타이밍 다이어그램을 통해 나타내었다.

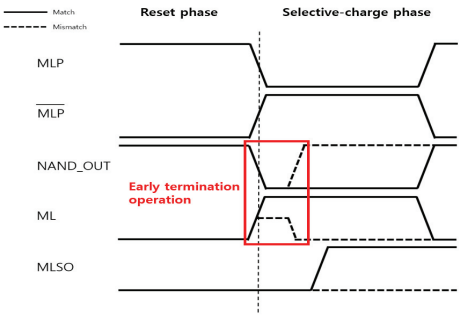

그림 6. 제안하는 CAM의 타이밍 다이어그램
Fig. 6 Timing diagram of the proposed CAM

III. 시뮬레이션 결과

그림 7은 본 논문에서 제안한 CAM 65nm CMOS 공정을 이용하여 SPECTRE로 시뮬레이션을 진행한 결과이다. 입력 신호 BL, BLB, SL, SLB, MLP, $\overline{MLP}$의 상승 시간(rising time)과 하강 시간(falling time)을 100ps로 설정하였다. ML0는 매치상태인 매치라인의 동작을 나타내며 ML1은 미스매치상태인 매치라인의 동작을 나타낸다.

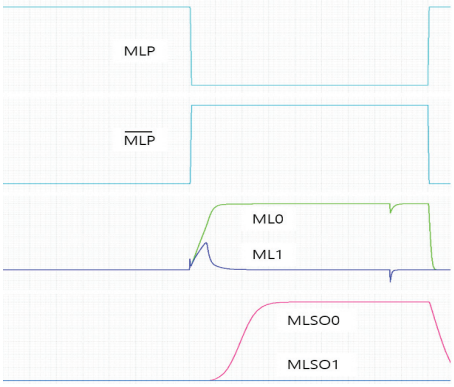

그림 7. 제안한 CAM의 SPECTRE 시뮬레이션 결과
Fig. 7 SPECTRE simulation results of the proposed CAM

ML0과 ML1은 초기화 단계에서 모두 'low'를 유지한다. 이후 선택적 충전 단계가 되면 $\overline{MLP}$가 'high'가 되는 동시에 ML0는 점점 증가하여 완전한 충전상태

를 이루어 결과적으로 MLSO0를 'high'로 출력하지만 ML1은 사전충전 중 미스매치가 발생하여 약간의 전압 증가의 현상이 나타나지만 사전충전 제어부에서의 조기 종료 동작으로 인해 완전한 충전상태를 이루지 못하고 'low'로 방전되어 결과적으로 MLSO1도 'low'를 출력하는 것을 시뮬레이션을 통해 확인하였다. 이는 MLP와 $\overline{MLP}$의 입력 신호와 CAM 셀에서의 매치·미스매치인 상태에 따라 그림 6의 타이밍 다이어그램과 동일하게 동작한다는 것을 보여준다.

Ⅳ. 시뮬레이션 결과 비교

표 1은 기존 선택적 매치라인 충전 회로를 적용한 NOR 유형 CAM과 제안하는 회로가 적용된 CAM 회로를 144 비트에서 성능 비교를 진행한 표이다.

표 1. 144 비트 CAM 비교표
Table 1. Comparison table of 144 bit CAM

	Conventional work	Proposed work
Propagation delay time[ns]	3.93	3.11
Power consumption [μW]	186.8	174.3
PDP[pJ]	0.73	0.54
EDP[E-21Js]	2.87	1.68

본 논문에서 제안한 CAM 회로는 TT(Typical Typical) 코너에서 1.2V 공급전압, 출력단 0.2pF 부하, 동작 온도 27℃, 매치상태 후 미스매치가 발생한 2 주기 동작에서 전파 지연 시간은 3.11ns, 전력 소모 174.3 μW, PDP(Product-Delay-Product) 0.54pJ과 EDP(Energy Delay Product) 1.68E-21Js의 결과값을 통해 기존 회로에 비해 각각 6.92%, 23.30%, 29.92%, 52.31% 감소하였음을 확인할 수 있었다. 그림 8은 공급 전압이 0.9V부터 1.5V까지 변화할 때, 그림 9은 동작 온도가 0℃부터 75℃ 범위에서 변화할 때, 전력 소모, 전파 지연 시간, PDP, EDP를 비교한 결과이다. 결과적으로 기존 회로보다 제안한 회로가 전력 소모, 전파 지연 시간, PDP, EDP 측면에서 우수함을 확인하였다.

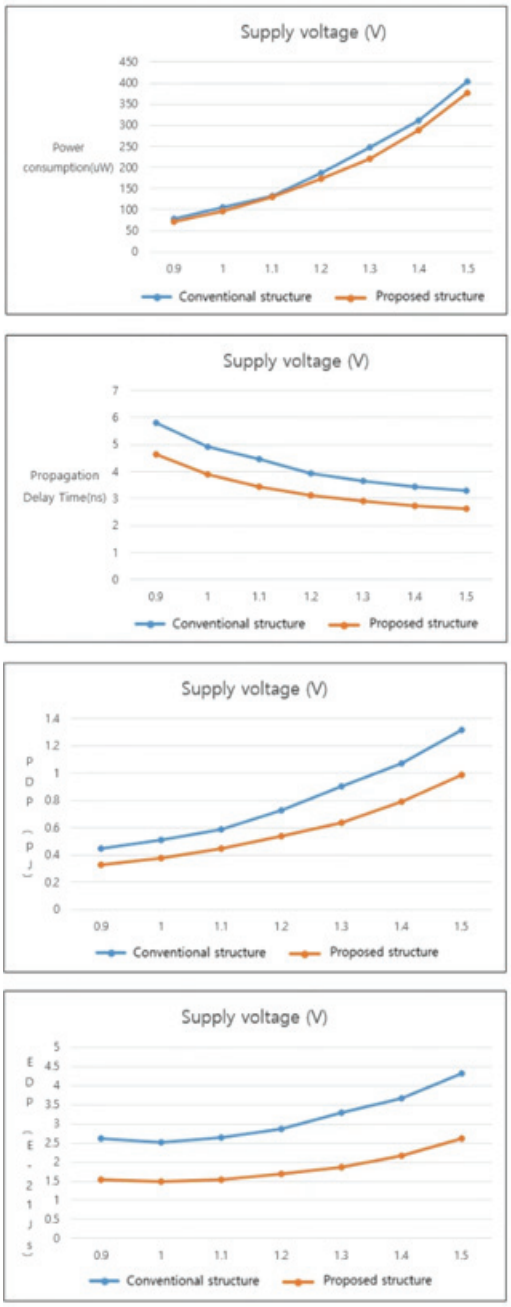

그림 8. 공급 전압 변화에 의한 CAM 특성
Fig. 8 Characteristics variation of CAM by supply voltage

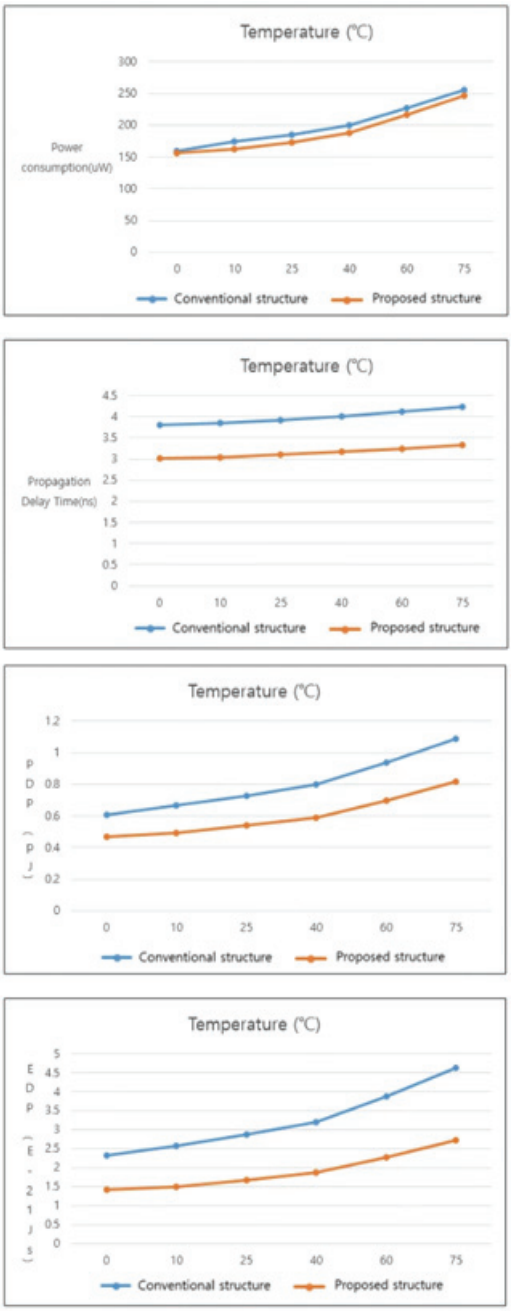

그림 9. 동작 온도 변화에 의한 CAM 특성
Fig. 9 Characteristics variation of CAM by operating temperature

V. 결 론

본 논문에서는 기존 선택적 매치라인 충전 CAM 구조에서 발생하는 전력 소모, 전파 지연 시간의 문제를 개선하는 새로운 감지 증폭기 구조를 제안하였다. 특히 미스매치 상태에서 매치라인 충전의 조기 종료 기능을 통해 단락 전류가 흐르는 시간을 감소시켜 단락 전류로 발생하는 전력 소모 감소하여 기존 구조의 문제점을 해결하였고, 기존 구조와 달리 매치라인을 충전하는 트랜지스터의 크기를 감소하지 않아 매치라인의 충전 속도를 증가시킴으로써 전체적인 CAM 동작의 속도를 향상시켰다. 또한 이를 기존의 CAM과 성능 비교를 진행하였을 때, 공급 전압, 온도의 변화에서 모두 우수함을 확인할 수 있었다. 제안하는 구조는 CAM이 확장되어 미스매치되는 매치라인의 수가 증가하게 된다면 더욱 효과적으로 전력 감소를 이룰 것이다. 하지만 기존 구조에 비해 NAND 논리의 추가에 따른 트랜지스터의 증가로 인한 면적의 오버헤드 문제는 해결하지 못하였다. 따라서 향후 연구는 확장 시 전력 소모와 전파 지연 시간의 장점을 유지하며 면적을 감소시킨 새로운 MLSA 구조에 대한 연구가 필요하다.

감사의 글

이 논문은 2023년도 정부에서 산업통상자원부의 재원으로 한국산업기술진흥원의 지원을 받아 수행된 연구임 (P0017011, 2023년 산업혁신인재성장지원사업)

References

[1] K. Pagiamtzis and A. Sheikholeslami, "Content-addressable memory (CAM) circuits and architectures: A tutorial and survey," *IEEE J. of solid-state circuits*, vol. 41, no. 1, Mar. 2006, pp. 712-727.

[2] Y. Chang and Y. Liao, "Hybrid-type CAM design for both power and performance efficiency," *IEEE Trans. on very large scale integration (VLSI) systems*, vol. 16, no. 8, July 2008, pp. 965-974.

[3] B. Yang, Y. Lee, S. Sung, J. Min, J. Oh, and H. Kang, "A low power content addressable memory using low swing search lines," *IEEE Trans. on Circuits and Systems I: Regular Papers*, vol. 58, no. 12, July 2011, pp. 2849-2858.

[4] N. Mohan, W. Fung, D. Wright, and M. Sachdev, "A Low-Power Ternary CAM With Positive-Feedback Match-Line Sense Amplifiers," *IEEE Trans. on Circuits and Systems I: Regular Papers*, vol. 56, no. 3, Mar. 2009, pp. 566-573.

[5] M. M. Hasan, A. B. M. H. Rashid, and M. M. Hussain. "A novel match-line selective charging scheme for high-speed, low-power and noise-tolerant content-addressable memory," *2010 Int. Conf. on Intelligent and Advanced Systems*, Kuala Lumpur, Malaysia, June 2010.

[6] H. Kim, M. Cho, S. Lee, H. Kwon, W. Choi, and Y. Kim, "Content-Addressable Memory System Using a Nanoelectromechanical Memory Switch," *Electronics,* vol. 11, no. 3, Feb. 2022, pp. 481.

[7] A. T. Do, C. Yin, K. Valayudhan, Z. C. Lee, K. S. Yeo, T. T. Kim,"0.77 fJ/bit/search content addressable memory using small match line swing and automated background checking scheme for variation tolerance," *IEEE J. of Solid-State Circuits,* vol. 49, no. 7, July 2014, pp. 1487-1498.

[8] A. T. Do, S. Chen, Z. Kong, K. S. Yeo,"A high speed low power CAM with a parity bit and power-gated ML sensing," *IEEE Trans. on very large scale integration (VLSI) systems*, vol. 21 no. 1 Jan. 2012, pp. 151-156.

[9] J. Kim and J. Kim, "Design of Low Power TCAM Based on 15-T Cell," *The J. of Korean Institute of Information Technology*, vol. 16, no. 4, Apr. 2018, pp. 37-42.

[10] C. Hong and J. Kim, "Design of In-Memory Computing Adder Using Low-Power 8+T SRAM," *J. of the Korea Institute of Electronic Communication Sciences,* vol. 18, no. 2, Apr. 2023, pp. 291-298

[11] H. Seo and D. Kim, "Approximate Multiplier with High Density, Low Power and High Speed using Efficient Partial Product Reduction," *J. of the Korea Institute of Electronic Communication Sciences*, vol. 17, no. 4, Aug. 2022, pp. 671-678

저자 소개

최지훈(Ji-Hoon Choi)

2023년 2월 : 강원대학교 전자공학과 졸업(공학사)

※ 관심분야 : SRAM 설계, 저 전력회로 설계

김정범(Jeong-Beom Kim)

1985년 2월 : 인하대학교 전자공학과 졸업(공학사)
1987년 2월 : 인하대학교 대학원 전자공학과 졸업(공학석사)
1997년 2월 : 포항공대학교 대학원 전자전기공학과 졸업(공학박사)
1987년 ~ 1992년 : 금성반도체 중앙연구소 선임연구원
1997년 ~ 1998년 : 현대전자 시스템IC 연구소 책임연구원
1999년 ~현재 : 강원대학교 전자공학과 교수
※ 관심분야 : VLSI 설계, 저 전력회로 설계