

2차원 채널 물질을 활용한 전계효과 트랜지스터의 저항 요소 분석

홍태영 · 홍슬기[†]

서울과학기술대학교 지능형반도체공학과

Performance Impact Analysis of Resistance Elements in Field-Effect Transistors Utilizing 2D Channel Materials

TaeYeong Hong and Seul Ki Hong[†]

Seoul National University of Science and Technology, 232 Gongneung-ro, Buk-gu, Seoul 01811

(Received September 12, 2023; Revised September 28, 2023; Accepted September 30, 2023)

초 록: 전자 및 반도체 기술 분야에서는 Si를 대체할 혁신적인 반도체 소재 연구가 활발하게 진행 중이다. 그러나 대체 소재에 대한 연구는 진행 중이지만 2차원 물질을 채널로 사용하는 트랜지스터의 구성요소, 특히 기생 저항과 RF(고주파) 응용 프로그램과의 관계에 대한 연구는 매우 부족한 편이다. 본 연구는 이러한 부족한 부분을 메우기 위해 다양한 트랜지스터 구조에 중점을 두고 전기적 성능에 미치는 영향을 체계적으로 분석하였다. 연구 결과, Access 저항과 Contact 저항이 반도체 소자 성능 저하의 주요 요인 중 하나로 작용함을 확인하였으며, 특히 고도로 scaling down된 경우 그 영향이 더욱 두드러지는 것을 확인하였다. 고주파 RF 소자에 대한 수요가 계속해서 증가함에 따라 원하는 RF 성능을 달성하기 위한 소자 구조 및 구성 요소를 최적화하기 위한 가이드라인을 수립하는 것은 매우 중요하다. 본 연구는 2차원 물질을 채널로 사용하는 다음 세대 RF 트랜지스터의 설계 및 개발에 도움이 될 수 있는 구조적 가이드라인을 제공함으로써 이 목표에 기여할 수 있다.

Abstract: In the field of electronics and semiconductor technology, innovative semiconductor material research to replace Si is actively ongoing. However, while research on alternative materials is underway, there is a significant lack of studies regarding the relationship between 2D materials used as channels in transistors, especially parasitic resistance, and RF (radio frequency) applications. This study systematically analyzes the impact on electrical performance with a focus on various transistor structures to address this gap. The research results confirm that access resistance and contact resistance act as major factors contributing to the degradation of semiconductor device performance, particularly when highly scaled down. As the demand for high-frequency RF components continues to grow, establishing guidelines for optimizing component structures and elements to achieve desired RF performance is crucial. This study aims to contribute to this goal by providing structural guidelines that can aid in the design and development of next-generation RF transistors using 2D materials as channels.

Keywords: 2D Channel, Field Effect Transistor, RF Device, Analog Device, Access Resistance, Contact Resistance

1. 서 론

현대 반도체 공정에서 반도체 소자의 크기가 계속해서 축소되고 있어 소자의 성능도 지속적으로 향상되고 있다. 그러나 이러한 크기 축소(Scaling down)는 기생 저항 요소(parasitic elements)의 증가라는 문제를 야기하고 있다.¹⁻²⁾ 기생 저항은 의도하지 않은 저항을 가리키며, 이는 반도체 소자의 성능을 저하시키는 주요 요소 중 하나이다. 초기에는 소자의 크기가 상대적으로 크기 때문에 기생 저항이 전체 저항에서 차지하는 비율이 작아서 무시

할 수 있었지만, 소자의 크기가 점점 작아지면서 기생 저항의 상대적 중요성이 더욱 높아지고 있다. 기생저항을 구성하는 요소들은 소자 크기가 작아져도 같이 줄어들지 않기 때문에 그 값이 차지하는 비율이 커지게 되는 것이다. 게다가, 저항 특성은 단순히 전류 크기뿐만 아니라 RF 소자의 경우 고주파 신호 전달 특성에도 큰 영향을 미치기 때문에 소자 성능 개선을 위해서는 반드시 고려해야 하는 중요한 요소이다.

이러한 이유로, 기생 저항의 영향을 체계적으로 분석하는 연구가 필요하다. 기생 저항에 대한 심층적인 이해는

[†]Corresponding author
E-mail: skhong@seoultech.ac.kr

© 2023, The Korean Microelectronics and Packaging Society

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

반도체 소자의 성능 향상을 위한 중요한 단계 중 하나로 간주된다. 따라서 이러한 연구의 중요성은 더욱 부각되고 있으며, 이 분야에서의 연구 활동을 확장하고 발전시키는 것이 필수적이라 할 수 있다.³⁻⁵⁾

현 반도체 소자 분야에서는 2차원 물질(2-Dimensional)을 채널로 이용한 반도체 소자의 필요성이 미래 전자 기술의 혁신과 향상에 중요한 역할을 한다. 이러한 소자는 전기 전달 속도, 에너지 효율, 크기 축소 등 다양한 측면에서 이점을 가지며, 빠른 전자 속도와 저전력 소비를 가능하게 한다. 또한, 2차원 물질을 활용하면 기생 저항과 같은 중요한 이슈에 대한 연구도 가능해진다. 즉, 이를 통해 신속하고 효율적인 전자 소자를 개발하고 미래 기술 발전에 기여하는 연구수행에 이점이 있다.

본 논문에서는 신소자 연구에서 많이 활용되고 있는 2차원 물질인 그래핀을 이용하여 트랜지스터를 제작하고 이를 활용하여 기생 저항 요소의 분절화와 각각이 소자의 성능에 미치는 영향을 체계적으로 분석하였다. 뿐만 아니라, 이를 통해 얻은 결과를 토대로 효율적인 반도체 소자 성능 개선을 위한 다양한 방안을 제시하였다. 이러한 방안은 미래의 반도체 기술에 대한 중요한 지침을 제공할 것으로 기대된다. 그리고 이러한 연구는 단순히 신소재나 신공법을 적용하는 것을 넘어서, 소자의 구성요소에 대한 근본적인 이해를 토대로 효율적인 개선 방안을 제시하는 활동에 크게 기여할 것으로 기대된다.

2. 실험 방법

Fig. 1은 2차원 물질을 채널로 활용하는 반도체 소자의 제작 공정 과정을 나타낸다. 본 연구에서 2차원 물질을 채널로 하는 반도체 소자를 사용한 이유는, 소자의 구조가 단순해지기 때문에 기생요소를 보다 쉽게 추출할 수 있기 때문이다.

일반적인 Si 반도체 소자의 경우 Channel 영역이 3차원으로 형성되어 있고 이와 연결되어 있는 기생 요소 역시 3차원으로 형성되어 있다. 때문에 기생요소의 분절화를 위해서는 넓이와 길이 뿐만 아니라 깊이에 대한 항목을 추가해야한다. 하지만 2차원 소자의 경우 채널이 2차원 평면으로 형성되어 있기 때문에 기생요소도 2차원으로

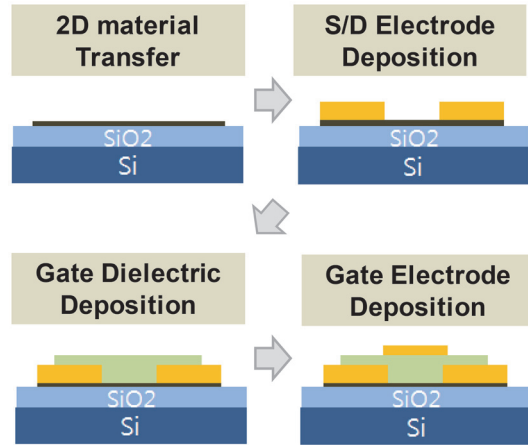


Fig. 1. The process of fabricating semiconductor devices using 2D materials as channels involves the following steps.

형성되어 비교적 단순하게 값을 확인할 수 있다. 즉 기생 요소의 항목은 동일하지만 항목을 변수에 깊이 개념이 제거되어 분절화가 보다 용이해지는 것이다. 본 연구의 목적은 Scaling down에 있어서 기생요소들이 성능저하에 미치는 영향성을 분석하는 것이기 때문에 이러한 목적으로 활용하기 위해서는 분절화가 용이한 2차원 소자를 활용하는 것이 연구의 효율성을 향상시킬 수 있다.

2차원 소자의 채널 물질로 본 연구에서는 그래핀을 사용하였다. Fig. 1처럼 소자제작을 위해서 그래핀을 기판에 전사하는 과정을 우선 진행한다. 이후 Source / Drain 전극은 lift-off 공법을 이용하여 형성하였다. 전극으로는 Au를 사용하였으며, Au만 증착할 경우 접촉력이 좋지 않기 때문에 이를 보완하기 위해서 Pd를 추가로 증착하였다. 이후 Gate dielectric 으로 사용될 Al₂O₃ 증착을 진행하였고, 마지막으로 Gate 전극으로 사용하기 위해서 Source / Drain과 동일하게 Pd / Au 구조를 lift-off 공법으로 형성하였다.

3. 결과 및 토의

Fig. 2는 2차원 반도체 소자에 존재하는 기생 요소와 본 연구에서 이를 분석하기 위해 제작한 소자의 광학 현미

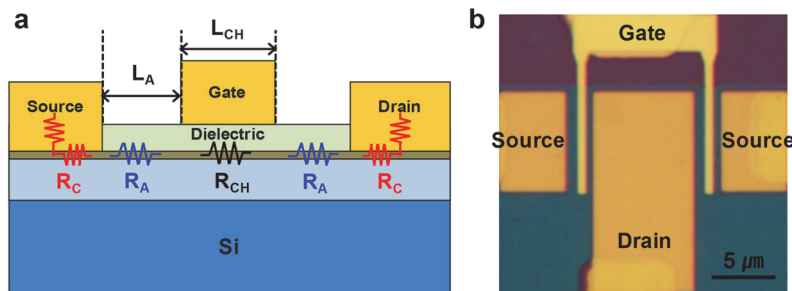


Fig. 2. (a) Overview of parasitic resistance elements in 2D channel devices and (b) optical microscope image of the fabricated device.

경 이미지이다. 반도체 소자의 총 저항 (R_{TOTAL})은 채널 저항 (Channel Resistance : R_{CH})과 접촉 저항 (Contact Resistance : R_C) 및 접근 영역 저항 (Access Resistance : R_A)으로 구성된다.

채널과 Source / Drain 을 구성하는 전극이 반드시 연결되어야 하는데 이 때 접촉부에 존재하는 저항이 접촉 저항이다. 반도체 소자의 제작에 있어서 접근영역 (Access region)은 Gate 전극에 의해 채널이 modulation 되지 않는 영역이기 때문에 소자의 on / off switching 동작에 영향을 주지 못하고 전류 값을 낮추는 저항요소이다. 이를 제거하기 위해서 Self-align 기법들을 사용하기도 하지만, 완전히 제거할 경우 Gate 전극과 Source / Drain 전극이 맞닿아서 전극간에 절연되지 못하는 Short가 발생하게 되어 일정 수준의 간격은 유지해야한다. 2차원 물질로 소자를 제작하여도 이러한 기생 요소는 동일하게 존재하며 Fig. 2에서 보이는 것처럼 채널과 전극 사이에 접촉 저항이, Gate 전극과 Source / Drain 전극 사이에 접근 영역 저항이, 그리고 Gate에 의해 modulation이 발생하는 채널 영역에 채널 저항이 존재하며 이들은 직렬 연결로 구성되어 있다.

본 연구의 목적은 3가지 저항 요소를 분절화 하는 것이기 때문에 각각의 저항 요소의 값에 대한 추출이 필요하였고, 이를 위해 다양한 채널 길이 (L_{CH}) 및 접근 영역 길이 (L_A)를 바꾸면서 전달 길이 방법 (TLM : Transfer Length Method) 측정을 사용하였다. 전달 길이 방법은 소자의 저항요소를 추출하는데 많이 사용되는 방법으로, 저항요소를 결정하는데 소자 규격이 영향을 주는 것을 이용하는 것이다. 소자를 제작했을 때 추출할 수 있는 가장 기본적인 전기적 특성은 전류-전압 (Current - Voltage) 그래프이다.

여기서 $V=IR$ 을 이용할 경우 전류 값을 저항으로 환산할 수 있으며, 이 때의 저항은 소자의 모든 저항값이 합쳐진 R_{Total} 을 나타낸다. Fig. 2를 참고하면 R_{Total} 은 $R_{CH} + 2R_C + 2R_A$ 로 구성되어 있다. 이 때 접촉 저항의 경우 접근 영역 길이와 채널 길이는 영향을 주지 않는다. 즉 채널 길이를 변경하게 되면 R_{CH} 만 변경되고 이로 인해 전류-전압 특성이 변경되는 것이다. 이를 활용하면 서로 다른 채널 길이를 갖는 다양한 소자를 제작하여 그 결과를 연립함으로써 $2R_C + 2R_A$ 값을 추출할 수 있고, 접근 영역 길이만을 변화시킨 소자를 제작하여 $R_{CH} + 2R_C$ 값만을 추출할 수도 있다.

Fig. 3은 채널 길이에 따른 총 저항을 크기 측정한 결과를 시각적으로 보여줍니다. 전체 저항은 앞서 언급하였듯이 R_{CH} (채널 저항) + $2R_C$ (접촉 저항) + $2R_A$ (접근 영역 저항)으로 나타낼 수 있으며, 측정 그래프에서 $L_A = 0$ nm로 추정(extrapolation)할 때 Y-절편과 그래프의 기울기를 활용하여 $R_{CH} + 2R_C$ 의 값과 접근 영역의 저항률(resistivity)을 계산할 수 있다.

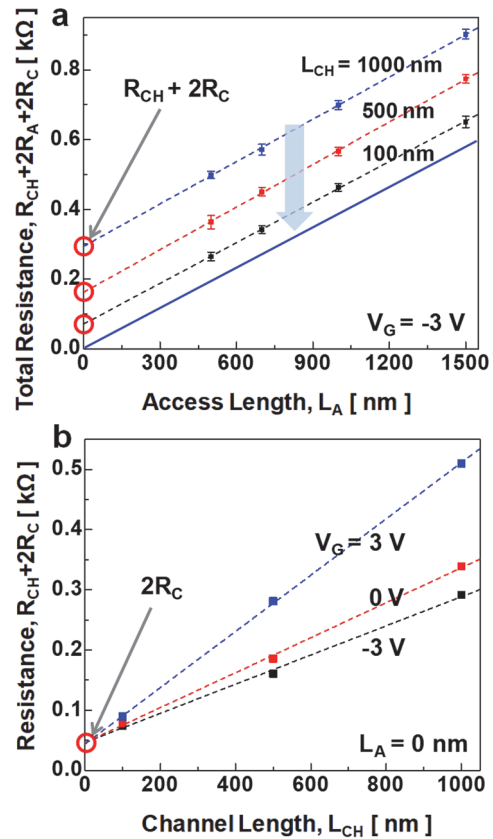


Fig. 3. Results obtained by processing the I-V data measured on various 2D devices using the TLM method: (a) The results obtained when changing the access length at three different channel lengths. (b) The reorganized results of the Y-intercept obtained in (a) as a function of channel length and gate bias.

Fig. 3 (a) 그래프에서 기울기를 통해 얻은 $R_{CH} + 2R_C$ 값은 Fig. 3 (b)에서 다양한 Gate 전극에 가해지는 전압과 함께 L_{CH} (채널 길이)의 X-축으로 다시 추정(extrapolation)할 수 있으며, 이로부터 R_C 값이 $136.5 \Omega \cdot \mu m$ 임을 확인할 수 있다. Fig. 3 (b)의 기울기는 2차원 반도체 소자의 채널 영역에서 Gate 전극에 가해지는 전압에 따라 변하는 저항률을 나타냅니다. 즉 채널의 modulation 정도를 의미한다. 결과 값을 얻는 과정에 있어서 제작된 소자 간의 공정 영향성과 산포를 고려하여 150개 이상의 단위 소자를 측정하여 결과의 일관성을 확보하였다. 본 연구에서는 각각의 저항 요소를 분절화 하는데 있어서 접근 영역 저항을 먼저 제거하는 순서로 진행하였지만, 다른 기생 저항을 우선 제거하여도 문제되지 않는다.

Fig. 4는 서로 앞서 설명한 방법으로 추출한 저항 요소들에 대해서 서로다른 규격을 갖는 반도체 소자에서의 저항 성분(R_{CH} , R_A 및 R_C) 구성 비율을 나타낸다. Fig. 4(a)는 Short 채널 소자의 저항 구성 비율을 확인하기 위한 채널 길이가 50nm인 경우, 접근 영역 길이에 따른 저항 구성 비율을 나타내고, Fig. 4(b)는 long 채널 소자의 저항

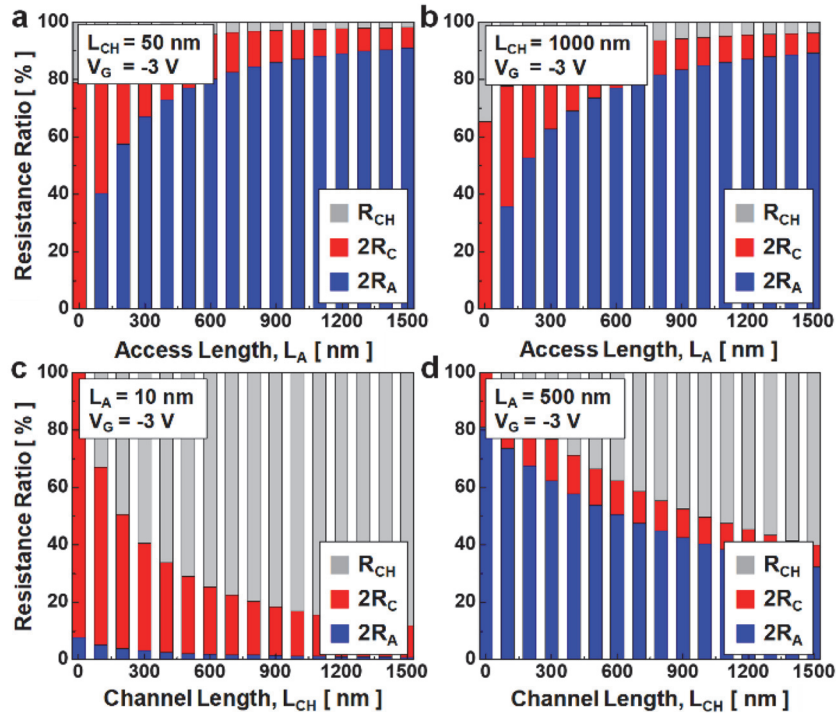


Fig. 4. A graph illustrating the composition ratios of extracted resistance components using the TLM method based on device specifications: (a) Resistance composition ratios with respect to access length for a channel length of 50nm (short channel). (b) Resistance composition ratios with respect to access length for a channel length of 1000nm (long channel). (c) Resistance composition ratios with respect to channel length for an access length of 10nm (self-aligned). (d) Resistance composition ratios with respect to channel length for an access length of 500nm (without self-alignment).

구성 비율을 확인하기 위해 채널 길이가 1000nm 인 경우에 대한 그래프이다. Fig. 4(c)와 (d)는 각각 self-align 공법의 적용 유/무 구조에 대한 것으로 접근 영역 길이가 10nm 인 경우와 500nm인 경우에 대해서 채널 길이에 의한 저항 구성 비율의 변화를 나타내고 있다.

우선, 채널 길이가 50nm 및 1000nm로 고정되었을 때 각 저항 성분의 비율을 접근 영역 길이를 X-축으로 나타내었다. 채널 길이가 1000 nm인 경우(Fig. 4 (b)), 채널 저항이 상당히 큰 비중을 차지하여 전류의 modulation은 Gate 전극에 가해지는 전압에 의해 잘 제어된다는 것을 확인할 수 있다. 그러나 Fig. 4 (a)에서 보여지듯이 짧은 채널 길이를 갖는 반도체 소자의 경우 채널 저항의 비중은 크게 감소하며, 접촉 저항 및 접근 영역 저항이 전체 저항의 대부분의 비율을 차지하게 된다. 이로써 전류의 modulation은 채널 저항에 대해 둔감해지며, 결과적으로 반도체 소자의 on / off switching 동작은 Gate 전극에 가해지는 전압에 의한 제어력을 상실하게 된다. 예를 들어, 채널 길이가 50nm, 접근 영역 길이가 300nm의 경우 채널 저항은 전체 저항의 약 10%에 불과하며, 이것은 반도체 소자에 채널 영역에 흐르는 전하량을 조절하기 위해 가해지는 전압의 변화 중 10%만이 영향을 미치게 된다는 것을 의미한다. 이 결과는 접촉 저항과 접근 영역 저항이 반도체 소자에서 중요한 성능 저하 요소임을 나타

낸다. 특히 채널 저항의 길이가 100nm 미만인 경우 이 저하가 더 심화 되는 것을 확인할 수 있다. 게다가, 채널 길이가 짧고 접근 영역의 길이가 감소하게 되면 따라 물질의 특성에 더 영향을 받게 되는 접촉 저항의 증가 비율이 크게 늘어나는 것도 확인할 수 있다.

Fig. 4 (c)와 (d)는 각각 접근 영역 길이가 10nm와 500nm로 고정된 경우 채널 길이를 x축으로 하여 전체 저항의 구성 비율을 나타낸다. 이 결과는 높은 접근 영역 저항에서는 채널 길이가 짧은 경우 정상적인 반도체 소자로서의 동작을 기대할 수 없으며, 접근 영역 저항 항목이 전체 저항의 80% 이상을 차지하게 된다는 것을 알 수 있다. 반면, 낮은 접근 영역 저항을 갖는 경우에는 접근 영역 길이가 100nm 이하가 되어야 비로소 접촉 저항이 성능 저하의 주요인으로 작용함을 확인할 수 있다.

결국 소자의 성능 개선을 위해서는 접근 영역 저항과 접촉 저항 값을 최소화하는 것이 근본적인 해결책이 된다. 하지만 접촉 저항은 구조적 개선에 한계가 있으며 그 값을 결정하는 요인은 금속 전극과 채널을 형성하는 물질, 그리고 두 사이의 접촉 방법이다. 또한, 접근 영역 저항을 줄이기 위해 접근 영역의 길이를 최소화해야 하지만, Gate 전극은 Source / Drain 전극과 전기적으로 분리되어야 하므로 접근 영역 길이를 0으로 만들 수는 없다. 게다가, 앞서 언급한대로, 반도체 소자의 규격에 따라 접

근영역 저항과 접촉 저항 중 성능 저하를 주도하는 주요 요인도 다를 수 있다.

소자 성능 요소의 제거가 제한적인 경우, Fig. 4와 같은 연구 결과는 원하는 소자 규격에서 성능 저하의 주요 원인을 사전에 파악함으로써 효율적인 개선 방향을 찾을 때 유용하게 활용이 가능하다. 이러한 결과는 향후 연구 및 개발 과정에서 새로운 소자의 구조 및 최적화에 대한 중요한 지침으로 활용될 수 있다.

4. 결 론

본 연구결과는 2차원 물질을 활용한 반도체 소자의 성능 향상과 관련하여 실질적인 개선 방향을 제시하는 중요한 지침으로 활용될 수 있다. 반도체 소자 연구의 목표는 단순히 집적도를 개선하고 공정 효율화 혹은 신뢰도와 같이 생산과 관련된 연구도 있지만, 근본적으로는 동작 특성을 개선하여 보다 높은 성능을 얻기 위한 연구가 필수적이다. 하지만 최근까지 이러한 구성 요소에 대한 분석을 통하여 성능 저하와 관련된 요인을 특정하고 개선 방향을 제시하는 것과 같은 내용은 부족한 편이다. 따라서 본 연구 결과가 반도체 소자의 성능과 관련된 연구에 많은 도움을 줄 수 있다고 확신한다. 더 많은 연구자들이 이러한 성능 저하 요소에 대한 연구를 통해 여러가지 채널 물질 혹은 접촉 물질과 다양한 구조체와 같은 반도체 소자의 구성요소 개선을 바탕으로 성능을 향상시키

는 방법을 탐구하게 될 것으로 기대되며, 본 연구결과가 전자 기술의 발전과 혁신을 위한 중요한 발판이 될 것으로 예상된다.

Acknowledgements

This work was supported by the National Research Foundation of Korea(NRF) grant funded by the Korea government(MSIT) (No. RS-2023-00239657).

References

1. H. Wu, et al., "Parasitic resistance reduction strategies for advanced CMOS FinFETs beyond 7nm", 2018 IEEE International Electron Devices Meeting (IEDM), 18420795 (2018)
2. C. Huyghebaert, et al., "2D materials: roadmap to CMOS integration", 2018 IEEE International Electron Devices Meeting (IEDM), 18420807 (2018)
3. C. D. English, et al., "Improved contacts to MoS₂ transistors by ultra-high vacuum metal deposition", Nano letters, 16(6), 3824-3830 (2016)
4. S. Russo, et al., "Contact resistance in graphene-based devices", Physica E: Low-dimensional Systems and Nanostructures, 42(4), 677-679 (2010)
5. A. Venugopal, L. Colombo, E. M. Vogel, "Contact resistance in few and multilayer graphene devices" Appl. Phys. Lett., 96(1), 013512 (2010)