

특집 : ESG와 반도체 패키지

## ESG를 위한 반도체 패키지 기술 트렌드

서민석<sup>†</sup>

SK하이닉스(주) PKG개발

### Technology Trends of Semiconductor Package for ESG

Minsuk Suh<sup>†</sup>

PKG development, SK hynix, 2091, Gyeongchung-daero, Bubal-eub, Icheon-si Gyeonggi-do, 17336, Korea

(Received September 13, 2023: Revised September 22, 2023: Accepted September 30, 2023)

**초 록:** ESG는 많은 기업에게 기업 가치를 향상시키고, 지속 경영이 가능하게 하는 큰 지침이 되고 있다. 그 중에서도 환경(Environment)은 기술적 관점의 접근이 필요하다. 환경 오염을 줄이거나 방지하고, 에너지를 절감하는 것은 기술적인 해법이 필요하기 때문이다. 반도체 패키지 기술은 반도체 패키지의 본연의 역할인 칩의 보호, 전기/기계적 연결, 열 방출 등을 잘 하기 위해 개발 및 발전해 왔는데, 이에 따라 열 방출 효과 향상, 전기적/기계적 특성 향상, 칩을 보호하는 신뢰성 향상, 적층 및 소형화, 그러면서 비용절감을 위한 기술들이 개발되고 발전해 왔다. 그 중에서도 열 방출 기술은 열효율을 높이고, 냉각을 위한 에너지 소모를 작게 하며, 전기적 특성 향상 기술도 저전력 사용과 에너지 소모를 줄이는 효과를 만들어서 환경에도 영향을 주었다. 또한 재사용이나 재료 소모를 줄이는 기술은 환경 오염을 줄이게 되며, 특히 환경에 유해한 물질들에 대해 대체하는 기술들은 환경 개선에 기여하게 된다. 본 논문에서는 이러한 환경 오염 방지 및 개선을 위한 반도체 패키지 기술들의 트렌드를 정리하였다.

**Abstract:** ESG (Environment, Social, Governance) has become a major guideline for many companies to improve corporate value and enable sustainable management. Among them, the environment requires a technological approach. This is because technological solutions are needed to reduce or prevent environmental pollution and save energy. Semiconductor package technology has been developed to better satisfy the essential roles of semiconductor packaging: chip protection, electrical/mechanical connection, and heat dissipation. Accordingly, technologies have been developed to improve heat dissipation effect, improve electrical/mechanical properties, improve chip protection reliability, stacking and miniaturization, and reduce costs. Among them, heat dissipation technology increases thermal efficiency and reduces energy consumption for cooling. Also, technology to improve electrical characteristics has had an impact on the environment by reducing energy consumption. Technologies that recycling or reducing material consumption reduce environmental pollution. And technologies that replace environmentally harmful substances contribute to environmental improvement, in particular. In this paper, I summarize trends in semiconductor package technologies to prevent pollution and improve environment.

**Keywords:** ESG(Environment, Social, Governance), TSV(Through Si Via), Fine pitch I/O(input/output), Heat Dissipation, Energy Consumption, Recycle

### 1. 서론(Introduction)

반도체 패키지 기술은 반도체 패키지의 역할인 칩을 보호하고, 전기적 신호와 파워의 전달 통로가 되며, 기계적으로 시스템에 부착되어 있게 하면서, 반도체가 안정적으로 동작할 수 있게 열 방출을 효율적으로 하는 것을 잘 하기 위해서 기술개발이 이루어져 왔다. 그 때문에 반도체 패키지 기술은 열 방출 효과 향상시키기 위한 재료 및 구조를 개발하여 왔고, 전기적/기계적 특성 향상을 위해

인터커넥션 기술 등을 개발해 왔다. 그리고, 어떠한 환경 조건에서도 반도체 칩이 잘 동작할 수 있도록 칩을 보호하여 신뢰성을 향상시키는 기술과 적층 및 소형화하여 반도체 특성을 향상시키는 기술도 개발하여 왔다. 또한 최적의 제조 비용으로 산업계에서 요구되는 특성이 만족할 수 있게 적용되도록 반도체 패키지 기술은 발전되어 왔다.<sup>1)</sup> Fig. 1은 반도체 패키지 기술 발전 트렌드를 도식화하여 표현한 것인데, 그림에서 볼 수 있듯이 반도체 패키지 기술 발전 트렌드에 하나 더 추가된 것이 바로 환경

<sup>†</sup>Corresponding author  
E-mail: minsuk.suh@sk.com

© 2023, The Korean Microelectronics and Packaging Society

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

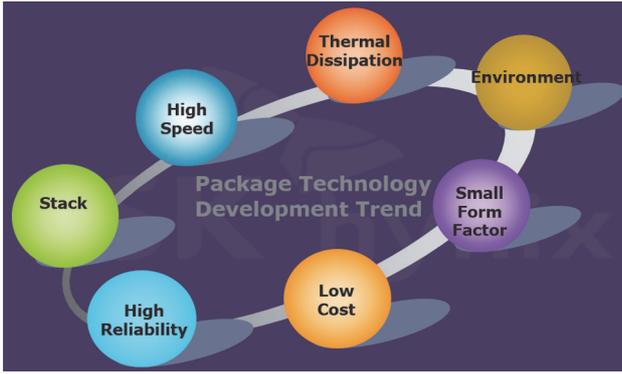


Fig. 1. Development Trend of Semiconductor Package Technology.

개선을 위한 기술의 발전이다. 최근 산업계에서는 RE100, 탄소 중립 등의 에너지 관련 이슈 해결뿐만 아니라, 환경 오염 방지 및 개선을 위한 많은 노력이 있어왔고, 이것들은 ESG와 연계되어 기업의 중요한 활동이 되고 있다. 이것은 반도체 산업에서도 마찬가지이고, 이러한 활동을 위해서는 이를 위한 기술의 발전도 반드시 필요하게 되었다. 반도체 패키지 기술도 이러한 사회적, 기술적 요구를 충족하기 위해 다양한 기술을 개발해 왔다. 그 활동은 크게 2가지로 분류할 수 있다. 하나는 에너지 절감을 위한 기술 개발이고, 나머지 하나는 환경 오염 방지 및 개선을 위한 기술 개발이다. 사실 이러한 기술 개발들은 상당히 오래전부터 진행되어 왔고, 양산에 많은 부분이 적용되었지만, 환경과 에너지 절감을 위해 진행된 반도체 패키지 기술들에 대해서 전체적인 정리가 미흡하여, 이 논문을 통해 정리하고자 한다.

## 2. 에너지 절감 노력

에너지 절감을 위한 반도체 패키지 기술은 전기 전달 경로 축소 등으로 전력 소모를 줄이거나, IO(Input/Output) 핀 숫자를 늘려서 신호나 파워 전달 통로를 늘려 동일 성능 시 전력 소모를 줄이는 기술을 개발해 왔다. 또한 열 방출 효과를 향상시켜 전체 시스템을 식히는데 드는 전력 소모를 줄이는 것도 반도체 패키지 기술의 큰 기술 트렌드이다.

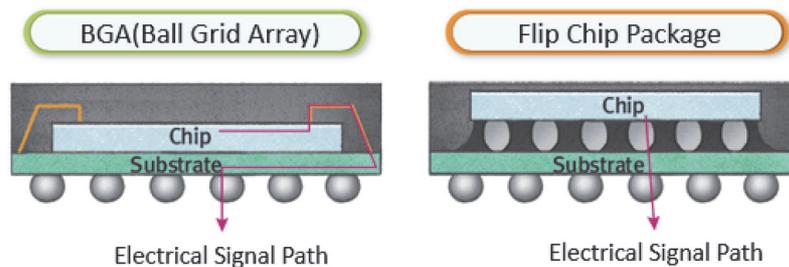


Fig. 3. Comparison of signal transmission paths between flip chip package and wire bonding package.

### 2.1. 저전력 사용

반도체에서 전력 소모를 줄이기 위해서는 먼저 동작 시 필요한 전력 파워를 줄이는 것이 필요하다. Fig. 2는 DRAM(Dynamic Random Access Memory)에서 속도가 빠른 소자를 개발하면서 동작 전압이 낮아진 경향을 보여주는 것으로 이처럼 반도체 설계자들은 동작 전압을 낮춰 반도체 칩이 동작할 수 있게 지속적으로 설계해 왔고, 동시에 반도체 패키지 엔지니어들은 패키지 기술이 이를 구현해 낼 수 있게 공정과 구조를 개발해 왔다. 또한 반도체 패키지 기술은 반도체의 전기적 특성을 향상시키기 위한 공정과 구조를 개발해 왔는데, 이는 동시에 전력 소모를 줄이는 역할도 해 왔다. 즉, 전기 신호와 전력의 전달 경로를 줄이고, 저항을 줄임으로서 전력 손실을 줄이고, I/O 수를 늘림으로서 같은 전력으로 더 많은 신호가 전달되도록 하는 기술을 개발해 온 것이다. 이러한 기술의 대표적인 예가 플립칩 본딩과 적층을 위한 TSV(Through Si Via)기술이다.

플립칩 본딩은 칩위에 범프를 형성하여 인터커넥션하는 기술로 기존의 와이어 본딩 보다 신호전달 경로를 크게 줄였고(Fig. 3), I/O수를 늘렸다. 그리고, 본딩 피치를 줄임으로써 같은 면적에 더 많은 I/O를 구현하는 방법은 계속 개발되어 양산에 적용되고 있다. 현재는 범프 자체를 없애고 Cu와 Cu를 직접 본딩하면서 본딩 피치를 수 마이크로 단위로 만들 수 있는 하이브리드 본딩이 본격 개발되고 있다. 적층을 위한 TSV 기술도 적층 시에 플립칩 본딩처럼 신호와 전력의 전달 경로를 줄이고, I/O 수를 늘려서 전기 특성을 향상시키고 전력 소모를 줄여 준

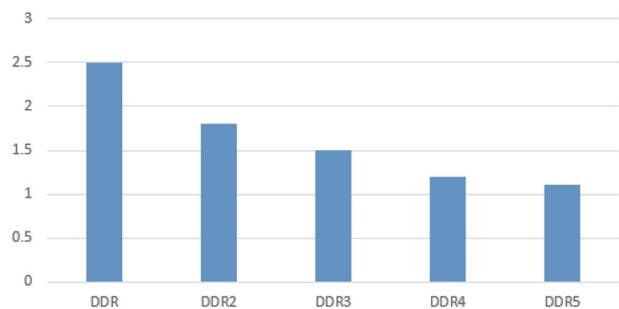


Fig. 2. DRAM Operating Voltage Trend (Unit: V).

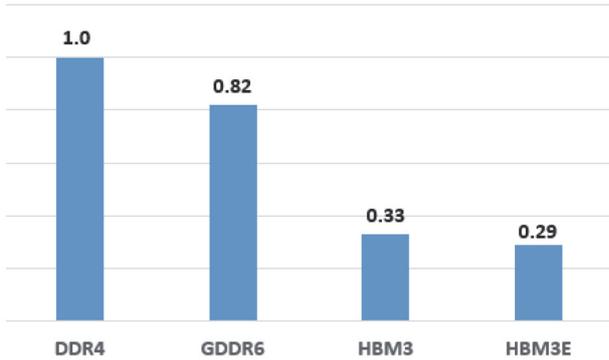


Fig. 4. Power consumption comparison between DRAM devices.

다. Fig. 4는 DRAM에서 같은 데이터 량을 전달할 때 전력 소모량을 비교한 것으로 TSV 적층 기술을 사용한 HBM(High Bandwidth Memory)3E는 DDR4 대비 70%까지 전력 소모량이 줄어든 것을 볼 수 있다. TSV 적층 기술을 사용함으로써 전력 소모량이 줄어든 경향은 마이크론과 AMD가 발표한 결과에서도 확인할 수 있다.<sup>3,4)</sup>

2.2. 열 방출 특성 강화

반도체 패키지 역할 중의 하나가 동작 중 발생하는 반도체 소자의 열을 잘 방출시켜서 반도체 소자가 동작이 가능한 안정적인 온도를 유지시키는 것이다. 이를 위해 반도체 패키지 기술은 열 방출을 잘 하게 할 수 있는 재료 및 구조를 지속적으로 개발해 왔다. 그리고 이러한 노력이 에너지 소모량 감소에도 기여하고 있다. Fig. 5는 2014년에 미국에 있는 데이터 센터에서 전력이 사용되는 용도를 정리한 것이다. 이 그림에서 볼 수 있듯이 데이터 센터에서 소모하는 전체 전력량의 43%가 데이터 센터 전체 시스템을 식히는(Cooling) 데 사용하고 있다. 데이터 센터에서는 시스템이 가동하면서 엄청나게 많은 열이 발생하고 있는데, 이를 효과적으로 쿨링(Cooling)해야 시스템이 안정적으로 동작할 수 있게 된다. 그러므로 쿨링에

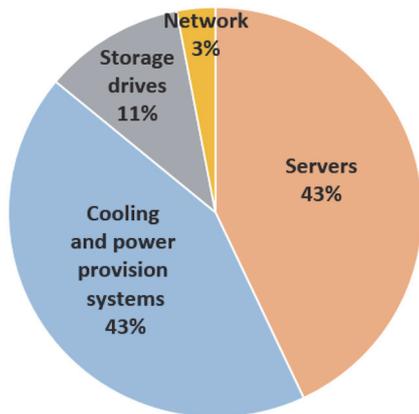


Fig. 5. Fraction of U.S. data center electricity use in 2014, by end use.<sup>3)</sup>

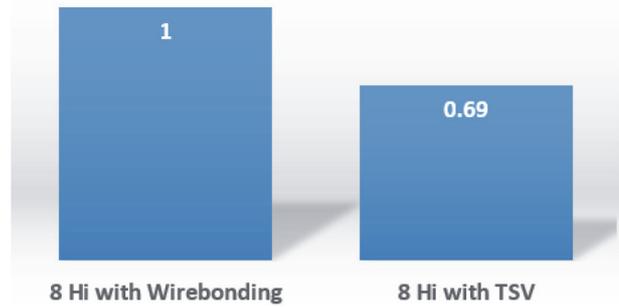


Fig. 6. Comparison of thermal resistance between a stack package using TSV and a stack package using wire bonding.

많은 전력을 소모하고 있는데, 패키지 레벨에서는 열 방출을 잘 하게 함으로써 쿨링에 소모되는 전력량을 더 줄일 수 있는 것이다. 이러한 경향은 모든 반도체 제품에 해당되는 것이다. 그러므로 열 방출 효과를 향상시키는 반도체 패키지 기술은 전체 시스템에서의 에너지 소모량을 줄일 수 있는 것이다.

반도체 패키지에서 열 방출을 잘 하게 하기 위해서는 반도체 패키지를 만드는 데 사용되는 소재의 열전도도를 높이는 방법과 히트스프레더(Heat Spreader)나 히트 싱크(Heat Sink)등의 구조체를 패키지나 모듈 표면에 장착하여 표면적을 높임으로써 열 방출이 잘 되게 하는 방법 등이 있다. 특히 소재의 열전도도를 높이기 위해 에폭시 몰드 컴파운드(EMC, Epoxy Mold Compound) 같은 폴리머 재료의 경우, 필러(Pillar)를 기존의 SiO<sub>2</sub>에서 Al<sub>2</sub>O<sub>3</sub> 같은 재료로 대체하면서 전체 열전도도를 높이고 있으며 더 높은 열전도도를 갖는 필러 재료를 개발해 오고 있다.

인터커넥션 기술도 패키지의 열 방출 효과에 기여하는 열전도도 향상에 영향을 준다. 열전도도는 열 저항으로 표시할 수 있는데, 1 와트(Watt)를 전력을 가했을 때 증가하는 온도(°C)가 열 저항인데, 열전도도가 높을수록 열 저항은 낮게 된다. Fig. 6은 같은 DRAM소자에 대해서 8개 칩을 적층하고 와이어 본딩으로 연결한 적층구조와 TSV로 연결한 적층구조에서 열 저항을 시뮬레이션으로 비교한 것으로 와이어 본딩으로 인터커넥션한 적층 구조 대비 TSV로 인터커넥션한 적층 구조가 열 저항이 약 31% 낮음을 보여준다. 칩 내에서 Cu가 들어간 비아로 인터커넥션하는 경우에 칩 내에서 동작 시 발생하는 열을 더 잘 방출시킬 수 있음을 보여주는 것이다. 여기에 TSV비아가 수가 늘어나거나 칩 간의 범프 수가 늘어나면 열 저항은 더욱 더 낮아지게 된다.

3. 환경 개선 및 보호.

3.1. 환경 유해 물질의 대체

반도체 패키지에서는 사용되는 재료가 인체와 환경에 유해하다고 판명되거나, 규제가 되면 이를 대체하기 위

한 재료를 개발하여 사용하여 왔다. 그 대표적인 예가 솔더 합금이다.

납은 인체와 환경에 유해하다고 판명이 되어, 유럽에서는 2002년에 발표된 RoHS 환경 규제<sup>5)</sup>로 납(Pb)의 사용이 금지되었고, 다른 모든 나라에서도 사용을 규제하고 있다. 따라서 전자 제품에서 솔더로 사용되던 납주석(PbSn)합금도 사용이 규제되어 솔더에 납이 들어가지 않는 무연 솔더가 개발되어 적용되어 왔다. 따라서 반도체 패키지에서도 기존의 납주석 합금을 대체할 솔더로서 솔더볼은 SnAgCu가 주로 사용되었고, 플립칩 등 도금으로 솔더 범프를 형성해야 하는 경우엔 SnAg 또는 Sn을 도금하여 범프를 형성하였다.

납 외에도 환경이나 인체에 유해하여 재료를 변경한 예가 여러가지가 있는데, 또 다른 예는 도금용액이다. 금 도금 용액으로 금 이온을 용액에 녹일 기본 산으로 시안산(cyanic acid)이 많이 사용되었지만, 시안 산 자체가 독성이 강하여 인체에 유해하고, 환경에도 영향을 주므로 금 도금 용액의 기본 산을 메탄 술폰산(sulfonic acid)이나 황산으로 변경하는 연구개발<sup>6)</sup>이 많이 진행되었고, 현재는 산업계에서 메탄 술폰산(MSA)과 황산(sulfuric acid)이 금(Au) 도금 용액의 기본 산으로 널리 사용되고 있다.

### 3.2. 소재 사용량 감소

반도체 패키지에 사용되는 소재에 대해서는 환경 유해 물질의 대체하는 것뿐만 아니라 그 사용량 자체를 줄이기 위한 반도체 패키지 기술 개발도 이루어져 왔다. 대표적인 것이 와이어 본딩에 사용하는 금(Au) 와이어의 세선화(細線化)이다. 즉 금 와이어의 굵기를 기존에 널리 사용하던 25 $\mu\text{m}$ 에서 지금은 17~18 $\mu\text{m}$ 까지 줄여서 사용하고 있다. 이러한 소재 사용량을 줄이려는 개발 노력은 반도체 패키지에 사용되는 모든 소재에 대해서 이루어져 왔다고 해도 과언이 아니다. 물론 이러한 개발의 처음 시작은 비용 절감을 위한 노력 때문이었지만, 결국엔 소재 사용량을 줄여서 자원을 절감하고, 환경에도 기여하고 있는 것이다.

### 3.3. 리사이클(재활용)

ESG를 위한 환경 개선 활동 중에는 재활용도 큰 비중을 차지하고 있다. 이러한 재활용은 반도체패키지에서도 이루어지고 있다.

TSV가 있는 웨이퍼에서 앞면에 범프를 만들어 주고, 뒷면에도 범프를 만들어 주기 위해서는 극단적으로 얇은(50 $\mu$  이하 두께) 웨이퍼의 핸들링(Handling)이 필요하고, 이를 위해서는 반드시 캐리어 웨이퍼(Carrier wafer)가 필요하다. 캐리어 웨이퍼로는 실리콘 웨이퍼가 많이 사용되고, 유리(Glass) 웨이퍼 등도 사용된다. TSV 개발 초기에는 이러한 캐리어 웨이퍼는 한번 사용하고 폐기하였다. 왜냐하면 캐리어 웨이퍼가 조금이라도 손상되면 크랙

(Crack)등이 발생하기 쉽고, 이러한 크랙은 캐리어 웨이퍼와 본딩된 소자 웨이퍼에도 전달되므로 수율을 크게 떨어뜨리는 원인이 되었기 때문이다. 하지만, 캐리어 웨이퍼를 1회만 사용하고 폐기하는 것은 공정 비용을 증가시킬 뿐만 아니라 자원 낭비가 된다. 그러므로 반도체 패키지 공정 엔지니어들은 캐리어 웨이퍼를 재사용할 수 있는 여러 기술들을 개발해 왔고, 현재 재사용률을 높이고 있다.

반도체 패키지에서 재사용을 위한 기술 개발 노력은 여러 가지 측면에서 진행되고 있다. 웨이퍼레벨 패키지(WLP)를 위한 공정에서는 UBM(Under Bump Metal) 층을 스퍼터링으로 형성하는 데, 이때 스퍼터 타겟은 사용할수록 마모되게 되고 일정 이상으로 마모되면 새로운 타겟으로 교체해야 한다. 이 때 마모된 스퍼터 타겟은 다시 스퍼터 타겟 제조사로 가져가서 용융 후 단조 등을 거쳐 새로운 스퍼터 타겟의 재료로 재활용하게 된다. 금 도금 용액에서도 금 이온의 농도가 일정 수준 이하로 낮아지게 되면 도금의 효율이 떨어지므로 용액을 교체해 주게 되는데, 사용된 금 도금 용액은 재활용 업체로 가서 용액에 남아있는 금을 추가로 추출해서 사용하게 된다.

금 등의 귀금속이 반도체 패키지 소재로 사용되면 공정 후 부산물들도 재활용에 사용된다. 금 와이어의 경우 와이어 공정에서 나온 금 부산물들과 공정 후 남은 와이어들은 모두 수거되어 재활용되는 것이다.

## 4. 결 론

ESG는 많은 기업에게 기업 가치를 향상시키고, 지속 경영이 가능하게 하는 큰 지침이 되고 있는데, 그 중에서도 환경은 기술적 관점의 접근이 필요하다. 환경 오염을 줄이거나 방지하고, 에너지를 절감하는 것은 기술적인 해법이 필요하기 때문이다.

반도체 패키지 기술은 반도체 패키지 본연의 역할을 잘 하기 위해서 열 방출 효과 향상, 전기적/기계적 특성 향상, 칩을 보호하는 신뢰성 향상, 적층 및 소형화, 그러면서 비용절감을 위한 기술들이 개발되고 발전해 왔다. 그 중에서도 전기적 특성 향상 기술은 저전력 사용과 에너지 소모를 줄이는 효과를 만들고, 열 방출 기술은 열효율을 높이고, 냉각을 위한 에너지 소모를 작게 한다. 에너지 소모량을 줄이는 것은 RE100, 탄소 중립 등에도 큰 기여를 하며, 환경에도 영향을 준다. 또한 재사용이나 재료 소모를 줄이는 기술은 환경 오염을 줄이게 되며, 특히 환경에 유해한 물질들에 대해 대체하는 기술들을 환경 개선에 기여하게 된다.

반도체 패키지 기술들은 특성 향상, 비용 절감 등을 위해 많은 기술들이 개발되어 왔는데, 이런 기술들은 에너지 절감과 환경 개선에도 기여함으로써 기업들의 ESG 활동에서도 큰 역할을 하고 있다.

## References

1. M. Suh, "Package and Test that increase semiconductor added value" (in Korean), pp.28, Hanol Publishing Company, Korea (2020)
2. M. Suh, "Package and Test that increase semiconductor added value" (in Korean), pp.59, Hanol Publishing Company, Korea (2020)
3. A. Shehabi, et al., "United states data center energy usage report", Lawrence Berkeley National Lab (LBNL), Berkeley, CA United States (2016)
4. B. Hill, "Micron Announces HBM next As Eventual Replacement for HBM2e In High-End GPUs", Hot Hardware, (Aug. 14, 2020), From <https://hothardware.com/news/micron-announces-hbmn-next-as-eventual-replacement-for-hbm2e>
5. R. Smith, "AMD Dives deep on High Bandwidth Memory – What will HBM Bring AMD?", Anandtech, (May 19, 2015), From <https://www.anandtech.com/show/9266/amd-hbm-deep-dive/4>
6. T. Osaka, Y. Okinaka, J. Sasano, and M. Kato, "Development of new electrolytic and electroless gold plating processes for electronics applications", Science and Technology of Advanced Materials, 7(5), 425-437 (2006)



- 서민석
  - SK hynix
  - Semiconductor Package process & product
  - e-mail: minsuk.suh@sk.com
-