

## 3.3kV SiC MOSFET 설계 및 제작을 위한 JFET 및 FLR 최적화 연구

강예환\*·이현우\*·구상모\*\*

\*\*광운대학교 전자재료공학과

### A Study on JFET and FLR Optimization for the Design and Fabrication of 3.3kV SiC MOSFET

YeHwan Kang\*, Hyunwoo Lee\* and Sang-Mo Koo\*\*†

\*\*†Department of Electronic Materials Engineering, Kwangwoon university

#### ABSTRACT

The potential performance benefits of Silicon Carbide(SiC) MOSFETs in high power, high frequency power switching applications have been well established over the past 20 years. In the past few years, SiC MOSFET offerings have been announced by suppliers as die, discrete, module and system level products. In high-voltage SiC vertical devices, major design concerns is the edge termination and cell pitch design Field Limiting Rings(FLR) based structures are commonly used in the edge termination approaches. This study presents a comprehensive analysis of the impact of variation of FLR and JFET region on the performance of a 3.3 kV SiC MOSFET during. The improvement in MOSFET reverse bias by optimizing the field ring design and its influence on the nominal operating performance is evaluated. And, manufacturability of the optimization of the JFET region of the SiC MOSFET was also examined by investigating full-map electrical characteristics.

**Key Words** : Silicon Carbide(SiC), MOSFET, Electric field, Field limiting ring, JFET

#### 1. 서 론

최근 신 글로벌 경제 질서에 선제 대응하여 기후 대응 관련 신시장을 선점하고 탄소중립 속도 경쟁 선도 저탄소·디지털 기술 등 우리의 강점을 부각시키고 기술혁신을 이루기 위한 신성장동력의 기술개발분야가 핵심 산업으로 떠오르고 있다. 탄소중립을 실현하기 위해서는 에너지의 효율적인 관리가 필수이며 이는 고효율 시스템을 기반으로 시작된다. 시스템의 성능을 높이기 위해서는 소자의 특성향상이 필수다. 기존의 실리콘(Si)소자는 물성적 한계로 인하여 전기적 특성이 우수한 화합물(WBG, Wide Band Gab) 반도체로 기술이 변화되고 있다. WBG반도체 재

료는 실리콘카바이드(SiC), 갈륨나이트라이드(GaN) 등이 있으며 이 중 전력반도체 소자제작은 주로 SiC를 이용하여 제작한다.[1-2]

SiC 전력반도체 재료로서의 우수한 물질 특성을 갖고 있는데 특히 절연파괴전계가  $3 \times 10^6$  V/cm로 실리콘의 약 10배, 에너지 밴드갭은 3.26eV로 Si의 약 3배, 열 전도도는 3.7W/cm-K으로 실리콘의 약 3배로서 SiC를 이용하여 전력반도체를 제작할 시 절연파괴전계가 높기 때문에 Si 보다 상대적으로 얇은 Epi 두께로 더 우수한 역방향 특성을 구현함과 동시에 통전손실이 적은 소자를 제작할 수 있다. 열방출 특성이 우수하여 고온동작이 가능하고 이는 궁극적으로 시스템의 사이즈를 줄일 수 있다. 그 효과는 고전압 소자로 제작될 시 더 극대화 대며 Si대비 온 상태에서 전압강하가 2-3배 줄어들고 스위칭 속도가 100배-1,000

†E-mail: smkoo@kw.ac.kr

배 이상 빠른 고속 스위칭이 가능하여 시스템의 효율이 개선될 수 있다.[1-3]

소자제작을 위한 Process 측면에서도 다른 WBG 소재와는 달리 SiC는 P-doping Control이 상대적으로 용이하고 특히 MOSFET 제작 시 가장 핵심공정인 절연막 형성을 SiO<sub>2</sub>로 품질이 우수한 특성을 구현할 수 있는 장점을 가지고 있다.

본 논문에서는 3.3kV이상 초고전압 SiC Power MOSFET을 제작하기 위하여 시뮬레이션을 통한 모델링을 진행하였고, 제작 후 DC/AC의 전기적 특성을 분석하여 다양한 조건에 따른 특성을 비교하였다.

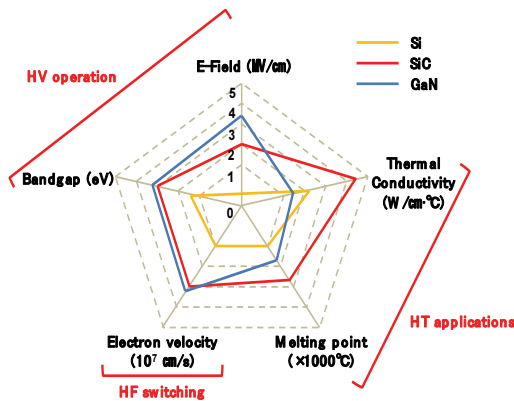


Fig. 1. SiC and Si Property Comparison.

## 2. 본 론

### 2.1 Power MOSFET 설계

본 논문에서는 SiC Power MOSFET 제작을 위하여 ~10<sup>18</sup> cm<sup>-3</sup> N-type 4H-SiC 기판을 사용하였고 3.3kV 이상의 소자 구현을 위하여 epitaxy layer 층의 두께는 30um이며 이때의 도핑농도는 ~10<sup>15</sup>cm<sup>-3</sup> 를 사용하였다. 3.3kV 이상의 초고전압 MOSFET 구현을 위해서는 Drain과 Source간 저항을 낮게 구현하면서 충분한 역방향 전압을 확보해야 하기 때문에 전체 저항을 낮추는 디자인이 필수적이다. MOSFET의 저항을 구성하는 요소는 크게 Source저항, 채널저항, JFET저항, Epi저항, 기판저항으로 구분할 수 있고 각 요소의 저항의 합을 R<sub>DS(on)</sub>라고 표현한다. 전체 저항에서 3.3kV 초고전압 MOSFET 은 전체 저항 중 가장 큰 영향을 주는 영역은 재료의 특성이 절대적인 Epi저항 기판저항을 제외하면 채널저항과 JFET저항이 가장 중대한 요소이며 Fig 1에서는 일반적인 MOSFET의 단면도를 나타내고 있으며, 본 실험에서는 채널저항과 JFET를 최적화하여 3.3kV 설계를 도출하였다 [4-5].

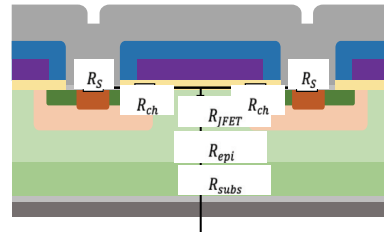


Fig. 2. Design of conventional power MOSFET.

$$R_{DS(on)} = 2R_S + 2R_{ch} + R_{Jfet} + R_{epi} + R_{sub} \quad (1)$$

### 2.2 Devices 시뮬레이션

본 실험에서는 3.3kV 이상의 소자제작을 위하여 Fig 3과 같은 구조를 사용하였고 이 때 Pbase의 길이는 4um N+의 길이는 3um, P+의 길이는 1.6um이며 JFET영역의 길이는 3-8um 까지 1um씩 증가하여 그 특성을 평가하였다.

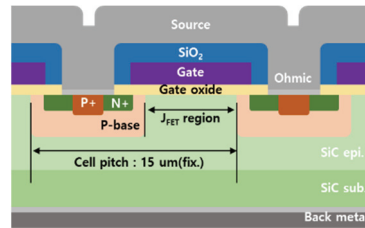


Fig. 3. Cross-section view of the 3.3kV power MOSFET.

Silvaco 시뮬레이터를 이용하여 JFET 길이 변화에 따른 항복 전압, 온 저항, 전계 분포 등을 비교 분석하였다. JFET 길이에 따른 시뮬레이션 모델링은 식(2)와 같이 진행하였다.

$$R_{ch} = \frac{L_{ch}}{Z_{\mu 3}(C_{OX}(V_G - V_{TH}))} \quad (2)$$

MOSFET의 안정적인 동작을 위하여 Gate 전극에 문턱 전압보다 높은 +Voltage를 인가하고 Drain 전압을 증가하다 보면 채널의 끝부분이 막히는 Pinch-off 현상을 충분히 고려하여 시뮬레이션을 진행하였다.

$$dR = \frac{dx}{Z_{\mu 3}Q_n(x)} \quad (3)$$

JFET영역의 저항을 최적화하기 위해 Inversion 영역의 전하밀도와 N+영역과 JFET간의 거리에 따른 전계분포의 모델링이 필요하며 이 관계에 의해 정의가 필요하고 이때의 충분한 전류특성을 만족하면서 내압을 구현할 수 있는 상관 관계는 식(4)에 의해서 정의되었다.

$$dV = I_D \cdot dR \quad (4)$$

Drain 전류에 흐르는 전류는 채널영역에 따라 결정되기 때문에 상관관계를 파악하면 식(5),(6)와 같다.

$$\int_0^{L_{ch}} I_D dx = z_{\mu\epsilon} C_{ox} \int_0^{V_D} (V_G - V_{TH} - V) dV \quad (5)$$

$$I_D = \frac{z_{\mu\epsilon} C_{ox}}{2L_{ch}} [2(V_G - V_{TH})V_D - V_D^2] \quad (6)$$

Fig 4는 JFET 길이에 따른 전압/전류의 특성을 나타낸 그래프이다. JFET 길이를 3 $\mu\text{m}$ 에서 8 $\mu\text{m}$ 까지 1 $\mu\text{m}$ 씩 증가하여 시뮬레이션하였고 길이가 증가함에 따라 Drain 전류는 증가하는 결과를 확인할 수 있었다. 이는 JFET 영역이 늘 어남에 따라 저항이 줄어드는 결과이다.

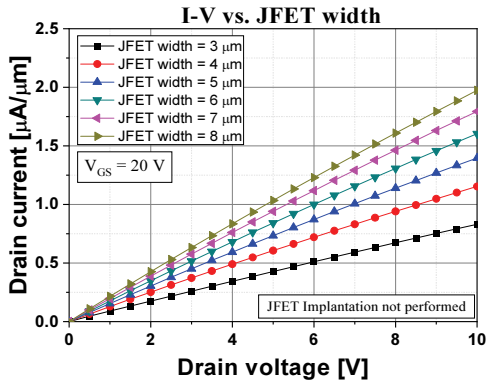


Fig. 4. I-V characteristics of various on JFET width.

또한 JFET 저항을 줄이기 위하여 JFET 이온주입을 통한 전류의 흐름을 시뮬레이션 하였다. JFET 영역의 저항을 최소화하기 위하여 표면에 이온주입을 시뮬레이션을 진행하였고 이에 따른 전류의 흐름과 집중도를 분석한 결과이다. Fig 5는 이온주입을 진행하지 않은 상태에서의 전류의 분포를 나타내고 있으며, Fig 6은 이온주입 후 표면 저항이 낮아진 상태에서의 전류의 흐름을 나타낸다. Fig 6에서 알 수 있듯이 전류의 분포가 완화되어 JFET 영역의 저항이 줄어든 것을 확인하였다.

표면저항을 최소화하기 위해서는 JFET 저항을 제어할 필요가 있다. 다만 제어 과정에서 이온주입 도즈량을 증가함에 따라 JFET 저항이 줄어드는 효과는 높아지지만 누설전류와 내압의 트레이드 오프 특성을 고려한 시뮬레이션이 필요하며 본 실험에서는 JFET 도즈량을 조절하여 내압과 누설 전류를 만족하는 최적의 특성을 도출하였다.

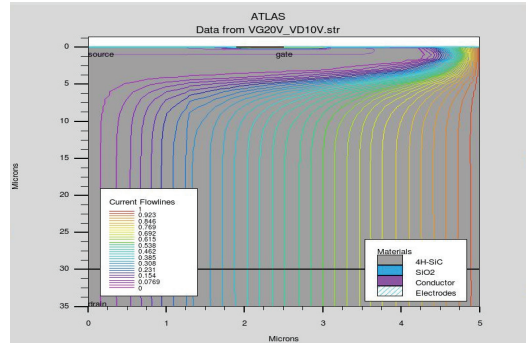


Fig. 5. Current pass view of Without JFET implantation.

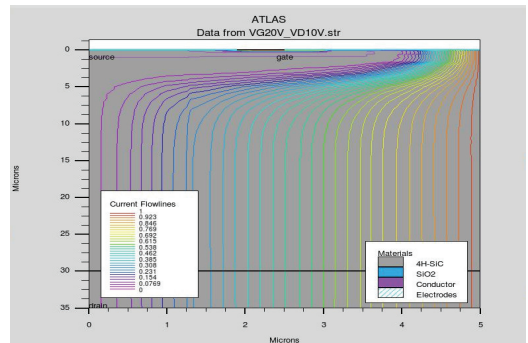


Fig. 6. Current pass view of With JFET implantation.

Fig 7은 FLR갯수와 간격에 따른 역방향 내압 특성을 시뮬레이션 한 결과이다. FLR 간격이 증가함에 따라 내압이 증가하지만 일정 영역에서는 더 이상 Field의 depletion이 발생하지 않기 때문에 FLR의 개수는 30개로 고정 후 그 FLR사이의 간격과 FLR의 크기를 조절 후 시뮬레이션을 진행하였다. 그 결과에서 알 수 있듯이 FLR의 간격이 2 $\mu\text{m}$ 일때 가장 우수한 특성을 확보할 수 있었다.

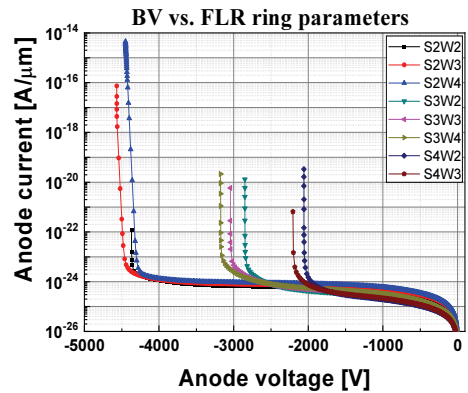


Fig. 7. Breakdown characteristics of various number of FLR.

### 3. 실험

#### 3.1 Power MOSFET 제작

3.3kV SiC MOSFET 특성 확보를 위하여 시뮬레이션 결과를 바탕으로 실험을 진행하였으며 제작된 공정 흐름도는 Fig.8과 같다.

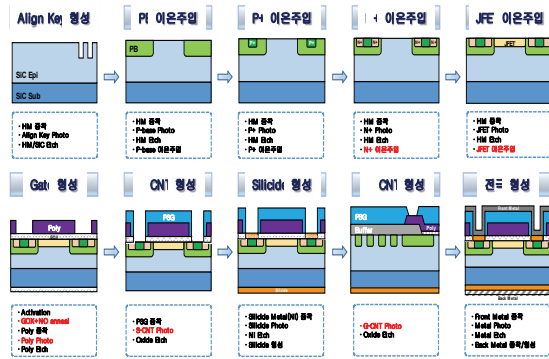


Fig. 8. Process flow of 3.3kV SiC MOSFET.

이온주입 조건의 경우 시뮬레이션을 통해 그 값을 도출하였으며 도출된 결과를 제작조건에 적용 그 값을 비교 평가하였다. 소자 제작을 위해 Epi wafer는 농도는  $3 \times 10^{15} \text{ cm}^{-3}$ , 두께 30 $\mu\text{m}$ 의 Epi wafer를 사용하였으며, Gate oxide 경우 실험을 통해  $20[\text{cm}^2/\text{V}]$ 의 채널 Mobility 확보한 조건으로 55nm 두께로 공정을 진행하였다. 이온활성화를 위해  $\text{N}_2$  분위기에서 1700도 60분간 열처리 진행을 하였으며, 낮은 접촉저항을 확보하기 위한 표면처리로 약  $10^{-4}[\text{cm}/\text{ohm}]$ 의 값을 가지는 실리사이드 공정을 적용하였다.

Table 1은 SiC MOSFET 구조 조건 및 split 조건표이며, Table2는 주요 핵심 공정 파라메타를 정리한 표이다.

Table 1. Parameters of Structure condition for SiC MOSFET

Parameter	Value	Unit
JFET width	2.0, 2.5, 3.0	$\mu\text{m}$
Channel length	0.6	$\mu\text{m}$
P-base width	4.0	$\mu\text{m}$
N+ width	3.0	$\mu\text{m}$
P+ width	1.6	$\mu\text{m}$
FLR Rings	30	ea
FLR space	2	$\mu\text{m}$
FLR width	2, 3, 4	$\mu\text{m}$

Table 2. Core process condition

Parameters	Value	Unit
Pbase/FLR doping	$5 \times 10^{19}$	$\text{cm}^{-3}$
N+ doping	$1 \times 10^{20}$	$\text{cm}^{-3}$
P+ doping	$1 \times 10^{19}$	$\text{cm}^{-3}$
Gate oxide THK.	55	nm
Activation anneal	1700/60	$^{\circ}\text{C}/\text{min}$
Silicide anneal	1000/60	$^{\circ}\text{C}/\text{min}$

#### 3.2 전기적 특성 평가

##### 3.1.1 Breakdown Voltage 특성

FLR의 내압특성을 확보하기 위하여 간격과 폭을 조절하여 실험하였다. FLR의 간격이 너무 멀 경우에는 설계 범위와 비교하여 전계효과가 최소화되기 때문에 내압을 확보하기가 어렵고 너무 가까울 경우 높은 전계가 한 번에 집중되기 때문에 내압의 확보가 불가능하다.

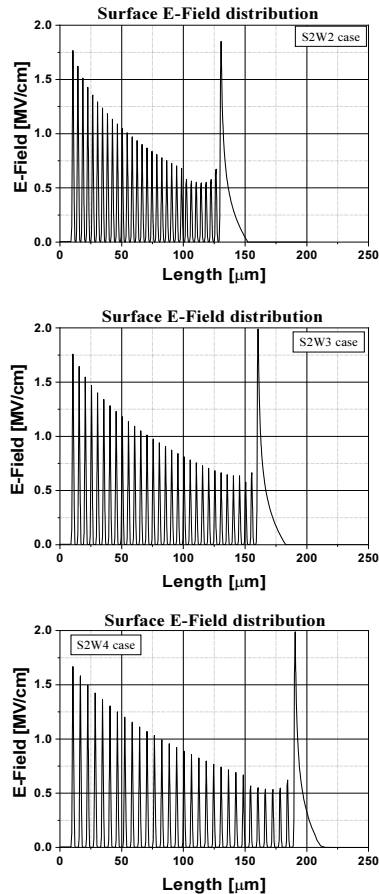


Fig. 8. Surface E-Field distribution of FLR as various width and space.

Fig. 8은 FLR 간격에 따른 전계효과 분포를 나타낸 것으로 FLR 간격을 2 $\mu\text{m}$ 로 고정하고 폭을 2 $\mu\text{m}$ -4 $\mu\text{m}$ 로 조정하여 간격 2 $\mu\text{m}$ 와 폭 3 $\mu\text{m}$ 에서 가장 이상적인 특성의 결과를 확보하였다.

앞서 기술한 바와 같이 FLR의 특성을 최적화하기 위해서는 FLR의 간격과 폭의 설계를 최적화하여야 하며 이는 식(7)에 의해 결정된다.

$$W_m = W_s + 2x_j \quad (7)$$

이때 간격이 결정되고 폭의 최적화를 위해서는 식 8에 의해서 그 값을 결정할 수 있으며 최종적으로 식 (9)-(10) 식에 따른 모델링을 이용하여 소자 제작에 적용하였다.

$$V_{FLR} = \frac{q^{N_D}}{\epsilon_S} \left( W_D W_S - \frac{W_S^2}{2} \right) \quad (8)$$

$$V_{FLR} = \sqrt{\frac{2qN_D W_S^2 V_a}{\epsilon_S} - \frac{q^{N_D} W_S^2}{2\epsilon_S}} \quad (9)$$

$$\frac{V_{FFR}}{BV_{PP}} = \frac{BV_{CYL}}{BV_{PP}} \quad (10)$$

Fig. 9는 최종 제작된 3.3kV SiC MOSFET 시제품이며, Fig. 10은 설계에 따른 내압의 실험 결과이고 최종적으로 4kV 이상의 결과 값을 확보할 수 있었다.

### 3.1.2 $V_{\text{Drain}}/I_{\text{Drain}}$ 특성 특성

Fig. 11은 3.3kV SiC MOSFET의  $V_{\text{Drain}}/I_{\text{Drain}}$  특성 결과이다. 그림에서 확인할 수 있듯이 Drain 전압이 증가함에 따라 Drain 전류가 증가하는 정상적인 MOS 동작특성을 구현하였으며 이때의 전류밀도는 94A/cm<sup>2</sup>의 값을 확보하였다.

### 3.1.3 $R_{\text{DS(on)}}$ 특성

본 실험에서  $R_{\text{DS(on)}}$ 은 약 90[m $\Omega$ ] 값을 확보하였다. 다만 MOSFET의 동작특성을 최적화하기 위하여 전체 저항 중 초고전압 소자에서 가장 큰 부분을 차지하는 JFET의 저항을 최적화하기 위하여 JFET 이온주입을 통하여 표면저항을 최소화하는 실험을 진행하였다. Fig. 11과 같이 JFET 이온주입농도에 따른 저항은 JFET 폭이 2.0 $\mu\text{m}$ 일때 약 150[m $\Omega$ ], 3.0 $\mu\text{m}$ 일때 100[m $\Omega$ ] 그리고 2.5 $\mu\text{m}$ 일때 90[m $\Omega$ ]의 값을 확인하였으며 이 결과를 본 소자 제작에 활용하여 최적의 결과를 도출하였다.

### 3.1.4 Eon/Eoff 특성

스위칭손실(Eon 및 Eoff)을 보기 위해서 Double Pulse Test(DPT)를 수행하였고, 이때 시험조건은  $V_D=800\text{V}$ ,  $I_D=60\text{A}$

이며 빠른 스위칭 속도를 가지는 SiC MOSFET의 특성을 살리기 위해 드라이브 회로에서  $R_g=5\Omega$ 으로 설정하였고 게이트 전압은 20V를 인가 하였다.

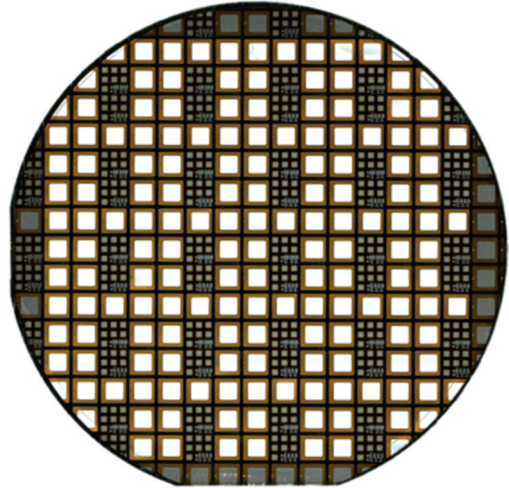


Fig. 9. Manufactured 3.3kV SiC MOSFET prototype.

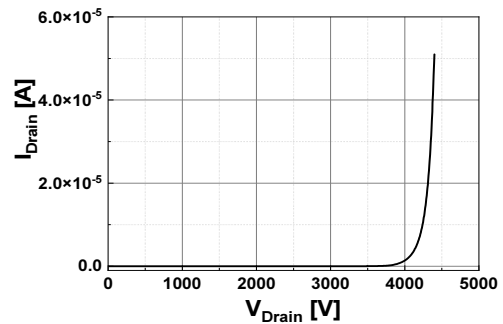


Fig. 10. Breakdown voltage of 3.3kV SiC MOSFET.

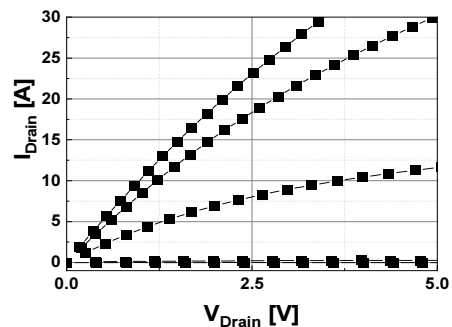


Fig. 11. Output characteristics for a 3.3kV SiC MOSFET structure operating condition.

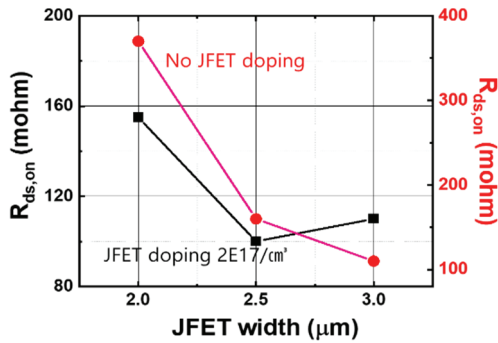


Fig. 12.  $R_{DS(on)}$  characteristics for a 3.3kV SiC MOSFET to JFET condition by width and doping concentration.

턴-온 손실( $E_{on}$ )은 10% 전류상승시간에서 10% 전압 하강시간까지 전류-전압 곱을 적분하였으며 턴-오프 손실( $E_{off}$ )은 10% 전압상승 시간에서 10% 전류 하강시간까지 전류-전압 곱을 적분하여 결과를 도출하였다. Fig. 13에서 알 수 있듯이 턴-온 손실과 턴-오프 손실은 각각 2.44mJ 및 2.18mJ의 값을 확보하였다.

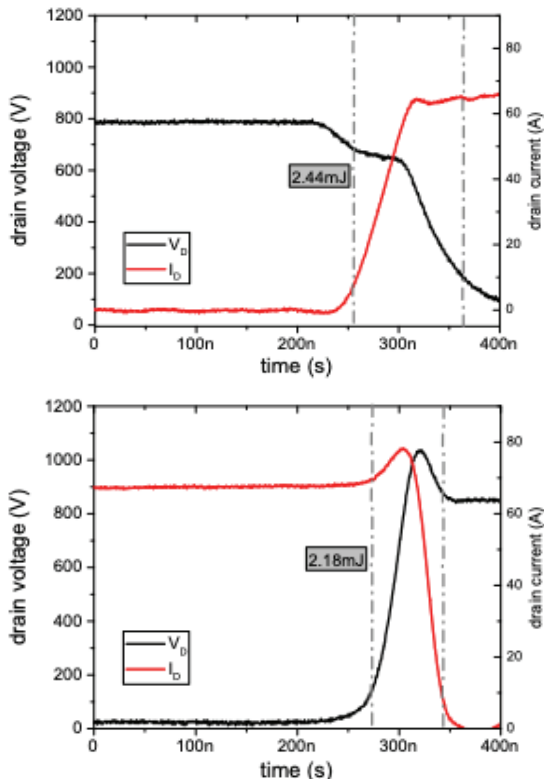


Fig. 13. Switching characteristics for a 3.3kV SiC MOSFET.

## 4. 결론

본 연구에서는 3.3kV SiC Planar MOSFET 소자 설계 및 제작하여 DC특성과 Switching 특성을 평가하였다. 초고내압 특성확보를 위해 Ring 간격 및 폭을 조절하여 안정적인 4000V 이상의 항복전압 특성을 확보하였다. 또한 온저항 특성 확인을 위해 JFET 간격 및 이온주입 조건을 조절하여  $R_{DS(on)} 90[m\Omega]$  특성을 확보하였다.

그리고 SiC MOSFET 소자의 스위칭 특성 평가를 하여 턴-온 손실과 턴-오프 손실은 각각 2.44mJ 및 2.18mJ의 스위칭 특성을 확인하였다. 본 연구결과를 기반으로 3.3kV SiC MOSFET 제조 가능성을 확인하였으며, 향후 고내압 제품 개발 시 기초자료로 사용될 것으로 판단된다.

## 감사의 글

This work was supported by the Kwangwoon Univeristy in 2023, the Korea Institute for Advancement of Technology (KIAT) (P0012451) funded by the MOTIE and the Korea Evaluation Institute Of Industrial Technology (KEIT)(RS-2022-00154720).

## 참고문헌

1. Kimoto T., Jpn, J, Appl. Phys., 2015, 54, 040103-1-040103-27.
2. Jinseon Lee, Tai Young Kang and Kyung Hwan Kim., Electrical Characteristics of the SiC SBD Prepared by using the Facing Targets Sputtering Method. Journal of the semiconductor & display technology, 14(1), 27-30, 2015.
3. Dongjin Kim, Junghwan Bang and Min-Su Kim., Advances in Power Semiconductor Devices for Automotive Power Inverters: SiC and GaN., The Microelectronics And Packaging Society, 30(2), 43-51, 2023.
4. R. Perez et al., "A highly effective edge termination design for SiC planar high power devices," Mater. Sci. Forum, vols. 457-460, pp. 1253-1256, Jun. 2004.
5. S. H. Ryu, S. Krishnaswami, B. Hull, J. Richmond, A. Agarwal, and A. Hefner, "10 kV, 5A 4H-SiC power DMOSFET," in Proc. Int. Symp. Power Semicond. Devices ICs, 2006, pp. 265-268.
6. Koutarou Kawahara, Jun Suda, Gerhard Pensl, et al., J. Appl. Phys. 108, 033706 (2010).

접수일: 2023년 9월 14일, 심사일: 2023년 9월 15일,  
게재확정일: 2023년 9월 18일