

게이트 전류 감지 구조를 이용한 향상된 레귤레이션 특성의 LDO regulator

LDO regulator with improved regulation characteristics using gate current sensing structure

정 준 모^{*,★}

Jun-Mo Jung^{*,★}

Abstract

The gate current sensing structure was proposed to more effectively control the regulation of the output voltage when the LDO regulator occurs in an overshoot or undershoot situation. In a typical existing LDO regulator, the regulation voltage changes when the load current changes. However, the operation speed of the pass transistor can be further improved by supplying/discharging the gate terminal current in the pass transistor using a gate current sensing structure. The input voltage of the LDO regulator using the gate current sensing structure is 3.3 V to 4.5 V, the output voltage is 3 V, and the load current has a maximum value of 250 mA. As a result of the simulation, a voltage change value of about 12 mV was confirmed when the load current changed up to 250 mA.

요 약

게이트 전류 감지 구조는 LDO 레귤레이터가 오버슈트 또는 언더슈트 상황 발생 시 출력전압의 레귤레이션을 보다 효과적으로 제어하기 위해 제안되었다. 기존의 전형적인 LDO 레귤레이터는 부하전류가 변화할 때 레귤레이션 전압 변화가 발생한다. 하지만 게이트 전류 감지 구조를 이용하여 패스 트랜지스터에 있는 게이트 단자 전류를 공급/방전 함으로 인해 패스 트랜지스터의 동작 속도를 더욱 향상시킬 수 있다. 게이트 전류 감지 구조를 이용한 LDO 레귤레이터의 입력전압은 3.3 V ~ 4.5 V 이며 출력 전압은 3 V이고 부하 전류는 최대 250 mA의 값을 갖는다. 시뮬레이션 결과, 부하 전류가 250 mA 까지 변화할 때 약 9 mV의 전압 변화 값을 확인하였다.

Key words : LDO regulator, load regulation, line regulation, gate current sensing, output voltage

* Professor, Dept. of Electronics Engineering, Seokyeong University

★ Corresponding author

E-mail : jjmo@skuniv.ac.kr, Tel : +82-2940-7732

※ Acknowledgment

This Reserch was supported by Seokyeong University in 2023.

Manuscript received Sep. 8, 2023; revised Sep. 21, 2023; accepted Sep. 25, 2023

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

1. 서론

스마트폰 등 배터리로 구동되는 휴대용 기기의 사용이 매년 증가함에 따라 전력관리 IC의 중요성이 부각되고 있다. PMIC(Power Management Integrated Circuit)는 스마트폰이나 IoT 기기 등 휴대용 기기에서 최적의 배터리 성능을 구현하기 위해 시스템이 필요로 하는 전력을 변환하고 제어하는 역할을 한다. 따라서 더 나은 성능과 더 높은 효율성을 갖춘 배터리 구동 전자 장치에 대한 수요가 계속 증가함에 따라 엔지니어는 최소한의 전력을 소비하면서 동급 최고의 성능을 제공하려고 노력하고 있다. 이러한 장치의 전력 관리는 반도체 산업에서

점점 더 중요해지고 있으며, 이에 따라 장치 및 배터리의 작동 시간을 늘리는 동시에 전체 시스템 비용을 줄이는 것이 중요해졌다. 그림 1은 CMOS 기술의 발전으로 인해 소형, 고효율 전자 장치의 원활한 작동에 필요한 LDO 레귤레이터를 보여준다. 급격하게 변화하는 부하에 관계없이 출력 전압과 부하 전류를 제어할 수 있는 LDO 레귤레이터는 입력 전압과 출력 전압 사이의 낮은 전위차에서 동작함으로써 전력 효율을 향상시킬 수 있다. LDO 레귤레이터는 전자제품과 모바일 시스템의 핵심 부품이기 때문에 시스템당 수십 개가 필요하다. 이는 모바일 시스템에서 요구되는 배터리 사용 시간을 감소시킨다. 따라서 모바일 시스템의 배터리 런타임 향상은 더욱 중요한 이슈가 되었으며, 배터리로 구동되는 전자제품의 효율적인 전력 관리를 위해서는 LDO 레귤레이터의 개발이 필요하다. 부하 전류의 순간적인 변화도 LDO 레귤레이터의 출력 전압에 영향을 미친다. 부하 전류의 변화로 인한 출력 전압을 피크 전압이라고 한다. 피크 전압을 제어할 수 없다면 연결된 다른 시스템에 안정적인 전압을 공급할 수 없다는 의미이다. 따라서 LDO 레귤레이터는 다양한 부하 전류를 만족할 수 있어야 한다. 따라서 제안하는 LDO 레귤레이터는 게이트 전류 감지 구조를 이용하여 효과적으로 전류를 공급하고 방전할 수 있는 시스템을 구성하였다[1, 2].

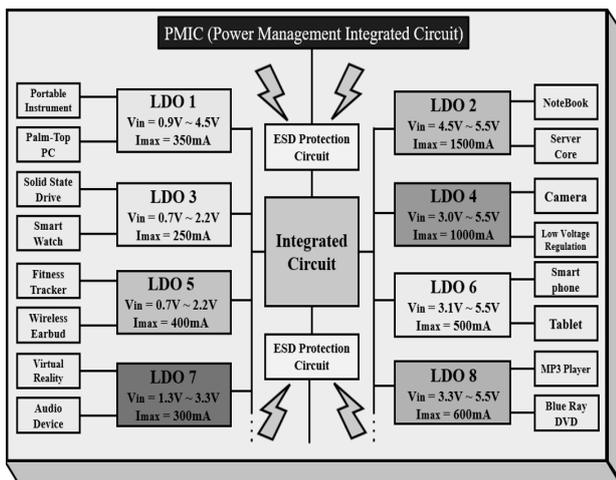


Fig. 1. Block Diagram of PMIC (Power Management Integrated Circuit).

그림 1. 전력관리 집적회로의 블록 다이어그램

II. 본론

1. 기존 LDO(Low Dropout) Regulator

그림 2는 전형적인 LDO(Low Dropout) 레귤레이터

의 블록 다이어그램을 나타낸다. 기존의 LDO 레귤레이터에는 단점이 있는데, 바로 순간적으로 변하는 부하전류에 따라서 출력 전압 또한 크게 변하는 점이 바로 큰 단점이다. 본 논문에서는 이러한 기존 LDO 레귤레이터가 가지고 있던 단점을 보완하기 위해서 게이트 전류 감지 구조를 사용하여 부하전류 변동에 따른 출력 전압을 보다 효율적으로 조절할 수 있는 구조를 제안한다. 게이트 전류 감지 구조를 이용한 제안된 LDO 레귤레이터는 부하전류의 변동이 감지되면 그로 인해 흔들리는 출력 전압을 감지하여 게이트 전류 감지 구조에서 새롭게 형성되는 전류 경로를 제안한다. 따라서 본 논문에서 제안된 LDO 레귤레이터는 게이트 전류 감지 구조를 통하여 새로운 전류 경로를 형성함으로써 변동하는 부하 전류에 따른 출력 전압을 보다 안정적으로 제어하여 피크 전압을 보다 효율적으로 제어할 수 있도록 제안되었다[3, 4].

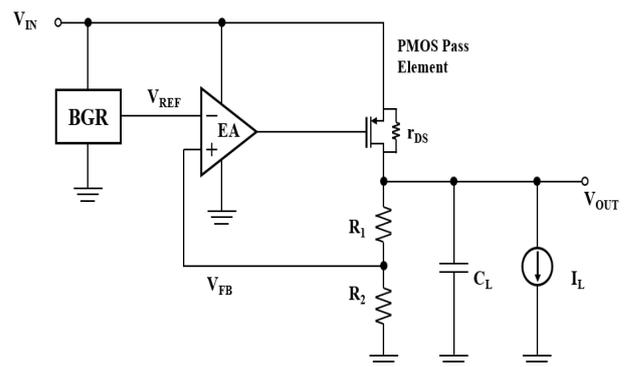


Fig. 2. Block Diagram of Conventional LDO Regulator.

그림 2. 기존 LDO 레귤레이터의 블록 다이어그램

2. 제안된 Gate current sensing 구조를 사용한 LDO 레귤레이터

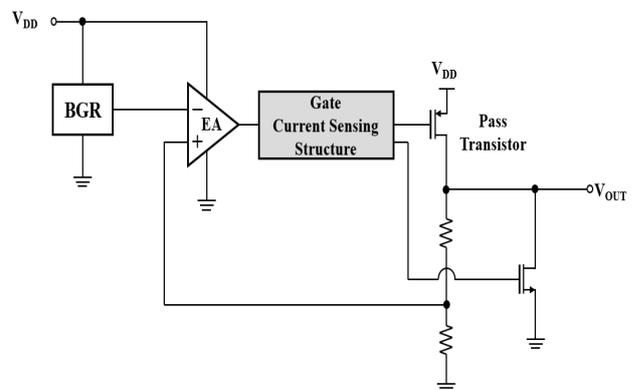


Fig. 3. LDO regulator using gate current sensing structure.

그림 3. 게이트 전류 감지 구조를 이용한 LDO 레귤레이터

그림 3은 제안된 게이트 전류 감지 구조를 이용한 LDO 레귤레이터를 나타낸다. 그림과 같이 제안된 LDO 레귤레이터는 OP AMP의 출력단과 PMOS 패스 트랜지스터 사이에 게이트 전류 감지 구조를 추가한 구조이다. 게이트 전류 감지 구조에 의해 출력 전압을 보다 안정적으로 제어함으로써 패스 트랜지스터의 게이트로 추가적인 전류가 공급/방전 되게 하는 구조를 이룬다. 그림 4는 순간적으로 부하 전류가 감소하여서 출력 전압이 증가하는 오버슈트 상황에서의 전류 이동 경로를 나타낸 그림이다. 부하 전류가 순간 감소하게 되면 오차 증폭기의 출력 단 전압이 증가하고 오차 증폭기의 출력 단자와 연결 되어있는 게이트 전류 감지 구조가 동시에 작동하여 패스 트랜지스터의 게이트를 통해 전류가 흐르게 된다. 또한 추가 전류가 출력단 쪽에서 방전되면서 게이트 전류 감지 구조가 포함된 제안된 LDO 레귤레이터의 출력 전압을 기존의 LDO 레귤레이터보다 더 안정적으로 제어할 수 있다. 결과적으로, LDO 레귤레이터의 레귤레이션 특성이 더욱 향상되고, 삽입된 게이트 전류 감지 구조에 의해 LDO 레귤레이터의 피크 전압을 감소시킨다. 그림 5는 제안된 게이트 전류 감지 구조를 이용한 LDO 레귤레이터의 순간적인 부하 전류 증가로 출력 전압이 감소하는 언더 슈트 상황에서의 전류 이동 경로를 보여준다. 오버슈트 상황과 반대로 부하 전류가 급격히 순간 증가하게 되면 오차 증폭기의 출력 단 전압이 감소하고 오차 증폭기의 출력 단자와 연결 되어있는 게이트 전류 감지 구조가 동시에 작동하여 패스 트랜지스터의 게이트 전류가 접지로 흐른다. 또한 게이트 전류 감지 구조에 의해 출력 단자는 제안된 LDO 레귤레이터의 출력 단자 쪽에 추가의 전류를 공급한다. 결과적으로 LDO 레귤레이터의 레귤레이션 특성이 향상될 수 있고, 삽입된 게이트 전류 감

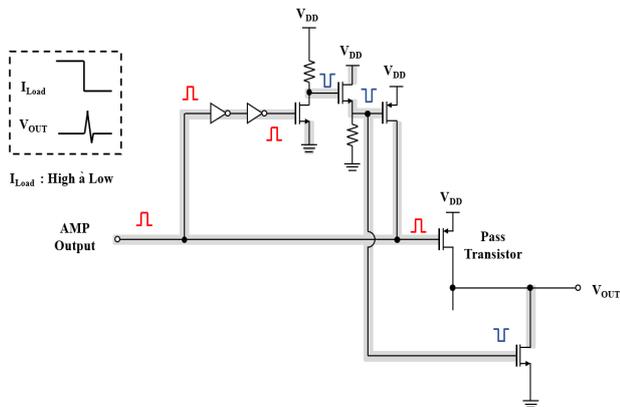


Fig. 4. Operation of the proposed LDO regulator in case of overshoot.
그림 4. 오버슈트 상황에서의 제안된 LDO 레귤레이터의 동작

지 구조에 의해서 LDO 레귤레이터의 피크 전압을 보다 효과적으로 제어할 수 있다. 게이트 전류 감지 구조를 LDO 레귤레이터의 출력단과 패스 트랜지스터의 게이트 단에 추가적인 전류를 공급/방전 시킴으로써 부하 전류의 변동에 의한 출력 전압을 기존 LDO 레귤레이터 보다 더 효과적으로 제어할 수 있도록 설계되었다[5-7].

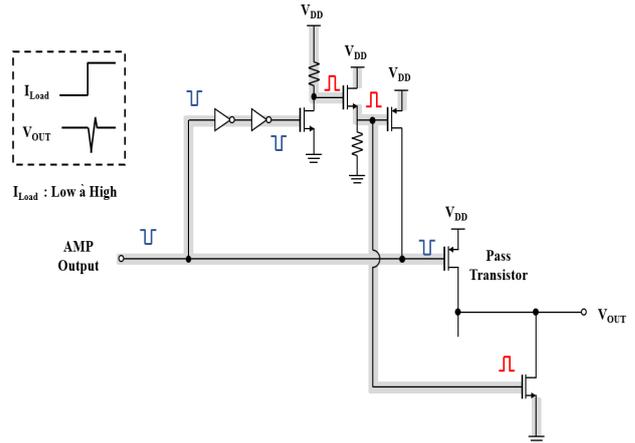


Fig. 5. Operation of the proposed LDO regulator in case of undershoot.

그림 5. 언더슈트 상황에서의 제안된 LDO 레귤레이터의 동작

3. 제안된 Gate current sensing 구조를 사용한 LDO 레귤레이터의 시뮬레이션 결과

그림 6은 게이트 전류 감지 구조를 이용한 LDO 레귤레이터의 line regulation 시뮬레이션 결과값을 나타낸다. 입력 전압이 3.3V에서 4.5V로 변화될 때 출력 전압의 변화량은 12 mV인 것을 확인할 수 있다. 게이트 전

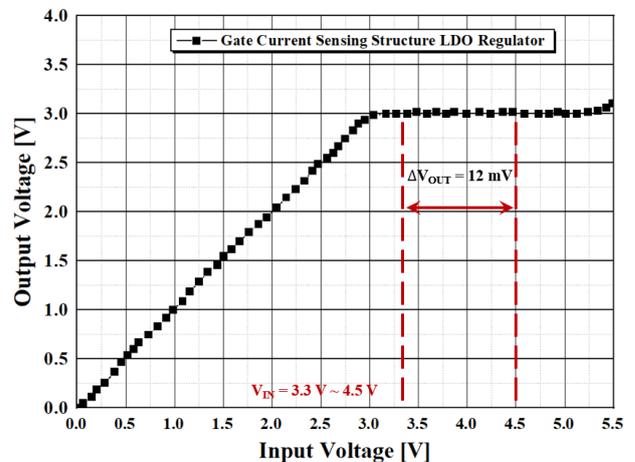


Fig. 6. Line regulation simulation result of the proposed LDO regulator.

그림 6. 제안된 LDO 레귤레이터의 line regulation 시뮬레이션 결과

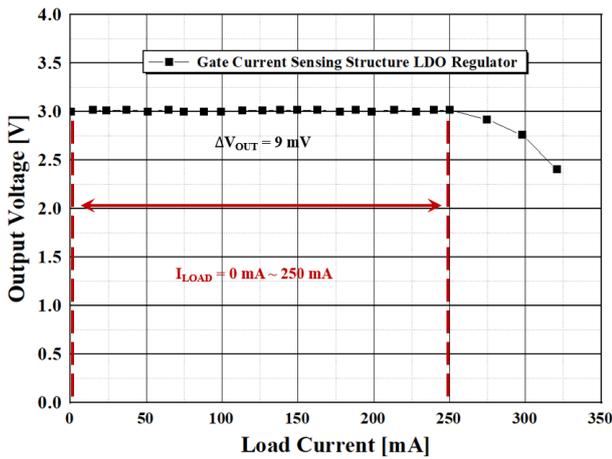


Fig. 7. Load regulation simulation result of the proposed LDO regulator.

그림 7. 제안된 LDO 레귤레이터의 Load regulation 시뮬레이션 결과

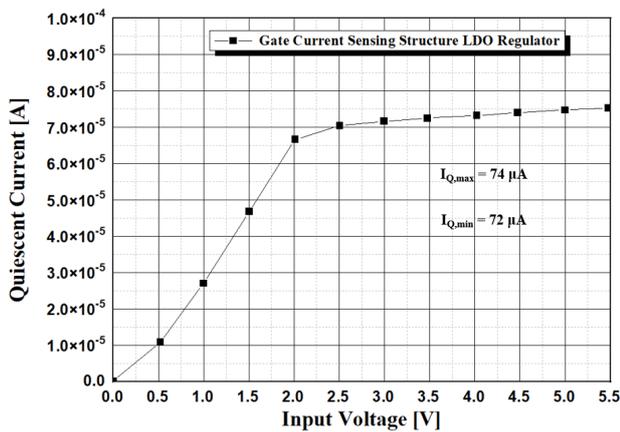


Fig. 8. Quiescent current simulation result for proposed LDO regulator.

그림 8. 제안된 LDO regulator의 대기 전류 시뮬레이션 결과

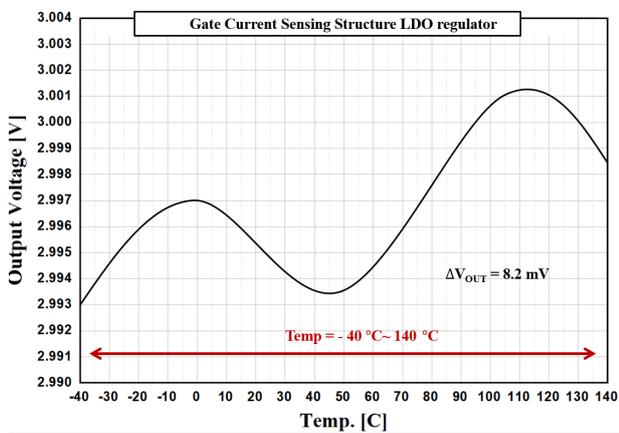


Fig. 9. Output voltage simulation results of the proposed LDO regulator according to temperature.

그림 9. 온도에 따른 제안된 LDO regulator의 출력 전압 시뮬레이션 결과

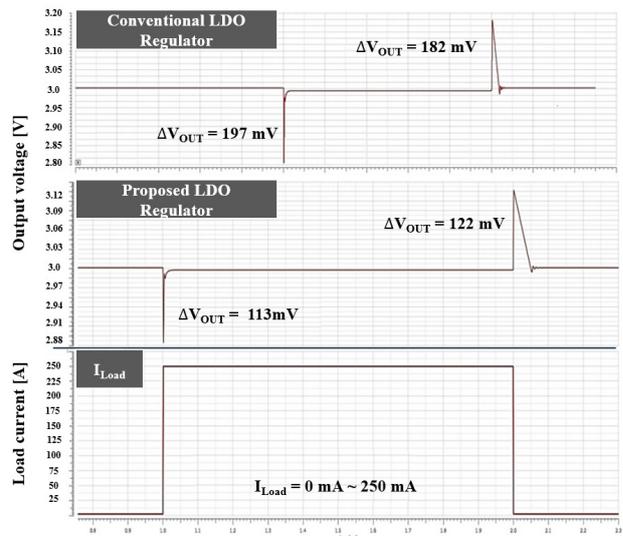


Fig. 10. Load transient result of the proposed LDO regulator.

그림 10. 제안된 LDO 레귤레이터의 과도 응답 특성 결과

류 감지 구조가 포함되어 입력 전압의 변화량에 따른 출력 전압의 변화율을 보다 효과적으로 조절할 수 있다. 그림 7은 게이트 전류 감지 구조를 이용한 LDO 레귤레이터의 load regulation 시뮬레이션 결과값을 보여준다. load regulation 시뮬레이션 결과, 부하전류가 250mA 범위까지 변화할 때 출력 전압의 변화량이 9mV임을 확인하였다. 그림 8은 게이트 전류 감지 구조를 이용한 LDO 레귤레이터의 온도 변화에 따라 변하는 출력전압을 나타낸 그림이다. 그림에서 볼 수 있듯이 -40°C에서 140°C의 온도값에서 8.2 mV의 출력 전압값을 확인할 수 있었다. 그림 9는 제안된 LDO 레귤레이터의 대기전류 시뮬레이션 결과값을 보여준다. 시뮬레이션 결과, 게이트 전류 감지 구조를 포함한 LDO 레귤레이터는 최대 대기전류가 74 μA인 것을 확인할 수 있었고, 출력전압에 따라 소모하는 대기 전류의 안정성을 확인할 수 있었

Table 1. Circuit data of the Proposed LDO regulator and conventional LDO regulator.

표 1. 제안된 LDO 레귤레이터와 기존 LDO 레귤레이터의 회로 데이터

Parameters	Conventional	Proposed
Output Voltage	3 V	3 V
Input Voltage	3.3 V	3.3 V
Reference Voltage	1.2 V	1.2 V
Load regulation	Δ 12 mV	Δ 9 mV
Line regulation	Δ 15 mV	Δ 12 mV
Dropout Voltage	300 mV	300 mV
Load transient	Δ 197 mV 182 mV	Δ 113 mV 122 mV

다. 그림 10은 제안된 LDO 레귤레이터의 과도 응답 특성 시뮬레이션 결과이다. 부하 전류의 순간적인 변화로 인해 기존의 LDO 레귤레이터는 Δ 197 mV, 182 mV의 변동값을 갖는 반면 제안된 LDO 레귤레이터는 Δ 113 mV, 122 mV의 값을 갖는 것을 확인하였다.

III. 결론

LDO 레귤레이터는 부하 전류 변화에 따라 피크 전압이 작아야한다. 피크 전압의 크기가 증가함에 따라 LDO 레귤레이터는 연결된 다른 시스템에 안정적인 전압을 제공할 수 없다. 이로 인해 IC 회로 시스템 작동에 오류가 발생할 수 있다. 따라서 제안된 게이트 전류 감지 구조의 LDO 레귤레이터는 큰 부하 전류 변화에도 불구하고 피크 전압을 최소화하기 위해 제안되었다. 제안한 LDO 레귤레이터는 부하 전류에 따른 출력 전압을 안정적으로 조절할 수 있다. BCD CMOS 180nm 시뮬레이션 진행 결과 제안된 LDO 레귤레이터는 250 mA의 부하전류가 인가되어도 기존 LDO 레귤레이터 보다 더욱 개선된 레귤레이션 특성 및 더욱 감소된 대기 전류 특성과 온도 특성을 보여준다. 결과적으로 출력전압의 변화에 따라서 패스 트랜지스터의 게이트와 출력단에 추가적인 전류 경로를 형성하여 LDO 레귤레이터의 성능이 향상되었음을 검증할 수 있었다.

References

- [1] Amir Nakhlestan, et al.: "Low-Power Area-Efficient LDO With Loop-Gain and Bandwidth Enhancement Using Non-Dominant Pole Movement Technique for IoT Applications," *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2021. DOI: 10.1109/TCSII.2020.3013646
- [2] Yong-Seo Koo, et al.: "A design of low-area low drop-out regulator using body bias technique," *IEICE Electronics Express* 10, Vol.0, No.19, 2013. DOI: 10.1587/elex.10.20130300
- [3] Xiaofei Ma, et al.: "A Fully Integrated LDO With 50-mV Dropout for Power Efficiency Optimization," *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2020. DOI: 10.1109/TCSII.2019.2919665

[4] Yan Lu, et al.: "A Fully-Integrated Low-Dropout Regulator with Full-Spectrum Power Supply Rejection," *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2015.

DOI: 10.1109/TCSI.2014.2380644

[5] Sang wook Kwon, et al.: "Design of current detection LDO regulator with silicon controlled rectifier based electrostatic discharge protection circuit to provide optimized voltage and power for system-on-chip applications," *Electronics Letters*, Vol.58, No.19, 2022. DOI: 10.1049/ell2.12577

[6] Sang wook Kwon, et al.: "Design of capacitorless LDO regulator with SCR-based ESD protection using dual push-pull stage," *International Journal of Electronics*, 2022.

DOI: 10.1080/00207217.2022.2118847

[7] Sang-Wook Kwon, et al.: "Design of LDO Regulator With High Reliability ESD Protection Circuit Using Analog Current Switch Structure for 5-V Applications," *IEEE Access*, vol.11, 2023.

DOI: 10.1109/ACCESS.2023.3267162

BIOGRAPHY

Jun-Mo Jung (Member)



1985 : BS degree in Electronics Engineering, Hanyang University.
 1987 : MS degree in Electronics Engineering, Hanyang University.
 1992 : PhD degree in Electronics Engineering, Hanyang University.
 1995~presently : Professor in Seokyeong University.

main interesting field : Integrated circuit, Micro processor, Circuit design & test