

부분분리 매립 채널 어레이 트랜지스터의 총 이온화 선량 영향에 따른 특성 해석 시뮬레이션

Simulation of Characteristics Analysis by Total Ionizing Dose Effects in Partial Isolation Buried Channel Array Transistor

박 제 원 *, 이 명 진**

Je-won Park*, Myoung-Jin Lee**

Abstract

In this paper, the creation of an Electron-Hole Pair due to Total Ionizing Dose (TID) effects inside the oxide of a Buried Channel Array Transistor (BCAT) device is induced, resulting in an increase in leakage current and threshold due to an increase in hole trap charge at the oxide interface. By comparing and simulating changes in voltage with the previously proposed Partial Isolation Buried Channel Array Transistor (Pi-BCAT) structure, the characteristics in leakage current and threshold voltage changed regardless of the increased oxide area of the Pi-BCAT device, compared to the asymmetrically doped BCAT structure. It shows superiority.

요 약

본 논문은 Buried Channel Array Transistor(BCAT) 소자의 Oxide 내부에 Total Ionizing Dose(TID) effects으로 인한 Electron-Hole Pair의 생성이 유도되어, Oxide 계면의 Hole Trap Charge의 증가에 따른 누설전류의 증가와 문턱 전압의 변화를 기존에 제안한 Partial Isolation Buried Channel Array Transistor(Pi-BCAT)구조와 비교 시뮬레이션 하여, Pi-BCAT 소자의 증가한 Oxide 면적과 상관없이 변화한 누설전류와 문턱 전압에서의 특성이 비대칭 도핑 BCAT 구조보다 우수함을 보여 준다.

Key words : DRAM, BCAT, TID, Pi-BCAT, TRAP, Oxide

*(Graduate student, Professor) Department of ICT Convergence System Engineering, Chonnam National University, Gwangju 61186, South Korea

★ Corresponding author

E-mail : mjlee@jnu.ac.kr, Tel : +82-62-530-1810

※ Acknowledgment

This research was supported by the BK21 FOUR Program(Fostering Outstanding Universities for Research, 519999 1714138) funded by the Ministry of Education (MOE, Korea) and National Research Foundation of Korea(NRF).

This research was supported by the MSIT(Ministry of Science and ICT), Korea, under the ICAN(ICT Challenge and Advanced Network of HRD) program (IITP-2023-RS-2022-00156385) supervised by the IITP (Institute of Information & Communications Technology Planning & Evaluation).

This study was financially supported by Chonnam National University (Grant number: 2023-0149)

The EDA tool was supported by the IC Design Education Center (IDEC), South Korea.

Manuscript received Aug. 29, 2023; revised Sep. 17, 2023; accepted Sep. 20, 2023.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서론

DRAM(Dynamic Random Access Memory)은 빠른 속도와 높은 집적도라는 특징을 가지고 있다. 현재는 3nm 공정에 성공하였고, 여전히 더 작은 크기로 설계하기 위한 연구가 진행 중이며, 그 과정에서 나타나는 Short channel Effect를 포함한 현상들을 해결하기 위해서 여러 구조가 연구되고 있다. 이에 더 낮은 수준의 누설전류를 가질 수 있도록 기존의 Buried Channel Array Transistor (BCAT) 구조에서 스토리지 하단부의 절연체의 크기 및 위치를 조정한 Partial Isolation Buried Channel Array Transistor(Pi-BCAT) 구조가 제안되었다[1]. 그러나 우주 환경에는 우주방사선, 태양 전자기 복사 및 고 에너지 하전 입자가 많이 존재하여 전자 장치의 성능과 신뢰성에 상당한 영향을 미친다. 우주 방사선의 영향 중 총 이온화 선량(TID) 효과는 오프 상태 전류(I_{off}) 증가, 문턱전압(V_{TH}) 이동 및 신뢰성 저하를 초래할 수 있다 [2]. DRAM의 우주에서의 수명 및 신뢰성 있는 작동을 보장하기 위해서는 우주에서 사용되는 반도체 소자의 설계 시 Total Ionizing Dose(TID) effects를 고려할 필요가 있다.

최근 몇 년 동안 많은 사람이 TID 효과에 의한 전자 장치특성의 변화에 관한 광범위한 연구를 진행하고 있다 [2]-[6]. Pi-BCAT 구조는 기존의 BCAT 구조에 추가된 절연성 매립형 산화물(Buried Insulator)층을 특징으로 가지고 있다. Oxide 물질 층에 있는 TID 유도 양전하는 N형 트랜지스터에서 의도하지 않은 채널의 inversion을 유발하여 불필요한 전력 소모로 이어질 수 있다. 기존에 우리가 제안한 Pi-BCAT의 경우 누설전류 측면에서 장점이 있었지만, 삽입되는 절연 물질로 Oxide를 사용하여 BCAT보다 TID에 취약할 것으로 예상되어, TID에 의한 소자의 특성 분석이 새롭게 필요하다.

II. 본론

본 연구에선, Synopsys Sentaurus technology computer-aided design (TCAD) tool을 이용하여 Pi-BCAT의 TID Effect에 대한 매립된 절연층과 defect에 의한 트랩 영향을 분석하기 위해, Oxide의 결함을 고려해 소자에 랜덤하게 트랩을 분포시켜 시뮬레이션을 진행한다. 또한 TID effects 중 Off 상태 조건에서의 소자의 전기적 특성을 분석하고 관련 메커니즘에 대해 자세히 논의할 것이다.

1. 시뮬레이션 구조

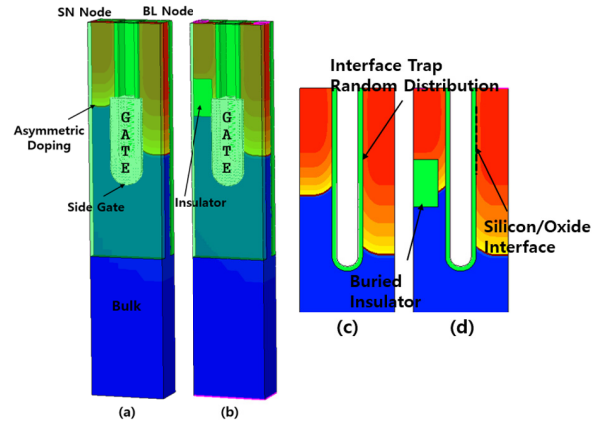


Fig. 1. three-dimensional structure of the BCAT model (a), cross-sectional view (c), and three-dimensional structure (b) and cross-sectional view of the Pi-BCAT model (d).

그림 1. BCAT 모델의 (a) 3차원 구조와 (c) 단면도와 Pi-BCAT 모델의 (b) 3차원 구조와 (d) 단면도

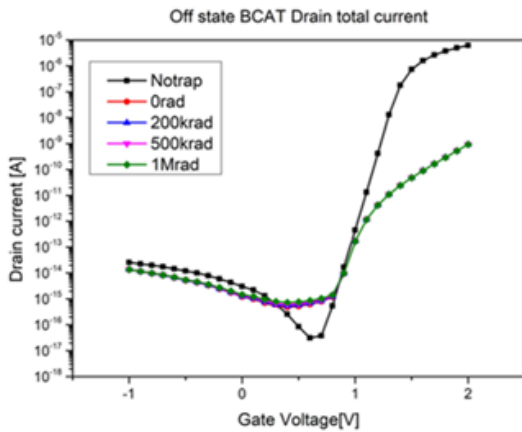
그림 1-(a)는 일반적인 BCAT 구조를 보여준다. 그림 1-(c)의 단면도의 Silicon과 Oxide 사이의 계면에는 시뮬레이션을 위해 랜덤하게 Trap를 넣어 주었다. 그림 1-(b)는 절연체가 삽입된 부분 격리구조를 가진 Pi-BCAT 구조를 보여준다[1]. 그림 1-(d)의 단면도의 Silicon과 Oxide 절연층 사이의 계면에도 랜덤하게 Trap을 넣어 주었다. Oxide의 내부에서 TID의 발생분석을 위해 내부 Electron-Hole을 관찰 가능한 Oxide As Semiconductor를 사용하여 시뮬레이션을 진행 하였다. Table 1을 보면 시뮬레이션에서 사용한 파라미터를 정리해 두었다. Trap 농도 같은 경우 defect을 고려하여 선행 연구 논문을 참고하여 설정하였다[7]. 트랩분포의 Random 정도는 100으로 설정하였고 Radiation Dose는 0~ 1000Krad로 설정하였다.

Table 1. Simulation Parameters.

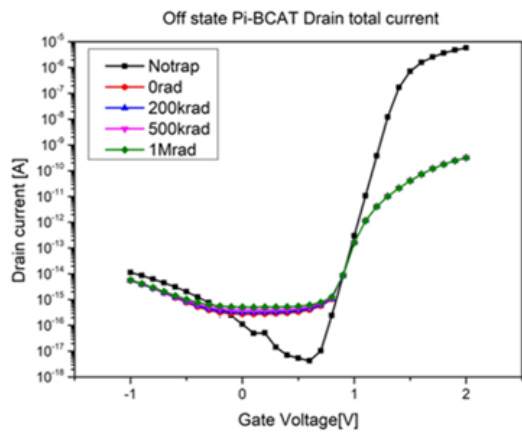
표 1. 시뮬레이션 파라미터

Trap Parameter	Value	
Acceptor like trap (Silicon/OxideAsSemiconductor interface)	Peak Concentration	1e-13cm-2
	Spatial shape	Gaussian
Randomize	100	
Radiation Parameter	Value	
Dose	0rad ~ 1000Krad	
Dose T Sigma	0.1	

2. 시뮬레이션 결과 및 분석



(a)



(b)

Fig. 2. BCAT model (a) and Pi-BCAT model (b) TID Off state IdVg (Vds=1V, Vg=-1V-2V) current graph.

그림 2. BCAT모델(a) 와 Pi-BCAT모델(b) TID Off state IdVg(Vds=1V, Vg=-1V~2V) 전류 그래프

그림 2는 Off상태에서 BCAT과 Pi-BCAT에서 Radiation이 들어와 TID가 발생했을 때의 Drain current를 보여준다. BCAT과 Pi-BCAT 모두 Trap을 추가하였을 때, Trap에 의해 Hole들이 포획되면서 캐리어 이동도의 감소와 방출하면서 일어나는 재결합으로 인해 전류 특성이 이전보다 나빠졌고, Radiation에 의해 방사능 축적이 될수록 누설전류는 증가하였다.

그림 3을 보면 초기 BCAT의 누설전류는 Pi-BCAT의 7.8배에서 소자에 축적되는 방사능의 양이 1Mrad정도가 축적 되었을 때 5배로 두 소자 간 누설전류 특성은 BCAT보다 Pi-BCAT의 누설전류 특성이 여전히 좋았다. 또한 누설전류 증가량 측면에서도 Pi-BCAT이 BCAT에 비해 13.1% 감소하여 더 좋은 모습을 보여주었다.

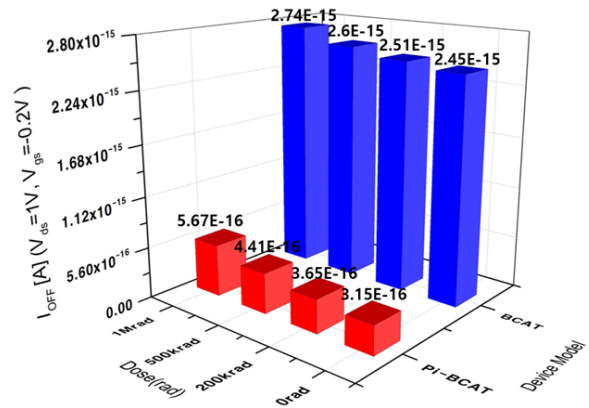


Fig. 3. Change of leakage current by TID of BCAT and Pi-BCAT (Vds=1V, Vgs=-0.2V).

그림 3. BCAT과 Pi-BCAT의 TID에 의한 누설전류 변화 (Vds=1V, Vgs=-0.2V)

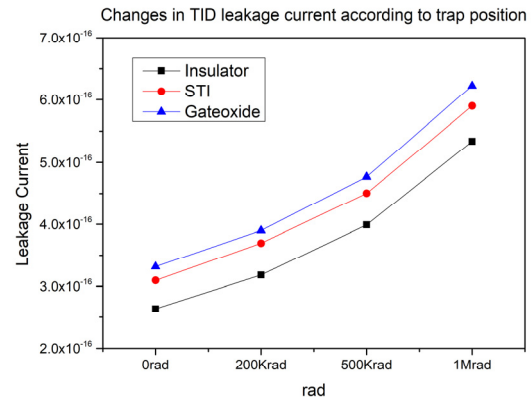


Fig. 4. Comparison of TID Radiation Impact Leakage Currents by Trap Position in Pi-BCAT Model.

그림 4. Pi-BCAT모델에서 Trap의 위치에 따른 TID Radiation 영향 누설전류 비교

그림 4는 BCAT과 Pi-BCAT에서 Radiation이 들어와 TID가 발생했을 때의 트랩 위치에 따른 누설전류 차이를 보여준다. 누설전류는 Drain voltage 0.1V, Gate voltage -0.2V일 때 측정하였다. 누설전류는 트랩이 insulator interface Trap에 위치하였을 때 가장 작고, Gate oxide interface Trap 때가 가장 크다. 이는 TID가 발생하여 누설전류가 증가하였을 때도 마찬가지로 insulator에 트랩이 위치한 경우가 누설전류의 증가량이 가장 적었다. 이를 통해 insulator부분에서의 Trap 영향이 STI나 Gate oxide에 Trap이 있는 경우보다 더 적다는 것을 알 수 있다. 이는 상대적으로 TID의 영향이 oxide의 위치에 따라 차이가 있다는 것을 보여준다.

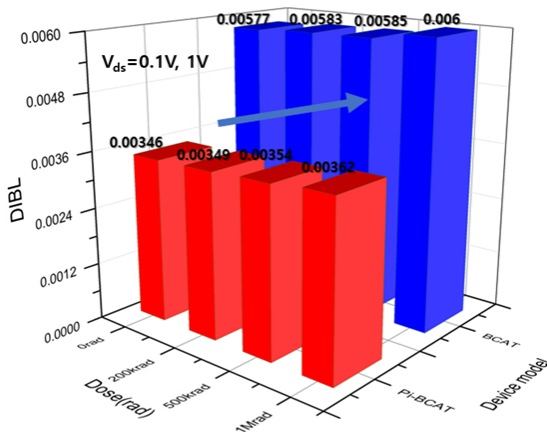


Fig. 5. Changes in DIBL in Pi-BCAT model (a) and BCAT (b).

그림 5. Pi-BCAT모델 (a)와 BCAT (b)에서의 DIBL 변화

그림 5는 Radiation이 들어와 V_{ds} 가 0.1V일 때와 1V일 때 TID가 발생했을 때 Drain Induced Barrier Lowering(DIBL)에 의한 문턱전압 변화량을 보여준다. DIBL 같은 경우 기존에 Pi-BCAT은 내부에 삽입된 insulator가 Drain영역의 전기장의 분포를 조절하여 BCAT보다 개선하였다[8]. 그림 5의 시뮬레이션 결과는 TID가 발생하는 것과 상관없이 Drain 쪽의 전기장 분포를 조절하여 BCAT보다 우수한 DIBL 특성을 가진다는 것을 보여준다. 이는 삽입되는 insulator가 Oxide를 사용해 TID에 영향을 받지만, Gate Induced Drain Leakage를 개선하는 효과가 더 크게 작용하여, 누설전류 측면에서 더 강점을 보이고, 전기장 분포를 개선하여 문턱전압과 DIBL 모두 더 좋은 특성을 가지므로, Pi-BCAT 구조가 우주 환경에서 발생할 수 있는 TID Effects에 의한 DRAM의 신뢰성 문제에서 오히려 좋은 모습을 보여준다고 볼 수 있다.

III. 결론

본 논문에서는 서로 다른 BCAT구조에서 TID Effects에 따른 특성변화를 누설전류와 문턱 전압의 변화를 확인하였다. 소자의 스토리지 노드 하단에 Oxide 절연체 구조물을 삽입한 Pi-BCAT은 삽입된 Oxide가 TID에 취약한 물질임에도 불구하고, 누설전류와 문턱 전압 측면에서 일반 BCAT 구조보다 우수함을 보여주었다. 따라서 Pi-BCAT 구조가 우주 환경에서 발생할 수 있는 TID Effects에 의한 DRAM의 신뢰성 문제에서 더 유리할 것이다.

References

- [1] J. H. Park et al., "Row Hammer Reduction Using a Buried Insulator in a Buried Channel Array Transistor," in *IEEE Transactions on Electron Devices*, vol.69, no.12, pp.6710–6716, 2022. DOI: 10.1109/TED.2022.3215931.
- [2] G. Yan et al., "Simulation of Total Ionizing Dose (TID) Effects Mitigation Technique for 22 nm Fully-Depleted Silicon-on-Insulator (FDSOI) Transistor," in *IEEE Access*, vol.8, pp. 154898–154905, 2020. DOI: 10.1109/ACCESS.2020.3018714.
- [3] M. Gaillardin, "High tolerance to total ionizing dose of Ω -shaped gate field-effect transistors," *Phys. Lett.*, vol.88, no. 22, 2016.
- [4] Q.-W. Zheng, "Enhanced total ionizing dose hardness of deep sub-micron partially depleted silicon-on-insulator n-type metal-oxide-semiconductor field effect transistors by applying larger back-gate voltage stress," *Chin. Phys. Lett.*, vol.31, no.12, 2014. DOI: 10.1088/0256-307X/31/12/126101
- [5] J. S. Bi, *Studies on Partially Depleted SOI Devices*, China: Graduate School of Chinese Academy of Sciences, 2008.
- [6] Y. T. Roh and H. C. Lee, "Layout modification of a PD-SOI n-MOSFET for total ionizing dose effect hardening," *IEEE Trans. Electron Devices*, vol.66, no.1, pp.308–312, 2019. DOI: 10.1109/TED.2018.2881668
- [7] J. H. Park et al., "Next generation semiconductor device structure with improved leakage current and reliability characteristics," *Master thesis, Chonnam National University*, 2022. DOI: 10.1109/ISPSD.2018.8393694
- [8] J. H. Park, G. Kim, D. Y. Kim, S. Y. Kim, S. Yoo and M. J. Lee, "S-TAT Leakage Current in Partial Isolation Type Saddle-FinFET (Pi-FinFET)s," in *IEEE Access*, vol.9, pp.111567–111575, 2021. DOI: 10.1109/ACCESS.2021.3102687.

BIOGRAPHY

Je-Won Park (Member)



2022 : BS degree in Electrical Engineering, Chonnam National University, Gwangju, South. where he is Currently pursuing the M.S. degree.

Myoung-Jin Lee (Member)



2001 : B.S. degree from Korea University, Seoul, South Korea,
2003~2007 : M.S. and Ph.D. degrees from Seoul National University, Seoul.
2007 : respectively. He joined the Advanced Circuit Design Team, Hynix Semiconductor Inc., Icheon, South Korea, in

2014 : he has been with Chonnam National University, Gwangju, South Korea, where he is currently an Professor. His research interests include advanced device structures, and reliability modeling and circuit design for low-power sensors and high-power systems.