

PVT 변화 보상 기능을 가지는 시간-디지털 변환기

A Time-to-Digital Converter with PVT Variation Compensation Capability

신은호*, 김종선**

Eunho Shin*, Jongsun Kim**

Abstract

In this paper, we propose a time-to-digital converter (TDC) with compensation capability for PVT (process, voltage, and temperature) variations. A typical delay line-based TDC measures time based on the inverter's propagation delay, making it fundamentally sensitive to PVT variations. This paper presents a method to minimize the resolution change of TDC by compensating for the propagation delay caused by the PVT variations. Additionally, it adopts Cyclic Vernier TDC (CVTDC) structure to provide a wide input detection range. The proposed CVTDC with PVT compensation function is designed using a 45nm CMOS process, consumes 8mW of power, offers a TDC resolution of 5 ps, and has an input detection range of about 5.1 ns.

요약

본 논문에서는 PVT(process, voltage, and temperature) 변화에 대한 보상기능을 가지는 시간-디지털 변환기(time-to-digital converter : TDC)를 제안한다. 일반적인 지연 라인(delay line) 기반의 TDC는 인버터의 전파 지연을 기반으로 시간을 측정하기 때문에 근본적으로 PVT 변화에 민감하다. 이 논문은 PVT 변화에 의한 전파 지연을 보상하여 TDC의 해상도 변화를 최소화시키는 방법을 제안한다. 또한 넓은 입력 측정 범위(detection range)를 갖기 위해 Cyclic Vernier TDC (CVTDC) 구조를 채택한다. 제안하는 PVT보상 기능의 CVTDC는 45nm CMOS 공정으로 설계되어, 8mW의 전력을 소모하며, 5 ps의 TDC 해상도 및 약 5.1 ns 입력 측정 범위를 갖는다.

Key words : Time-to-digital Converter, Cyclic Vernier TDC, DCO, TDC, PVT compensation

* Dept. of Electronic & Electrical Engineering, Hongik University

★ Corresponding author

E-mail : js.kim@hongik.ac.kr, Tel : +82-2-320-3014

※ Acknowledgment

This work was supported by Korea Institute for Advancement of Technology (KIAT) grant funded by the Korea Government (MOTIE) P0020966. This work was also supported by National R&D Program through the National Research Foundation of Korea (NRF) funded by Ministry of Science and ICT (2022M3I8A10 7243). The EDA tools were supported by IDEC.

Manuscript received Aug. 18, 2023; revised Sep. 17, 2023; accepted Sep. 18, 2023.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

1. 서론

다양한 집적회로(Integrated Circuit : IC) 및 시스템-온-칩(System on Chip : SoC) 설계에 널리 쓰이는 시간-디지털 컨버터(Time-to-digital Converter : TDC)는 입력 시간 정보를 출력 디지털 코드로 변환하는 회로이다. 그림 1은 일반적인 TDC의 개념도를 보여준다. 일반적으로 IC 설계에 쓰이는 TDC는 지연 라인(delay line) 기반의 구조를 사용하며, 원하는 측정시간 구간의 상승과 하강 신호에 짧은 Start와 Stop 펄스를 발생시키고, 이 Start 신호의 상승 에지(edge)와 Stop 신호의 상승 에지 간의 시간 간격을 지연 라인과 플립-플롭(Flip-Flop)들을 사용하여 디지털 출력 코드로 변환시킨다.

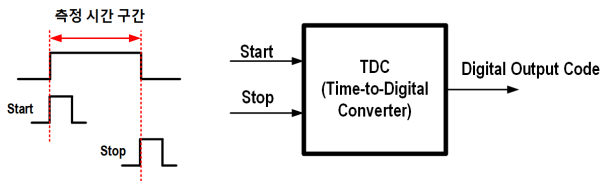


Fig. 1. General Time-to-Digital Converter.
그림 1. 일반적인 시간-디지털 변환기

최근 TDC는 고속 지연 고정 루프(Delay-Locked Loop : DLL)와 위상 고정 루프(Phase-Locked Loop : PLL) 및 증배 지연 고정 루프(Multiplying Delay-locked Loop: MDLL) 등의 클럭킹 회로 설계에 많이 적용되어왔다[1, 2, 3, 4, 5]. 그런데, 이러한 지연 라인 기반의 TDC들은 동작 중에 공정-전압-온도(Process, Voltage, Temperature: PVT) 변화가 생기면, 지연 라인을 구성하는 인버터 (Inverter)의 통과 지연 (propagation delay) 시간에 변화가 생기고, 이는 TDC의 해상도 변화를 불러오며, 결과적으로 입력 측정 시간 구간에 대한 출력 코드 값의 큰 변화를 초래한다.

PVT 변화에 취약한 지연 라인 기반 TDC들의 단점을 보완하기 위해 [6]과 [7]에서는 PVT 감지기를 도입하여 PVT 변화에 따른 PVT 감지기의 출력값을 TDC의 지연 라인 제어에 사용하였고, 이를 통해 PVT 변화로 왜곡된 TDC출력 코드의 변화를 최소화하였다. 그러나, [6]과 [7]의 방식같이 별도의 PVT 감지기를 사용하여 PVT 변화를 감지할 경우, PVT 감지기 내부에 사용된 지연 라인과 TDC 내부에 장착된 지연 라인 간의 부정합 (mismatch)문제가 발생할 수 있으며, 이는 TDC 측정 오류를 증가시키는 한 요인이 된다. 따라서 이 논문에서는 종래의 이러한 문제점들을 개선하기 위해 별도의 PVT 감지기를 따로 사용하지 않고, TDC 내부의 지연 라인을 PVT 감지기로 중복하여 사용하는 PVT 감지 모드(PVT detection mode)를 적용하여 부정합 문제를 제거하고, PVT 변화에 대한 TDC의 해상도 및 출력 코드 변화 문제를 보상하는 방식을 제안한다.

제안하는 PVT 변화 보상기능을 가지는 TDC는 45nm 1.0-V CMOS 공정으로 설계되었으며, 약 5ps의 해상도와 약 5.1ns의 측정 구간(detection range)을 가지며, 약 8mW 전력소모를 갖는다.

II. 본론

그림 2는 본 논문에서 제안하는 PVT 변화 보상기능을

가지는 Cyclic Vernier TDC (CVTDC)의 구성도를 보여주고 있다.

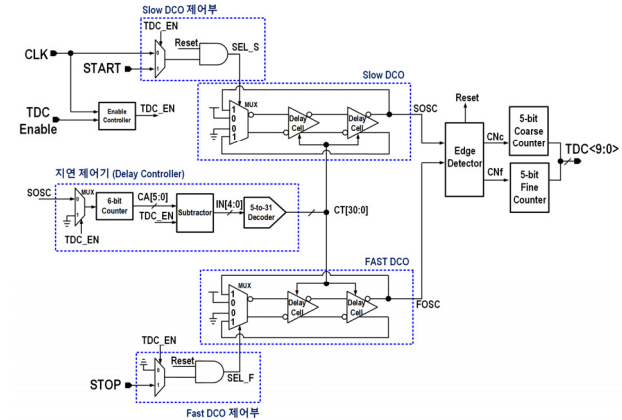


Fig. 2. Proposed Cyclic Vernier TDC (CVTDC) with PVT variation compensation capability.
그림 2. 제안하는 PVT 변화 보상기능을 가지는 Cyclic Vernier TDC (CVTDC)

제안하는 TDC는 지연 제어기(Delay Controller), Slow DCO(Digitally Controlled Oscillator : DCO), Fast DCO, Slow DCO 제어부, Fast DCO 제어부, Enable Controller, 에지 디텍터(Edge Detector), 5-bit Coarse Counter, 5-bit Fine Counter 등으로 구성된다. 제안하는 PVT 보상형 TDC는 TDC 종류의 하나인 사이클릭-버니어 TDC(Cyclic Vernier Time-to-Digital Converter : CVTDC) [5] 구조를 사용하여, 넓은 시간 측정 범위와 작은 면적 및 높은 해상도의 특성을 가지며, PVT 감지 모드(PVT Detection Mode)와 TDC 모드(TDC Mode)의 두 가지 동작 모드를 가진다. PVT 감지 모드는 TDC_EN 신호가 0인 구간에 Slow DCO의 출력신호인 SOSC 신호를 카운팅하여 PVT 변화를 감지하고, 이 PVT 변화를 보상할 수 있는 Slow/Fast DCO 제어용 CT[30:0] 코드를 출력한다. TDC 모드에서는 PVT 감지 모드에서 출력된 DCO 제어 코드 CT[30:0] 값을 Slow DCO와 Fast DCO에 적용하여 CVTDC를 동작시키고 TDC 코드 출력 TDC[9:0]를 생성한다.

그림 2에 보인 지연 제어기는 Multiplexer(MUX), 6-bit 카운터, 뺄셈기(Subtractor), 5-to-31 Binary-to-Thermometer Decoder로 구성된다. 6-bit 카운터는 PVT 감지 모드에서 SOSC 신호의 상승 엣지를 카운트하여 CA[5:0] 신호를 출력한다. Subtractor는 CA[5:0] 값에서 15를 뺀 IN[4:0] 코드를 생성하고, 5-to-31 디코더를 거쳐 출력 CT[30:0] 코드를 출력한다. 제안하는

CVTDC의 동작 초기에 TDC_EN 신호가 로직 0인 구간 동안 PVT 감지 모드로 동작하는데, 그림 3은 PVT 감지 모드시 지연 제어기의 동작을 보여준다.

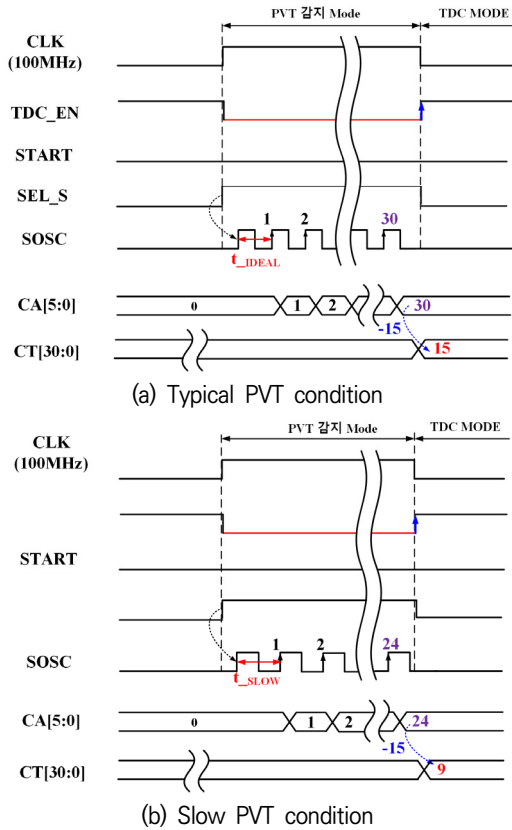


Fig. 3. Operation of the delay controller in PVT detection mode (a) Typical PVT (b) Slow PVT condition.
 그림 3. PVT 감지 모드시 지연 제어기의 동작
 (a) Typical PVT 조건 (b) Slow PVT 조건

그림 3(a)와 같은 일반적인 Typical TT PVT 조건 (Typical NMOS, Typical PMOS, 1V, 25°C)의 경우, PVT 감지모드 구간동안 SOSC 신호는 t_{IDEAL} 의 주기를 가지며, 그 상승 에지는 총 30번 카운트 되어지게 설계되어 CA[5:0]의 코드 값은 30이 되고, 이 값에서 15를 뺀 지연 제어기의 출력 CT[30:0] 코드 값은 15가 된다. 그런데, 그림 3(b)와 같은 Slow PVT(SS, 100°C, 0.85V)조건에서는 SOSC 내부 지연 셀(delay cell)들의 전달 지연시간이 증가하여 SOSC의 주기 t_{SLOW} 는 TT PVT 조건 시의 주기 t_{IDEAL} 보다 커지게 되며, 따라서 카운터 출력 CA[5:0]의 코드 값은 예를 들어 24로 감소하게 된다. 이 경우 최종 CT[30:0]의 코드 값은 $9(= 24 - 15 = 9)$ 가 된다. 마찬가지로 PVT 변화가 Fast PVT 조건으로 변하게 될 경우 지연 제어기 출력 CT[30:0]의 코드 값은 15보다 커지게 될 것이다. Subtractor에서

15를 빼주는 이유는 TT PVT 조건에서 5-to-31 Thermometer 코드 CT[30:0]의 출력이 최소 0에서 최대 31의 중간값인 15 정도에서 생성되게 하고, 이를 통해 Fast DCO 및 Slow DCO가 프로그래머블하게 변경할 수 있는 가변 지연(variable delay) 값의 중간 지점을 기준으로 삼기 위해서다. Slow DCO와 Fast DCO의 주기는 CT[30:0] 코드값이 증가하면 같이 증가되고, CT[30:0] 값이 감소하면 같이 선형적으로 감소하게 설계되었다.

따라서, 예를 들면, 그림 3(b)와 같이 Slow PVT 조건에서 지연 제어기의 출력 CT[30:0] 값이 감소되면, 이는 Fast/Slow DCO 내부 Coarse Cell들의 연결을 더 많이 차단하여 지연 셀 내부 출력 노드의 커패시턴스 값을 감소시키게 된다. 따라서 Fast/Slow DCO의 주기는 Slow PVT 조건임에도 불구하고 증가되지 않으며, 이는 TDC의 PVT 보상 효과를 의미한다.

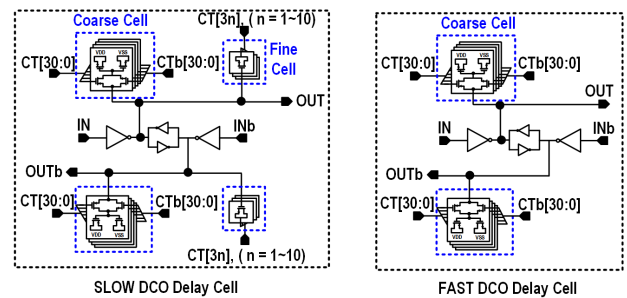


Fig. 4. Slow/Fast Delay Cell.
 그림 4. 슬로우/패스트 지연 셀

그림 4는 Slow DCO 및 Fast DCO 내부에 쓰이는 의사 차동(pseudo differential) 구조 지연 셀(delay cell)들의 회로도를 보여준다. 지연 제어기의 출력 CT[30:0] 코드는 Slow DCO와 Fast DCO 내부 출력 Out/Outb 노드에 연결된 각각 31개의 Coarse Cell MOS 커패시터의 연결을 제어한다. CT[30:0]은 또한 Slow DCO 내부 Out/Outb 노드에 연결된 각각 10개의 파인 셀(Fine Cell)들을 제어한다. 여기서 파인 셀은 TDC의 해상도를 결정하는데, TT 상온 조건에서 Slow DCO의 주기는 160 ps이고, Fast DCO의 주기는 155 ps로 설정되어 제안하는 CVTDC의 해상도는 5 ps에 해당한다.

그림 5는 제안하는 CVTDC의 동작 프로세스를 보여준다[5]. Start와 Stop 신호 사이의 측정시간 구간에 대하여 Slow DCO는 3번의 SOSC 신호를 발생시켜 Coarse Count는 3에 해당하며, Coarse Count 발생 이후에 FOSC의 상승 에지가 SOSC의 상승 에지보다 빨라질 때

까지를 측정하는 Vernier TDC 동작 구간에서 FOSC 가 4번 발생하여 Fince Count는 4에 해당하는 것을 볼 수 있다. 이후, Reset 신호를 0으로 만들어, Slow DCO와 Fast DCO의 동작을 멈추고, CVTDC의 동작이 완료된다.

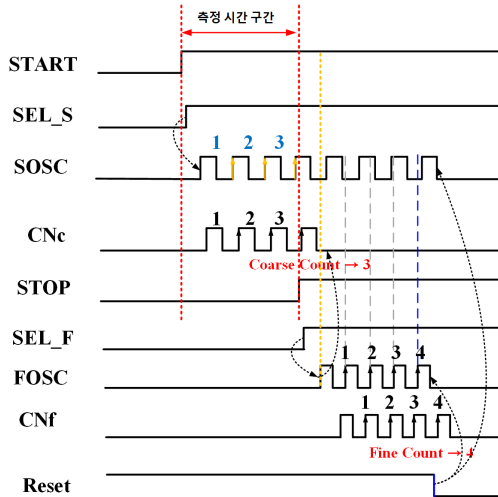


Fig. 5. Proposed CVTDC operation process.
그림 5. 제안하는 CVTDC의 동작 프로세스

III. 실험적 결과

제안하는 PVT 변화 보상기능의 CVTDC는 45nm 1.0-V CMOS 공정으로 설계되었다. 그림 6은 제안하는 PVT 변화 보상형 CVTDC의 동작 특성에 대한 Hspice 시뮬레이션 결과를 보여준다.

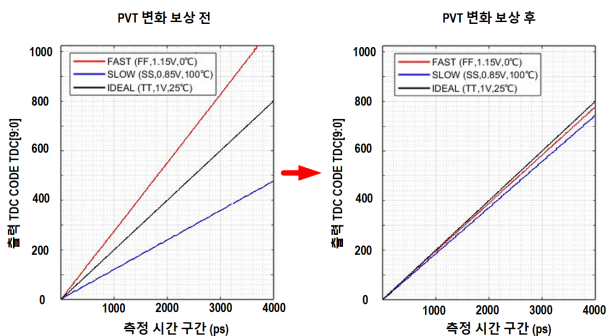


Fig. 6. Simulation results of the proposed PVT variation compensated CVTDC operation (Left: before compensation, Right: After compensation).

그림 6. 제안하는 PVT 변화 보상형 CVTDC의 동작 특성 시뮬레이션 결과(좌 : 보상 전, 우 : 보상 후)

Typical 조건(TT, 25°C, 1V), Slow 조건(SS, 100°C, 0.85V) 및 Fast 조건(FF, 0°C, 1.15V)에서 입력 측정

시간 구간을 0 ps에서 4000 ps까지 변화시켰을 때, CVTDC 출력 10-bit TDC[9:0] 코드의 특성을 보여주는 시뮬레이션 결과이다. 좌측 그림과 같이 PVT 변화 보상 이전에는 TDC 코드의 출력값이 정수로 최대 500 이상의 큰 변화를 보이는 문제점을 확인할 수 있다. 그러나, 본 논문에서 제안하는 PVT 보상형 지연제어기를 이용한 우측 그림의 결과는 TDC 코드 출력값의 변화가 최대 50 이하로 크게 감소하여 90% 이상의 PVT 보상 효과를 보이는 것을 확인할 수 있다.

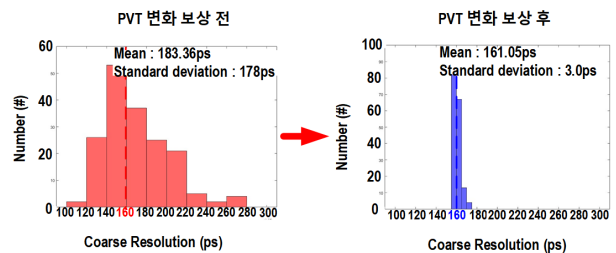


Fig. 7. Coarse cell resolution simulation results with and without PVT variation compensation.

그림 7. PVT 변화 보상 유무에 따른 Coarse Cell 해상도 코너 시뮬레이션 결과

그림 7은 PVT 변화 보상 유무에 따른 delay cell 내부 coarse cell의 해상도의 변화 시뮬레이션 결과를 보여준다. 다섯 가지 트랜지스터의 특성 코너(TT, FF, SS, FS, SF)와 다섯 가지 온도 변화(0°C, 25°C, 50°C, 75°C, 100°C) 변화 및 일곱 가지 전원전압 VDD 변화(0.85V, 0.9V, 0.95V, 1V, 1.05V, 1.1V, 1.15V) 등 총 175가지 PVT 코너 시뮬레이션을 시행한 결과, PVT 변화 보상 전에 약 178 ps의 큰 산포를 보이던 coarse 해상도가 PVT 변화 보상 이후에 약 3 ps로 산포가 크게 개선되었음을 확인할 수 있다.

Table 1. TDC performance comparison table.

표 1. 타임-디지털 컨버터 성능 비교표

Parameters	[6]	[7]	This Work
Process	90nm,	90nm	45nm
Architecture	Two-step TDC	Delay Line TDC	Cyclic Vernier TDC
TDC Resolution	5.4 ps	30 ps	5 ps
Detectable Range	890 ps	997 ps	5.1 ns
Clock Frequency	100MHz	100MHz	100MHz
Power Consumption	9.1 mW	2.22 mW	8 mW
DNL(LSB)	0.8	1.17	0.38
INL(LSB)	1	1.5	0.88

표 1은 본 논문의 CVTDC와 PVT 보상 기능을 가지는 종래 TDC들과의 성능 비교를 보여준다. Two-step TDC를 이용하는 [6]은 5.4 ps의 TDC 해상도를 가지나 측정 시간 구간이 890 ps로 작은 한계를 가진다. 일반적인 지연 라인 TDC 구조를 사용하는 [7]은 TDC 해상도가 30 ps로 매우 크다는 문제점을 갖는다. 반면에 본 논문에서 제안하는 CVTDC는 5 ps의 높은 TDC 해상도와 5.1 ns의 넓은 측정 시간 구간을 갖는 장점을 확인할 수 있다.

IV. 결론

본 논문에서는 PVT 변화에 대한 보상기능을 가지는 Cyclic Vernier TDC를 제안하였다. 제안하는 PVT 보상형 지연 제어를 사용할 경우, PVT 변화에 대한 TDC 출력 코드의 변화는 90% 이상 개선되는 것을 확인하였다. 제안하는 CVTDC는 45nm CMOS 공정으로 설계되었으며, 약 5 ps의 우수한 TDC 해상도 및 약 5.1ns 넓은 측정 시간 범위를 갖는다.

References

- [1] D. Park, J. Kim, "A 7-GHz Fast-Lock Two-Step Time-to-Digital Converter-Based All-Digital DLL," *Circuits Syst Signal Process* 39, 1715-1734, 2020. DOI: 10.1109/ISCAS.2018.8351396
- [2] F. -W. Kuo et al., "An All-Digital PLL for Cellular Mobile Phones in 28-nm CMOS with -55 dBc Fractional and -91 dBc Reference Spurs," *IEEE Transactions on Circuits and Systems I*, vol.65, no.11, pp.3756-3768, 2018. DOI: 10.1109/TCSI.2018.2855972
- [3] J. Yu, F. F. Dai and R. C. Jaeger, "A 12-Bit Vernier Ring Time-to-Digital Converter in 0.13 μ m CMOS Technology," *IEEE Journal of Solid-State Circuits*, vol. 45, no.4, pp.830-842, 2010. DOI: 10.1109/JSSC.2010.2040306
- [4] J. Jin, S. Kim and J. Kim, "A Fast-Lock All-Digital Clock Generator for Energy Efficient Chiplet-Based Systems," *IEEE Access*, vol.10, pp.124217-124226, 2022. DOI: 10.1109/ACCESS.2022.3224451
- [5] D. Park, S. Choi, and J. Kim, "A fast lock

all-digital MDLL using a cyclic Vernier TDC for burst-mode links," *Electronics*, vol.10, no.2, p.177, 2021. DOI: 10.3390/electronics10020177

[6] Avilala, Akhil, et al, "High Resolution Time-to-Digital Converter Design with Anti-PVT-Variation Mechanism," *2021 IEEE 4th International Conference on Electronics Technology (ICET)*, pp.452-455, 2021. DOI: 10.1109/ICET51757.2021.9451146

[7] Chua-Chin Wang, Kuan-Yu Chao, Sivaperumal Sampath, and Ponnas Suresh, "Anti-PVT-Variation Low Power Time-to-Digital Converter Design Using 90nm CMOS Process," *IEEE Transactions on Very Large Scale integration (TVLSI) Systems*, vol.28, no.9, pp.2069-2073, 2000.

DOI: 10.1109/TVLSI.2020.3008424

BIOGRAPHY

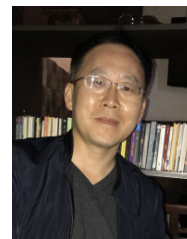
Eunho Shin (Member)



2022 : BS degree in Electrical and electronics engineering Konkuk University.

2022~present : MS degree in Electronics and Electrical Engineering, Hongik University.

Jongsun Kim (Member)



1992 : BS degree in Electronic Engineering, Hanyang University.

1994 : MS degree in Electronic and Electrical Engineering, POSTECH.

2006 : PhD degree in Electrical Engineering, UCLA.

1994~2008 : Senior Engineer, Samsung Electronics

2008~present : Professor, School of Electronic and Electrical Engineering, Hongik University