

낮은 전자기 간섭 특성을 가진 차내 통신을 위한 데이터 송신기 설계

박준영* · 전현규** · 이원영***

Design of a Low EMI Data Transmitter for In-Vehicle Communications

Jun-Young Park* · Hyun-Kyu Jeon** · Won-Young Lee***

요약

본 논문에서는 차내 통신을 위한 데이터 송신기에 지연고정루프를 접목한 회로를 제안한다. 낮은 전자기 간섭 특성을 가진 송신기의 설계를 위해 낮은 슬루율을 가지며, 회로 소자의 공정에 따른 변화로 인한 슬루율 변화량을 보정할 수 있는 지연고정루프를 적용하였다. 시뮬레이션 결과에 의하면, 지연고정루프가 적용된 송신기는 기존의 송신기보다 낮은 슬루율 변화량을 가진다. 제안한 구조의 회로는 65nm 공정으로 설계되었으며, 데이터 전송속도는 20Mbps, 공급전압은 1.1V이다. 지연고정루프가 있는 송신기는 기존의 송신기에 대비하여 빠른 조건에서 53.6% 낮은 슬루율 변화량, 느린 조건에서 13.07% 낮은 슬루율 변화량을 가진다.

ABSTRACT

In this paper, we propose a low EMI data transmitter employing a delay-locked loop for vehicles. For the low EMI characteristic, the transmitter has been designed to have low slew rate and employs the delay-locked loop to correct the amount of change in the slew rate due to process variations. According to simulation results, the proposed transmitter which the delay-locked loop has smaller slew rate change as compared to the conventional transmitter. The proposed circuit has been designed with a 65nm process technology and the data rate is 20Mbps with a supply voltage of 1.1V. As compared to a conventional transmitter, the proposed transmitter shows that variations of the slew rate become 53.6% lower in a fast condition and 13.07% lower in a slow condition.

키워드

Transmitter, Electro Magnetic Interference, Delay-Locked Loop, Slew Rate, Process Variation
송신기, 전자기 간섭, 지연 고정 루프, 슬루율, 공정 변화

* 서울과학기술대학교 학사과정 (lattia1@gmail.com)

** LX세미콘 (hkjeon@lxsemicon.com)

*** 교신저자 : 서울과학기술대학교 스마트ICT융합공학과

• 접수일 : 2023. 06. 07

• 수정완료일 : 2023. 07. 10

• 게재확정일 : 2023. 08. 17

• Received : Jun. 07, 2023, Revised : Jul. 10, 2023, Accepted : Aug. 17, 2023

• Corresponding Author : Won-Young Lee

Dept. Smart ICT Convergence Engineering, Seoul National University of Science and Technology,

Email : wylee@seoultech.ac.kr

1. 서론

자동차와 로봇으로 대표되는 모빌리티 시스템은 최근 자동화, 자율화의 요구에 맞춰 다양한 반도체 회로 및 센서를 탑재하여 외부 상황, 내부 상태 등을 감지한 후 데이터를 중앙처리장치로 전송하여 처리하고 있다[1-4]. 센서의 수가 많기 때문에 일반적으로 다양한 센서와 중앙처리장치는 그림 1과 같이 버스 구조를 사용하여 연결된다. 대표적인 센서 인터페이스는 CAN, CAN-FD, LIN, Automotive Ethernet 등이 있다.

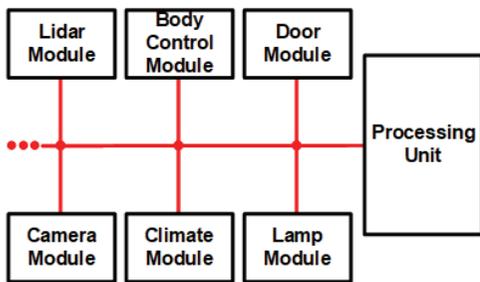


그림 1. 버스 형태의 차량용 데이터 송수신 통신 시스템
Fig. 1 Tx/Rx data communication system using bus topology for automobile

자동차 내부 시스템이 고도화됨에 따라 내장되는 ECU (Electronic Control Unit)와 센서 간의 통신 속도와 빈도가 증가하고 이에 따라 EMI (Electro-Magnetic Interference)도 증가하는 것이 불가피하다. EMI의 증가는 ECU에 교란을 일으킬 수 있는 잠재적 위험으로 작용하는데, 이것은 차량의 특성상 사람의 생명을 위협하는 문제이기에 더욱 치명적이다. 또한, 현대 기술의 고성능-저전력 환경의 측면에서도 EMI에 대한 강인한 동작 특성은 필수불가결한 요소이다.

이러한 문제를 해결하기 위해 그림 2와 같이 풀업 (pull-up) 소자와 풀다운 (pull-down) 소자의 동작을 일치시키기 위한 구조와 슬루율 (slew rate)을 낮추기 위해 데이터 전송 시 다중 전류 드라이버로 구성된 송신기에 대한 연구가 다양하게 진행되었다[5-7]. 기존 연구에서 EMI 특성을 개선하기 위해 데이터 전송 시 병렬 연결된 다중 전류 드라이버를 순차적으로 동

작시킴으로써 순간적인 최대 전류 소모량을 줄이는 방법을 사용하였다. 그러나 칩에 발생하는 공정 산포, 전압 및 온도 변화로 전류원이 순차적으로 동작하는 시점이 바뀌기 때문에 안정적인 슬루율을 유지하는 것이 어렵다. 본 논문에서는 다중 전류 드라이버 구조의 송신기 회로에 DLL (Delay-Locked Loop)을 사용하여 공정, 전압, 온도 변화에도 안정적인 슬루율을 유지함으로써 EMI 특성을 개선하는 차내 통신을 위한 데이터 수신기를 설계하였다. 다음 장에서는 제안하는 송신기의 구조를 다중 전류 드라이버와 교차 제어 방법을 비롯한 선행 연구와 함께 소개하였다. DLL과 설계한 송신기에 대해 서술한 후, 3장에서는 시뮬레이션 결과를 정리하였다. 마지막 4장에서는 결론을 기술함으로 본 논문을 마친다.

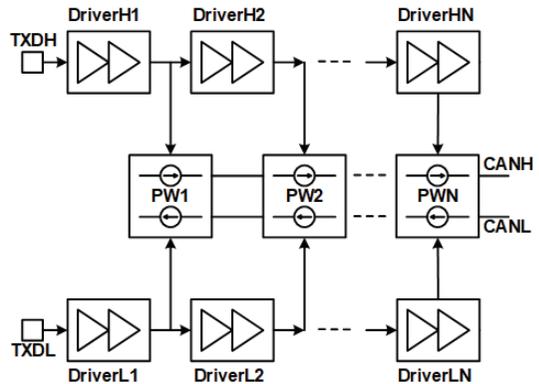


그림 2. 다중의 전류 드라이버를 이용한 슬루율 제어 방법의 블록 다이어그램
Fig. 2 Block diagram of slew rate control method using multiple current drivers

II. 제안하는 송신기 구조

제안하는 송신기는 CAN 통신을 위한 구조를 바탕으로 설계되었다. 그림 3은 제안하는 낮은 전자기 간섭 특성을 가진 차내 통신을 위한 데이터 송신기의 간략화 된 블록다이어그램을 보여주고 있다. 제안하는 회로는 크게 데이터를 직접 전송하는 드라이버 부분과 동작 시점을 생성하는 DLL 부분으로 나뉜다. 전송하고자 하는 데이터는 디지털 로직 블록에서 차동

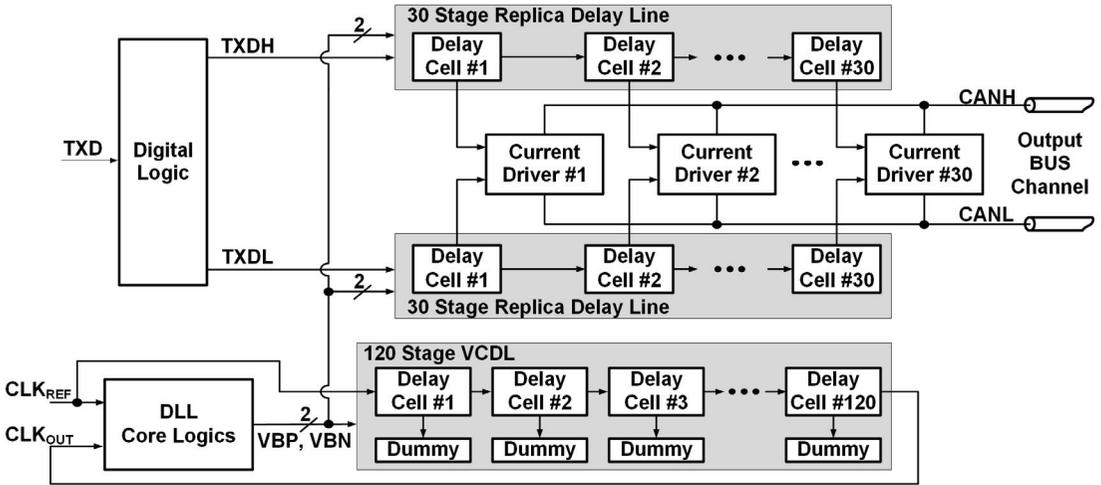


그림 3. 제안하는 데이터 송신기의 블록 다이어그램
Fig. 3 Block diagram of the proposed data transmitter

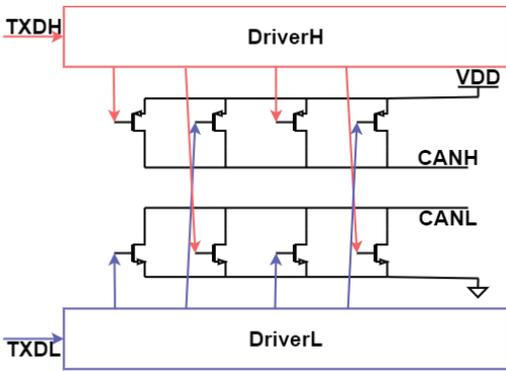


그림 4. 교차 제어 방법의 블록 다이어그램
Fig. 4 Block diagram of cross-control method

신호인 TXDH와 TXDL로 변환되어 드라이버로 전달 되고, 클럭신호는 데이터와 동기화 되어 있으며 DLL 로 입력된다. 두 신호는 다중 전류원 교차 제어 방식을 사용하는 드라이버에 전달되고 DLL 회로로부터 정의된 동작 시점에 맞춰 다중 전류원이 순차적으로 구동되어 데이터를 칩 외부로 송신하게 된다. 이때, 순차 구동 시간차에 의해 출력 신호의 슬루율이 결정 된다. 드라이버 구동에 사용된 교차 제어 방식이란 그림 4와 같이 전류 드라이버 단에서 풀업 소자와 풀다운 소자 간의 동작 격차를 줄이기 위해 풀업과 풀다

운 드라이버가 PMOS와 NMOS를 교차로 제어하는 방식이다. 본 회로에서도 출력 차동 신호의 공통모드 신호 값의 변화를 줄이기 위해 교차 제어 방식을 적용하여 드라이버를 설계하였다.

DLL은 교차 제어 방식의 다중 전류 드라이버를 순차적으로 동작시킬 때 공정 산포, 전압 및 온도 변화에 둔감한 일정한 출력 시점을 얻고자 설계되었다. 만약 전류 드라이버가 단일 시점에 동작한다면 원하는 출력 신호 크기를 얻기 위한 전류가 짧은 순간에 모두 흐르게 된다. 이는 인덕턴스 성분에 의한 스위칭 노이즈를 발생시키며 EMI의 원인이 된다. 따라서, 인덕턴스에 의한 EMI를 감소시키기 위해서는 전류 드라이버의 스위칭 시점을 분산시킴으로써 순간 전류 변화율을 감소시켜야 한다. 공정, 전압, 온도 변화에도 일정한 분산 효과를 얻기 위해 DLL을 사용하여 일정한 지연 시간을 확보할 수 있는 시간 조정 전압을 생성하였다. DLL의 부귀환 구조에 의해 생성 및 유지되는 조정 전압은 TXDH와 TXDL을 일정 간격으로 지연시키는 회로 (delay line)에 적용되어 다중 전류 드라이버를 일정 간격으로 동작시킬 수 있게 한다. VCDL은 120단의 지연 단위회로를 사용하였으며 DLL이 10MHz 클럭의 1주기의 시간(100ns)에 대하여 지연 시간을 고정하면 30단 지연 단위 회로의 지연 시간이 약 25ns가 되도록 설계하였다. DLL이 지연시

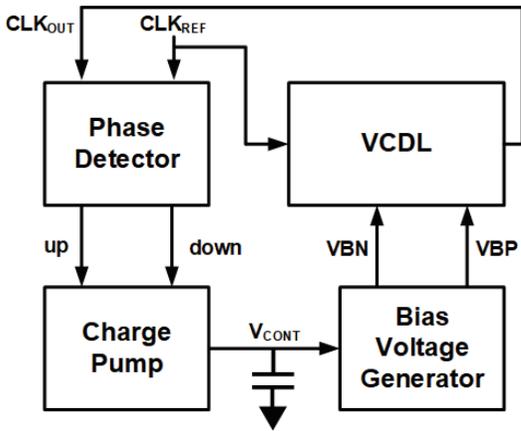


그림 5. 지연고정루프의 구조
Fig. 5 Structure of delay-locked loop

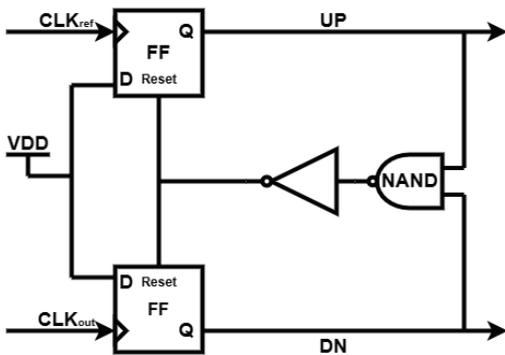


그림 6. 위상 검출기의 회로도
Fig. 6 Schematic of the phase detector

간을 고정하게 되면 해당 조정 전압을 30단으로 구성된 복제 지연 회로에 공급함으로써 다중 전류드라이버가 약 0.83ns 간격으로 데이터를 순차적으로 출력하게 된다. DLL의 120단 VCDL과 30단의 복제 지연회로 간의 선형성과 유사성을 유지하기 위해 VCDL의 120단의 지연 단위회로 출력에 전류 드라이버의 입력단을 모사한 캐패시터가 연결되도록 설계하였다.

본 송신기에 적용된 DLL은 그림 5와 같이 위상 검출기 (phase detector, PD), 전하 펌프 (charge pump, CP), 바이어스 전압 생성회로 (bias voltage

generator), 전압 조정 지연 회로 (voltage controlled delay line, VCDL)로 구성되며 이러한 블록들이 부귀환 루프를 구성하여 기준 클럭(CLK_REF)과 출력 클럭 신호(CLK_OUT)의 위상 차이를 0으로 만들도록 동작한다 [8-10]. 그림 6은 DLL에 사용된 기본적인 PD의 회로를 보여주고 있다. PD는 기준 신호와 입력 신호 사이 위상의 차이를 검출하는 장치이다. PD 내부에는

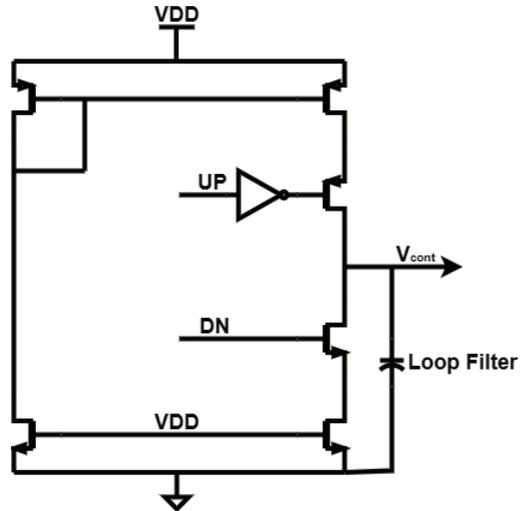


그림 7. 전하 펌프의 회로도
Fig. 7 Schematic of the charge pump

두 개의 D 플립플롭이 있으며, D 단자에 VDD를 인가한 상태에서 클럭 단자에 기준 클럭 신호와 입력 클럭 신호를 연결한다. 이러한 구조에 의해 기준 클럭과 입력 클럭 신호의 상승 엣지가 발생했을 때 각 플립플롭의 Q 값이 1이 된다. 기준 클럭에 의해 발생하는 Q 값을 UP, 출력 클럭에 의해 발생하는 Q 값을 DN으로 설정하여 사용하였다. UP와 DN 신호를 AND 게이트로 연결하고 AND 게이트의 출력을 양 플립플롭의 리셋 단자에 연결한다. 이 장치는 기준 클럭의 위상이 출력 클럭보다 빠르면 위상을 앞당기기 위해 UP 신호가 먼저 High 상태가 되고, 위상차이 만큼의 시간이 흐른 후 출력 클럭이 도달하여 DN 신호가 High 상태가 되면 AND 게이트의 출력이 High가 됨으로써 양 플립플롭의 출력을 Low로 만든다. 반대로 입력 클럭의 위상이 더 빠르면 위상을 지연시키기 위해 DN 신호가 먼저 High 상태가 되고, 기준 클럭이 도착하면 AND 게이트에 의해 UP과 DN 신호가

Low가 된다. 두 클록의 위상이 같다면 UP과 DN은 둘 다 클록의 상승 엣지에서 High가 되고 AND 게이트와 인버터의 게이트 지연 시간만큼 값을 유지한 후 Low 상태가 된다. 그림 7의 전하 펌프는 PD로부터 UP과 DN 신호를 받아 VCDL에 전송할 제어 신호 (V_{CONT})의 전압 값을 증가시키거나 감소시키는 역할

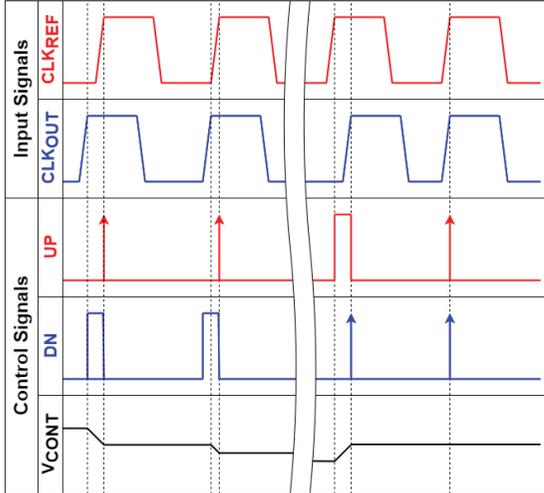


그림 8. 지연고정루프 동작의 타이밍 다이어그램
Fig. 8 Timing diagram of the DLL operation

UP이 연결된 PMOS에 의해 V_{CONT} 값이 증가하며, 반대로 출력 클록의 위상이 기준 클록보다 빨라 DN 신호가 High 상태를 유지한다면 DN이 연결된 NMOS에 의해 V_{CONT} 값이 감소한다.

그림 9는 VCDL과 바이어스전압 회로의 회로도를 보여주고 있다. VCDL은 전하 펌프와 루프필터에 의

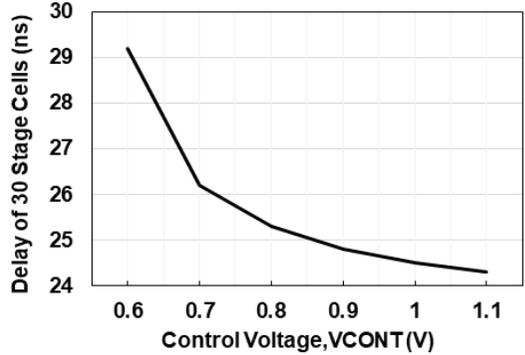


그림 10. 30단 복제 지연회로의 지연 가능 범위
Fig. 10 Delay range of the 30 stage replica delay line

해 생성된 V_{CONT} 를 받아 신호의 지연을 생성하는 역할을 수행한다. 본 논문에서는 전류 조정 방식의 지연 단위회로 (current starved delay cell)를 사용하여 설계하였다. V_{CONT} 가 증가하면 바이어스전압 생성회로에 의해 만들어지는 VBN은 증가, VBP는 감소하여 지연 단위회로에 흐르는 전류를 증가시켜 신호 지연 값이 감소한다. V_{CONT} 가 감소하면 VBN, VBP 값이 지연 단위회로의 전류를 감소시켜 신호 지연 값을 증가시킨다. VCDL의 조정 전압 범위를 0.6V에서 1.1V까지로 설정하였으며, 약 0.9V에서 클록의 1주기인 100ns의 지연시간으로 고정되도록 설계하였다.

그림 10은 전류드라이버에 연결되는 30단 복제 지연회로의 지연시간에 대한 시뮬레이션 결과를 보여주고 있다. VCDL의 1/4만큼의 지연 단위회로로 구성되었기 때문에 0.9V에서 약 25ns의 지연시간을 가진다. 데이터 전송률이 20Mbps인 경우 데이터 1개의 길이가 50ns이므로 데이터 전압의 중간지점을 기준으로 12.5ns 동안 상승 또는 하강, 25ns 동안 HIGH 또는 LOW 유지, 12.5ns 동안 하강 또는 상승 동작을 하게 된다. 즉, 데이터 1개의 길이를 3등분하여 동작함으로써 낮은 EMI 특성과 데이터의 타이밍 마진을 동시에 확보할 수 있도록 설계하였다.

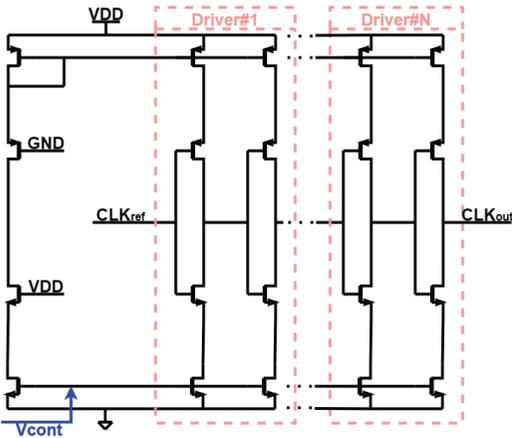


그림 9. VCDL과 바이어스전압 생성회로의 회로도
Fig. 9 Schematic of the VCDL and the bias voltage generator

을 수행한다. 그림 8과 같이 기준 클록의 위상이 출력 클록보다 빨라 UP 신호가 High 상태를 유지한다면

III. 시뮬레이션 결과

제안하는 차내 통신을 위한 데이터 송신기는 65nm 공정으로 설계되었고 공급 전압으로 1.1V를 사용하였

표 1. 지연고정루프가 없는 기존 송신기의 공정 변화에 따른 슬루율

Table 1. Slew rate of a conventional transmitter according to process variation

Condition	$\Delta t[\mu s]$	$\Delta V[V]$	SR
FF, 1.155V (105%)	0.019	0.263	13.84
TT, 1.1V (100%)	0.026	0.177	6.81
SS, 1.045V (95%)	0.037	0.089	2.41

표 2. 고정지연루프가 있는 제안하는 송신기의 공정 변화에 따른 슬루율

Table 2. Slew rate of the proposed Transmitter with DLL according to process variation

Condition	$\Delta t[\mu s]$	$\Delta V[V]$	SR
FF, 1.155V (105%)	0.026	0.265	10.19
TT, 1.1V (100%)	0.026	0.177	6.81
SS, 1.045V (95%)	0.027	0.089	3.30

다. 데이터 송신 속도는 최소 5Mbps에서 최대 20Mbps이며, 클록의 주파수는 10MHz를 사용하였다.

표 1은 일반적인 구조의 데이터 송신기의 슬루율에 대한 시뮬레이션 결과를 보여주고 있다. 일반적인 구조를 TT (NMOS, PMOS : Typical) 조건에 최적화했을 때 6.81V/μs의 슬루율을 가졌으나 트랜지스터의 문턱전압이 낮은 FF 조건이 되면 슬루율이 13.84V/μs로 증가하여 슬루율 증가량이 103.23%이 된다. 이는 순간 전류의 양이 증가하여 EMI 특성이 나빠짐을 의미한다. SS 조건의 경우는 슬루율이 2.41V/μs로 감소하여 슬루율 감소량은 64.61%이 된다. 슬루율이 감소하여 EMI 특성은 더 좋아지지만, 데이터의 폭이 감소하는 문제가 발생한다.

표 2는 제안하는 데이터 송신기의 슬루율에 대한

시뮬레이션 결과를 보여주고 있다. 기존 구조와 비교를 위해 TT(1.1V) 조건에서 동일한 6.81V/μs를 가지도록 설계한 후 조건을 FF(1.155V)와 SS(1.045V)로 변화시켰을 때 각각 10.19V/μs와 3.30V/μs의 슬루율을

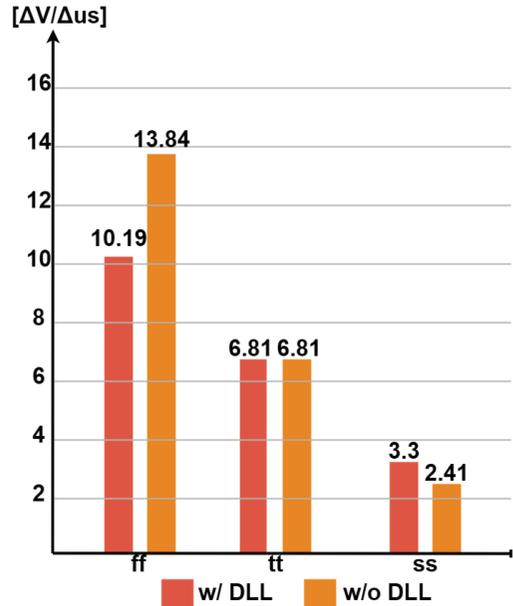


그림 11. 지연고정루프 유무에 따른 슬루율
Fig. 11 Slew rate with DLL and without DLL

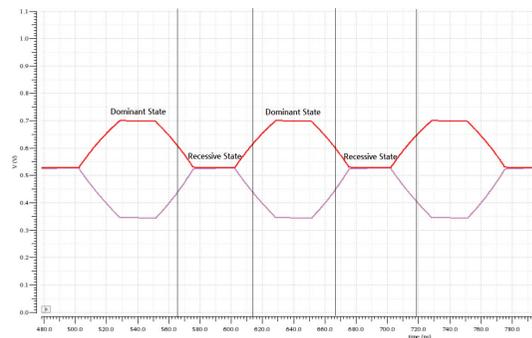


그림 12. 제안하는 송신기의 20Mbps 출력 신호 파형
Fig. 12 20Mbps output signal waveform of the proposed transmitter

을 보여주었다. 그림 11의 그래프를 통해 비교해보면 FF 조건에서는 제안하는 구조의 슬루율 증가량이 103.23%에서 49.63%로 감소하여 변화량이 53.6% 개선되었음을 알 수 있다. SS 조건의 경우, 슬루율 감

소량이 64.61%에서 51.54%로 줄어들어 변화량이 13.07% 개선되었다.

그림 12는 제안하는 송신기의 출력 전압 파형을 보여주고 있다. CAN 통신 기법을 바탕으로 설계했으므로 CAN, CAN-FD에서 정의된 Recessive, Dominant 상태의 전압 범위를 고려하면 중간 값이 0.53V로 공급전압의 50±5% 오차 범위를 만족하였고, Dominant 상태 전압이 0.70V로 공급 전압의 55%~90% 범위를 만족하였다. Recessive 상태 전압은 0.35V로 공급 전압의 10%~45%를 만족하였다.

IV. 결 론

차량 내 데이터 통신 시스템에서 데이터 송수신 시 발생하는 전자기 간섭은 타 전자장치의 동작 안정성을 낮추는 문제가 있다. 따라서, 본 논문에서는 데이터 송신 시 발생하는 전류 드라이버의 스위칭 노이즈를 줄이기 위해 낮은 슬루율 특성을 가진 송신기를 설계하고, 반도체 공정 산포, 전원 전압, 주변 온도로 인해 발생하는 슬루율 변화량을 보정할 수 있는 기법을 제안한다. 설계된 송신기 회로에 낮은 슬루율을 유지하기 위해 단위 출력 드라이버를 순차적으로 동작시키는 기법을 적용하였으며, 순차적인 동작 시점이 공정 산포의 영향을 받지 않게 하기 위해 지연고정루프와 복제 지연 회로를 사용하였다. 시뮬레이션 결과에 의하면, 제안하는 기법을 사용한 송신기는 기존의 송신기에 대비하여 빠른 코너에서 53.6% 낮은 슬루율 증가량, 느린 코너에서 13.07% 낮은 슬루율 감소량을 보여준다. 따라서, 송신기 회로에 제안하는 구조를 적용함으로써 칩의 공정 산포, 전압 및 온도 변화로 인해 발생하는 슬루율 변화를 감소시켜 전자기 간섭 특성 개선 효과를 얻을 수 있음을 알 수 있다.

감사의 글

본 연구는 과학기술정보통신부 및 정보통신기획평가원의 대학ICT연구센터육성지원사업의 연구결과로 수행되었음 (IITP-2023-RS-2022-00156295). 본 연구는 IDEC에서 EDA Tool를 지원받아 수행하였습니다.

References

- [1] J. Kwon, D. Kim, T. Hwang, and H. Park, "A Development of Effective Object Detection System Using Multi-Device LiDAR Sensor in Vehicle Driving Environment," *J. of the Korea Institute of Electronic Communication Science*, vol. 13, no. 2, 2018, pp. 313-320.
- [2] S. Yun, H. Son, and Y. Rhee, "A Study of Head Up Display System for Next Generation Vehicle," *J. of the Korea Institute of Electronic Communication Science*, vol. 6, no. 3, 2011, pp. 439-444.
- [3] W. Lee and G. Lee, "A Low Power Voltage Controlled Oscillator with Bandwidth Extension Scheme," *J. of the Korea Institute of Electronic Communication Science*, vol. 16, no. 1, 2021, pp. 69-74.
- [4] S. Park, H. Kim, D. Lee, and S. Kim, "A Low Power Current-Mode 12-bit ADC using 4-bit ADC in cascade structure," *J. of the Korea Institute of Electronic Communication Science*, vol. 14, no. 6, 2019, pp. 1145-1152.
- [5] S. Kang, J. Seong, and M. Lee, "Controller Area Network With Flexible Data rate Transmitter Design With Low Electromagnetic Emission," *IEEE Trans. Vehicular Technology*, vol. 67, no. 8, Aug. 2018, pp. 7290-7298.
- [6] S. Kim, D. Kim, K. Lee, M. Lee, and J. Kim, "A Stepwise Split Power-Driving Scheme With Automatic Slope Control for EMC-Enhanced LIN Transceiver," *IEEE Trans. Vehicular Technology*, vol. 67, no. 3, Mar. 2018, pp. 2771-2775.
- [7] S. Lee and W. Lee, "Design of ZQ Calibration Circuit using Time domain Comparator," *J. of the Korea Institute of Electronic Communication Science*, vol. 16, no. 3, June 2021, pp. 417-422.
- [8] H. Park, S. Hong, S. Kim, J. Lee, and K. Tchah, "Design and Implementation of Digital Delay Locked Loop," *J. of The Korean Institute of Communications and Information Sciences*, vol. 67, no. 8, Aug. 1996, pp. 2043-2054.
- [9] S. Oh, J. Kim, H. Park, and K. Lee, "Design of a Wide Range Low Power Delay Locked Loop using CMOS 0.18um Process," In *Proc. Summer Annual Conference of IEIE*, Jeju, Korea, 2015, pp. 190-191.

- [10] C. Jung and W. Lee, "A Low Jitter Delay-Locked Loop for Local Clock Skew Compensation," *J. of the Korea Institute of Electronic Communication Science*, vol. 14, no. 2, Apr. 2019, pp. 309-316.

저자 소개



박준영(Jun-Young Park)

2022년 서울과학기술대학교 전자
IT미디어공학과 재학(공학사)

※ 관심분야 : Analog Circuit Design



전현규(Hyun-Kyu Jeon)

1994년 경북대학교 전자공학과 졸업(공학사)

1997년 KAIST 전기 및 전자공학과 졸업(공학석사)

2012년 KAIST 대학원 전기 및 전자공학과 졸업(공학박사)

1997~2000년 LG반도체 주임연구원

2000~2003년 한국전자통신연구원 연구원

2003년~현재 LX세미콘 연구소 수석연구위원

※ 관심분야 : VLSI, High-speed Serial Interface



이원영(Won-Young Lee)

2006년 KAIST 전기 및 전자공학과 졸업(공학사)

2008년 KAIST 대학원 전기 및 전자공학과 졸업(공학석사)

2012년 KAIST 대학원 전기 및 전자공학과 졸업(공학박사)

2012~2015년 삼성전자 메모리사업부 책임연구원

2015년~현재 서울과학기술대학교 전자IT미디어공학과 조교수

※ 관심분야 : VLSI, High-speed Serial Interface