

# 잡음 지수 향상을 위한 W대역 저잡음 증폭기 연구

## Study of W-band Low Noise Amplifier for Enhancing Noise Figure

김기철<sup>★</sup>, 김병재\*, 박경열\*

Kichul Kim<sup>★</sup>, Byungjae Kim\*, Kyungyoul Park\*

### Abstract

This paper presents the optimal structure for enhancing the noise figure of a low noise amplifier(LNA) in situations where transmitted signals leak into the receiving parts. For improving performance of an LNA, a novel composite structure which incorporates the smaller transistors is newly proposed. It was confirmed that, when the transistor size being held constant, the proposed composite structure exhibited better noise figure performance compared to a general LNA structure (i.e., a single-unit transistor with a large gate width) which aims to maximized input power. We incorporated the proposed composite structure into the 1<sup>st</sup> and 2<sup>nd</sup> stages of the 4-stage LNA, while employing the general structure with a single-unit transistor for the 3<sup>rd</sup> and 4<sup>th</sup> stages. This 4-stage LNA was designed using WIN Semiconductor's 0.1- $\mu\text{m}$  InGaAs pHEMT process (PP1011 process), and its resulting layout size is  $2,100 \times 1,280 \mu\text{m}^2$ . The simulation results for the newly designed LNA, which considered its eletro-magnetic (EM) characteristics, demonstrated a gain of 17.0 dB, a noise figure of 4.0 dB, and an input 1dB gain compression point (IP1dB) of -5.7 dBm at the 80 GHz band.

### 요약

본 논문은 송신 신호가 수신단으로 누설될 때 저잡음 증폭기의 잡음 지수 향상을 위한 최적 구조 연구에 관한 내용이다. 저잡음 증폭기 성능 향상을 위하여 작은 트랜지스터들로 분리하여 결합하는 복합 구조를 새롭게 제안하였다. 입력 최대 파워 향상을 위한 저잡음 증폭기 일반적인 구조(큰 게이트 폭의 단일 트랜지스터)에 비하여 동일한 게이트 폭 대비 잡음 지수 향상이 가능함을 확인하였다. 4단 저잡음 증폭기 설계에 있어서 1단 및 2단 증폭기에서는 본 논문에서 새롭게 제안하는 복합 구조를 적용하였고 3단 및 4단 증폭기는 트랜지스터 단일구조를 사용하였다. 제안한 복합 구조를 적용한 4단 저잡음 증폭기는 WIN Semiconductor사에서 제공하는 0.1- $\mu\text{m}$  InGaAs pHEMT 공정(PP1011 process)을 활용하여 설계하였고,  $2,100 \times 1,280 \mu\text{m}^2$ 의 면적을 가진다. LNA의 EM 특성을 반영하여 새롭게 설계한 저잡음 증폭기는 80GHz 대역에서 17.6 dB의 이득, 4.0 dB의 잡음 지수 및 -5.7 dBm의 IP1dB 시뮬레이션 특성을 가진다.

*Key words* : composite structure, InGaAs pHEMT, low noise amplifier, noise figure, W-band

\* Space Technology Center, Advanced Defense Science & Technology Research Institute (ADSTRI), Agency for Defense Development (ADD)

★ Corresponding author

E-mail : kimkc@add.re.kr, Tel : +82-42-821-2805

※ Acknowledgment

This work was supported by the Agency for Defense Development by the Korean Government(912773601)

Manuscript received Mar. 21, 2023; revised Mar. 30, 2023; accepted Jun. 22, 2023.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

## I. 서론

장거리 대용량 통신 능력이 요구됨에 따라, 밀리미터 파 대역을 넘어서 준테라헤르츠파 대역 통신 시스템의 많은 연구가 진행되고 있다[1]-[2]. 준테라헤르츠파 대역에서는 밀리미터파 이하 대역에서 주파수 고갈 문제가 해소됨에 따라 광대역 주파수를 활용한 대용량 통신이 가능하게 된다. 장거리 통신을 구현하기 위해서는 높은 송신 파워의 특성이 요구되지만, 송신 파워가 증가하게 되면 그림 1에서 알 수 있듯이 송신단에서 수신단으로 누설되는 신호 크기 또한 많아지게 되는 단점이 존재한다. 이렇게 수신단으로 전달되는 누설 송신 신호가 증가하게 되면 수신단 저잡음 증폭기가 포화 영역으로 동작하게 되고, 최종적으로는 저잡음 증폭기 자체의 정상적인 동작이 불가능하여 신호의 수신이 어렵게 된다. 이러한 문제점의 해결을 위한 다양한 방법들 중 한 가지의 방안으로는 저잡음 증폭기 최대 입력 파워의 향상이다.

본 논문에서는 저잡음 증폭기의 최대 입력 파워 증가를 고려할 때, 저잡음 증폭기의 잡음 지수도 같이 향상할 수 있는 새로운 구조에 대하여 제안한다. 일반적으로는 저잡음 증폭기의 최대 입력 파워 증가를 위해서는 트랜지스터 게이트 폭의 증가가 필요하다. 하지만, 단일 트랜지스터에서 게이트 폭을 단순히 증가하게 되면 잡음 지수의 성능에서 손해를 보는 것은 피할 수가 없다. 왜냐하면 게이트 폭의 증가를 통한 최대 입력 파워의 특성과 잡음 지수 특성은 상호 간 trade-off 관계이기 때문이다. 최대 입력 파워 및 잡음 지수 성능을 모두 향상하기 위하여 본 논문에서는 작은 게이트 폭을 가지는 트랜지스터들을 결합하는 구조를 새롭게 제안한다.

본 논문의 구성은 다음과 같다. II장에서는 본 논문에서 제안하는 저잡음 증폭기 복합 구조를 설명하고, III장은 저잡음 증폭기 설계 및 그 결과를 보여주며, 마지막으로 IV장에서는 결론을 맺는다.

## II. 저잡음 증폭기 복합 구조

그림 2는 새롭게 제안하는 저잡음 증폭기 복합 구조에 대하여 보여주고 있다. 4단으로 연결된 저잡음 증폭기 구조에서 1단과 2단에는 본 논문에서 제안하는 복합 구조를 적용하였다.

### 1. 게이트 폭의 변화에 따른 특성 비교

트랜지스터의 게이트 폭 변화에 따른 트랜지스터 자체

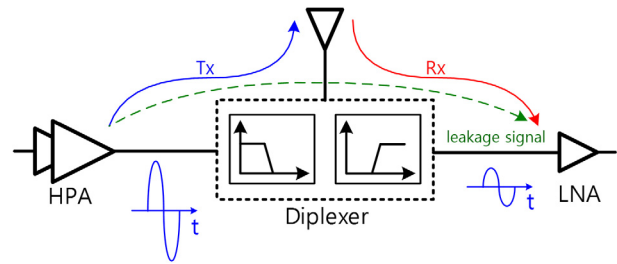


Fig. 1. Transceiver front end structure for W-band long range communications.

그림 1. W대역 장거리 통신용 송수신 전단부 구조

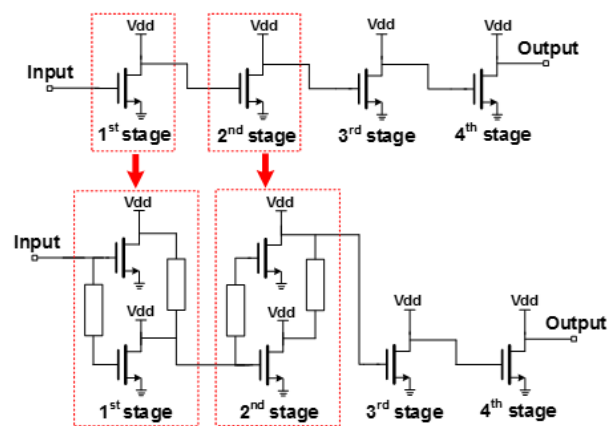


Fig. 2. Combined structure of a low noise amplifier for improving noise figure.

그림 2. 잡음 지수 향상을 위한 저잡음 증폭기 복합 구조

의 잡음지수 및 이득의 변화에 대하여 비교하였다. 일반적으로 단일 트랜지스터 게이트 폭이 증가하게 되면 저잡음 증폭기 자체의 입력 1dB 이득압축점 (IP1dB) 향상이 가능하다. 하지만 트랜지스터 게이트 폭의 증가는 트랜지스터 자체 잡음 지수 특성을 나쁘게 만들며, 이것은 그림 3의 그래프를 통해 확인이 가능하다. 그림 3은 80GHz에서 WIN Semiconductor사 0.1- $\mu\text{m}$  InGaAs pHEMT 공정(PP1011 process) 내 트랜지스터 게이트 폭 변화 대비 잡음 지수 특성의 변화를 보여주고 있다. 이 때, 트랜지스터의 입·출력단은 노이즈에 최적화된 임피던스를 가지고 있는 것으로 가정하였다. 본 논문에서 새롭게 제안하는 복합 구조를 가지게 되면, 트랜지스터의 전체 게이트 폭의 크기가 35 $\mu\text{m}$ (15 $\mu\text{m}$  + 20 $\mu\text{m}$ )임에도 불구하고 잡음 지수는 1.87 dB로 향상한다. 이는 약 20 $\mu\text{m}$  크기의 게이트 폭을 가지는 단일 트랜지스터의 잡음 지수와 유사한 수준이다. 이렇게 게이트 폭이 상대적으로 큰 트랜지스터를 사용해야만 하는 경우(IP1dB 향상이 필요한 경우)에는 복합 구조의 적용을 통하여 잡음 지수의 향상이 가능함을 확인할 수가 있다.

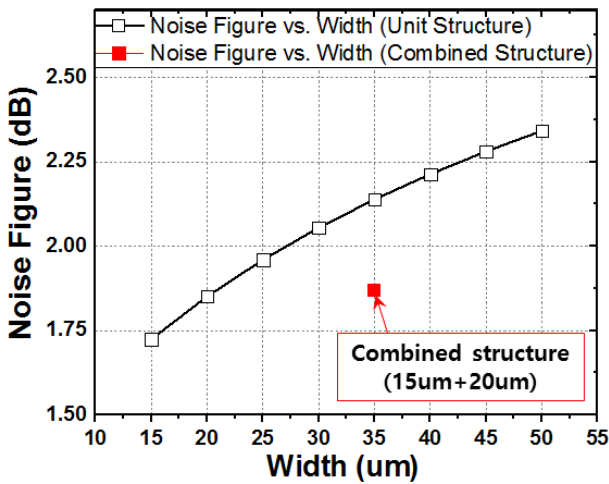
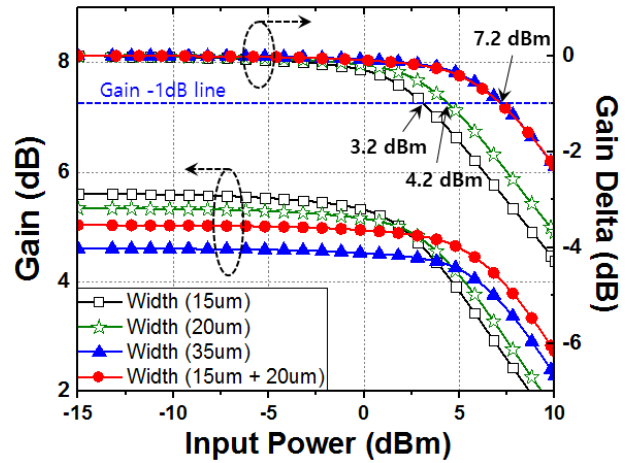


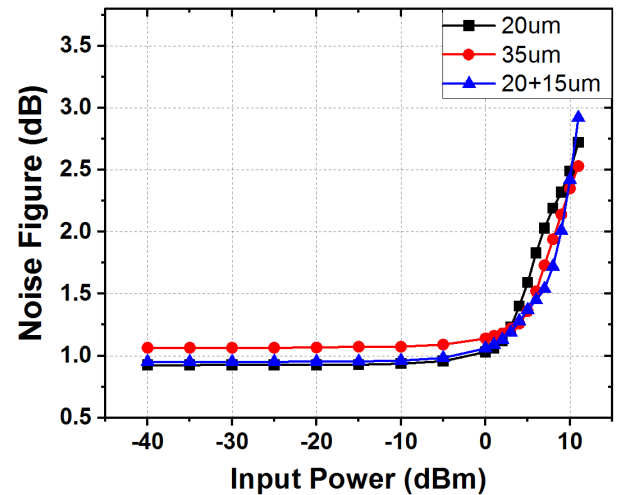
Fig. 3. Comparison of the noise figure versus the transistor gate width variation in 0.1- $\mu\text{m}$  InGaAs pHEMT process (PP1011) of WIN Semiconductor (@80GHz).

그림 3. WIN Semiconductor사 0.1- $\mu\text{m}$  InGaAs pHEMT 공정 (PP1011) 내 트랜지스터 게이트 폭 변화에 따른 NF 특성 비교 (@80GHz)

제안하는 복합 구조의 IP1dB 향상을 분석하기 위하여 그림 4(1)에서 단일 트랜지스터에서 게이트 폭 변화 (15 $\mu\text{m}$ , 20 $\mu\text{m}$ , 35 $\mu\text{m}$ ) 및 복합 구조(15 $\mu\text{m}$  + 20 $\mu\text{m}$ )의 IP1dB를 확인하였다. 80GHz에서 IP1dB 향상성 분석 시뮬레이션을 수행하였으며, WIN Semiconductor사 0.1- $\mu\text{m}$  InGaAs pHEMT 공정 (PP1011 process)을 활용하였다. 모든 트랜지스터는 동일한 게이트(-0.5V) 전압 및 드레인(2V) 전압을 고려하였으며, 게이트 폭이 커질수록 단일 트랜지스터 자체의 이득은 점점 줄어드는 경향을 보였다. 하지만 그림 4(1)에서 이득 차이값 비교를 참고하면 트랜지스터의 게이트 폭이 커질수록 트랜지스터의 IP1dB는 향상됨을 확인할 수 있다. 15 $\mu\text{m}$  및 20 $\mu\text{m}$ 의 게이트 폭을 가지는 트랜지스터의 IP1dB는 각각 3.2dBm 및 4.2dBm 이었으며, 35 $\mu\text{m}$ 의 게이트 폭을 가지는 트랜지스터는 7.2dBm의 상대적으로 높은 IP1dB를 가지는 것을 확인할 수 있었다. 제안하는 복합 구조 (15 $\mu\text{m}$ +20 $\mu\text{m}$ ) 및 35 $\mu\text{m}$ 의 단일 트랜지스터를 비교하면, 약 7.2 dBm의 동일한 IP1dB를 가지는 것을 확인하였다. 또한, 제안하는 복합 구조(15 $\mu\text{m}$ +20 $\mu\text{m}$ )의 자체 이득은 35 $\mu\text{m}$ 의 단일 트랜지스터에 비하여 약 0.4dB 정도 증가함을 확인하였다. 80GHz에서 입력 파워의 변화에 따라 게이트 폭별 잡음지수의 특성은 그림 4(2)에서 확인이 가능하다. 복합구조(15 $\mu\text{m}$ +20 $\mu\text{m}$ )를 적용할 경우, 낮은 파워에서는 20 $\mu\text{m}$ 의 게이트 폭이 작은 트랜지



(1) 트랜지스터 게이트 폭 변화에 따른 IP1dB 특성



(2) 입력파워 변화에 따른 게이트 폭별 잡음지수 변화

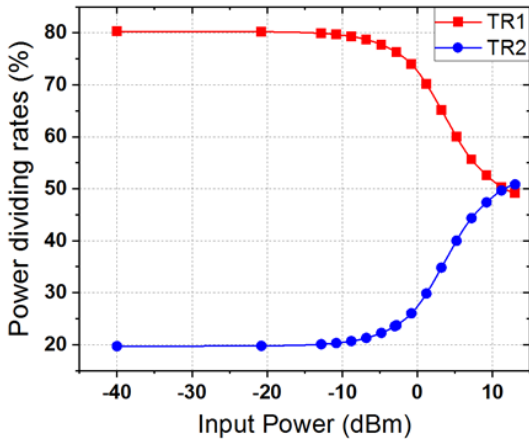
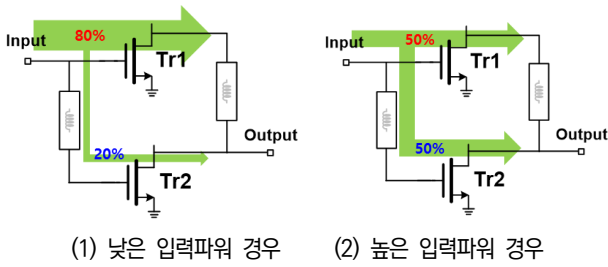
Fig. 4. (1) Comparison of IP1dB versus transistor gate width variation in 0.1- $\mu\text{m}$  InGaAs pHEMT process (PP1011) of WIN Semiconductor (@80GHz), (2) Noise figure of gate width variations according to input power.

그림 4. (1) WIN Semiconductor사 0.1- $\mu\text{m}$  InGaAs pHEMT 공정 (PP1011) 내 트랜지스터 게이트 폭 변화에 따른 IP1dB 특성 (@80GHz), (2) 입력파워 변화에 따른 게이트 폭별 잡음지수 변화 (@80GHz)

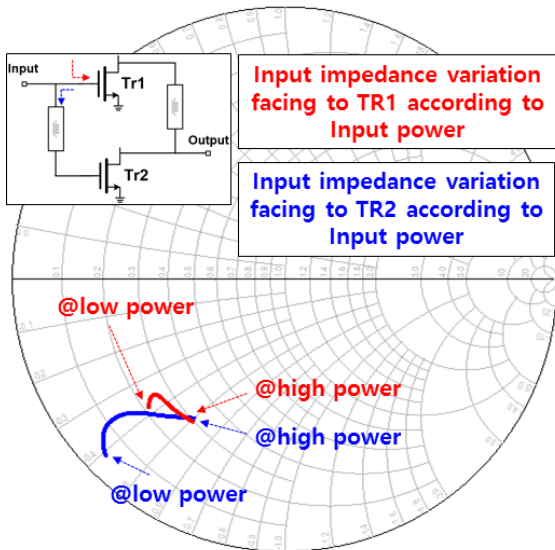
스터와 비슷한 수준의 잡음지수를 가지며, 입력 파워가 올라가게 되면, 35 $\mu\text{m}$ 의 게이트 폭과 유사한 특성을 가짐을 확인하였다.

## 2. 저잡음 증폭기 복합구조 분석

저잡음 증폭기 복합구조의 사용 이유는 1개의 큰 단일 트랜지스터 대신 2개의 작은 트랜지스터를 사용하여 잡음지수 및 IP1dB 특성 향상에 있다. 이러한 특성을 향상시키기 위해서는 복합구조 입력단에서 2개의 트랜지스터



(3) 입력파워의 변화에 따른 Transistor 신호 전달비



(4) 입력파워 변화에 따른 Transistor 입력 임피던스 변화

Fig. 5. In complex structure, (1) signal flow of low input power, (2) signal flow of high input power, (3) power dividing rates vs. input power, (4) transistor input impedance variations according to input power.

그림 5. 복합구조에서 (1)낮은 입력파워의 신호 흐름도, (2)높은 입력파워의 신호 흐름도, (3)입력파워 변화에 따른 신호 전달비, (4) 입력파워 변화에 따른 트랜지스터 입력 임피던스의 변화

스터 연결라인 중간에서의 분리 및 결합을 수행하는 구조[3]의 적용보다는 잡음 지수의 향상을 위해서는 비대칭적인 트랜지스터의 연결이 필요하다. 그림 5(1)과 같이 1번 트랜지스터(Tr1, 20 $\mu$ m 게이트 폭)는 바로 연결되는 구조를 가지며, 2번 트랜지스터(Tr2, 15 $\mu$ m 게이트 폭) 입력단에 연결을 위한 전송선로가 포함되어 있다. 그리고 신호의 결합을 위하여 Tr1의 출력단에 동일한 크기의 전송선로 연결이 필요하다. 이러한 구조의 연결은 2개 트랜지스터로 분산되는 지점에서의 입력 임피던스의 변화를 만들 수 있으며, 이를 통하여 각각의 트랜지스터로는 동일한 신호가 아닌 비대칭적인 신호 전달이 가능하게 된다. 즉, 낮은 파워에서는 Tr1의 입력 임피던스가 Tr2 입력 임피던스에 비하여 상대적으로 낮은 값을 가지기 때문에 대부분은 신호가 Tr1으로 전달되며, 이로써 복합구조의 트랜지스터는 Tr1만 존재하는 수준의 잡음 지수 특성을 얻을 수가 있다. 신호의 세기가 점점 커지게 되면서 입력 파워가 0dBm 이상으로 커지게 되면, Tr1의 동작영역의 변화(saturated)로 인하여 Tr2로 전달되는 신호가 점점 늘어나게 된다. 이로써 개별 트랜지스터로 전달되는 입력 임피던스의 변화와 각각의 트랜지스터들로 전달되는 신호의 크기도 점점 변화하게 된다. 최종적으로 약 10dBm 정도의 높은 입력파워가 전달될 때에는 그림 5(2)와 같이 Tr1과 Tr2에 거의 동일한 크기의 신호가 전달됨을 확인할 수가 있다. 이렇게 2개의 트랜지스터로 전달되는 신호 전달비는 그림 5(3)에서 확인할 수 있다. 그리고 신호 크기 변화에 따른 개별 임피던스로 바라보는 임피던스의 변화값은 그림 5(4)에서 확인이 가능하다.

Table 1. Comparison of total noise figure in 4-stage LNA with or without complex structure.

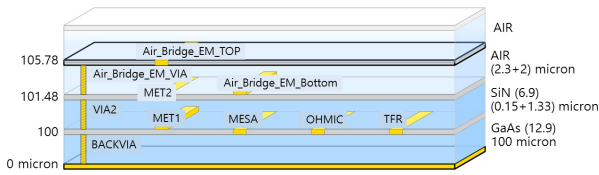
표 1. 복합구조의 적용 유·무에 따른 4단 저잡음 증폭기 전체 잡음지수의 비교

	Not applied	1 <sup>st</sup>	1 <sup>st</sup> /2 <sup>nd</sup>	1 <sup>st</sup> /2 <sup>nd</sup> / 3 <sup>rd</sup>	1 <sup>st</sup> /2 <sup>nd</sup> / 3 <sup>rd</sup> /4 <sup>th</sup>
Noise figure (dB)	2.592	2.294	2.234	2.205	2.19
Gain (dB)	18.4	18.83	19.26	19.69	20.12

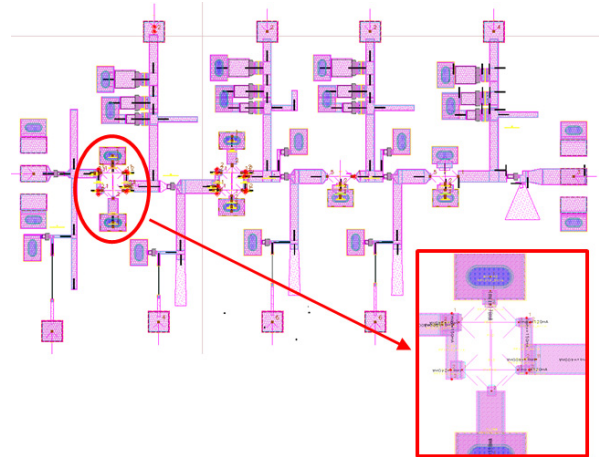
### III. 설계 결과

로 전달되는 신호의 분리 및 출력단에서 2개의 트랜지스터로부터 나오는 신호의 결합이 중요하다. 2개의 트랜지

2장에서는 게이트 폭 변화에 따른 트랜지스터 자체의



(1) Electro magnetic 시뮬레이션 설정 정보



(2) LNA 레이아웃에서 EM 시뮬레이션용 개별 포트 설정

Fig. 6. (1) Information of EM simulation set-up (2) Port set-up for EM simulation in LNA layout.

그림 6. (1) EM 시뮬레이션 설정 정보,

(2) LNA 레이아웃에서 EM 시뮬레이션용 포트 설정

잡음지수 및 이득의 변화에 대하여 비교하였고, 복합구조의 트랜지스터 잡음지수 및 이득의 특성도 같이 비교하였다. 이를 바탕으로 4단으로 구성된 저잡음 증폭기를 설계하였다.

1. 4단 저잡음 증폭기 구조

총 4단으로 구성된 저잡음 증폭기 전체 잡음지수는 아래의 수식을 통하여 확인이 가능하다.

$$F_t = F_{1+} + (F_2 - 1) / G_1 + (F_3 - 1) / G_1 \cdot G_2 + (F_4 - 1) / G_1 \cdot G_2 \cdot G_3$$

(1)

복합 구조의 적용 유·무에 따른 전체 잡음지수 의 특성 비교에는 그림 3과 그림 4에서 보여준 잡음지수의 특성값을 사용하였다. 그리고 단순 비교를 위하여 4단의 저잡음 증폭기가 모두 35um의 게이트 폭을 가진다고 가정 하였다. 이 중 각 단별로 복합 구조의 적용시 잡음지수의 향상정도는 표1과 같다. 복합구조를 적용하지 않은 경우에는 전체 잡음지수가 2.592dB에 해당하며, 1단에만 복합구조 적용시에는 2.294dB로 전체 잡음지수가 상당히 향상됨을 확인할 수가 있었다. 그리고 1단 및 2

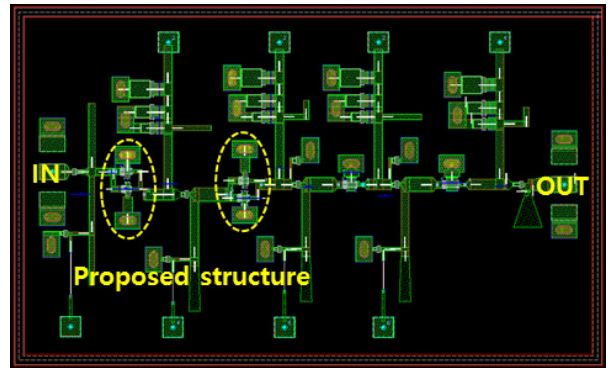
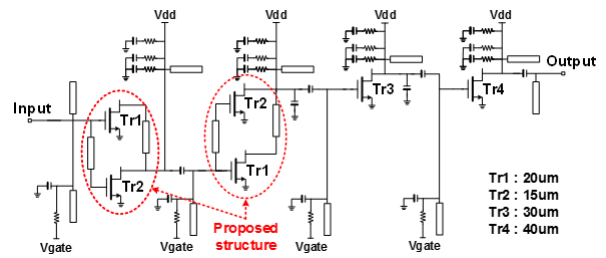


Fig. 7. Schematic and layout for 4-stage low noise amplifier with proposed structure.

그림 7. 제안하는 구조를 적용하여 설계한 4단 저잡음 증폭기 회로도 및 레이아웃

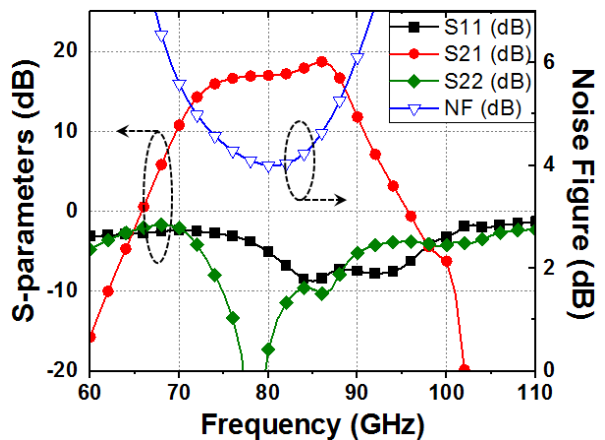


Fig. 8. Simulated S-parameter and NF of the 4-stage LNA.

그림 8. 4-stage LNA의 S-파라미터 및 NF 시뮬레이션 결과

단에 적용시에는 2.234dB로 향상된다. 1단 및 2단 적용 외에 3단에서의 복합 구조 적용은 그 향상정도가 0.03dB 이하로 시뮬레이션 오차 범위에 해당된다고 판단함에 따라 본 논문의 4단 저잡음 증폭기 설계에서는 1단과 2단에서만 복합구조를 적용하였다.

2. Electro Magnetic 시뮬레이션 설정정보

주파수가 높아짐에 따라, 간단한 전송선로에서 발생할 수 있는 기생 인덕턴스 혹은 기생 캐패시턴스의 영향성

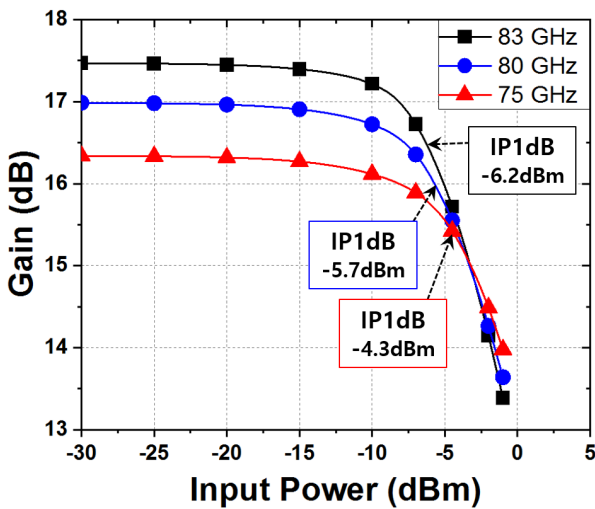


Fig. 9. Simulated gain of the 4-stage LNA.  
 그림 9. 4-stage LNA 이득 시뮬레이션 결과

은 점점 증가하게 된다. 이를 고려하여 실제 반도체칩 설계에서는 반도체 공정의 특성을 반영하는 Electro Magnetic (EM) 시뮬레이션 특성을 고려한 칩 개발이 필요하다. 본 논문에서도 약 80GHz에 해당하는 준테라헤르츠 대역에서의 저잡음 증폭기 설계이기 때문에 EM 특성정보를 반영하여 저잡음 증폭기를 설계하였다. 그림 6(1)에서는 EM특성 반영을 위한 설정 정보를 보여주고 있다. 칩의 전체 두께는 약 100 $\mu$ m에 해당하며, 총 2개의 메탈층으로 구성되어 있음을 확인할 수가 있다. 이러한 EM 특성을 활용하여 그림 6(2)와 같이 EM 시뮬레이션을 위한 각각의 포트를 설정하였다. 캐패시터, 비아, 메탈층 등의 수동 소자들은 모두 EM 특성을 반영한 결과값들을 고려하여 시뮬레이션 하였으며, 트랜지스터와 같은 능동 구

Table 2. Comparison of W-band low noise amplifier.  
 표 2. W대역 저잡음 증폭기 성능 비교

Parameters	[4]	[5]	[6]	This work (sim.)
Technology	0.13- $\mu$ m SiGe	65nm CMOS	0.1- $\mu$ m pHEMT	0.1- $\mu$ m pHEMT
Frequency [GHz]	73-86	75.5-120.5	71-86	75-83
Gain [dB]	21.3	25.3	> 20	> 16.3
Gain [mW]	134.9	338.8	100	42.7
NF [dB]	5.5	6	< 4.3	< 4.4
NF [mW]	3.55	3.98	2.69	2.75
IP1dB [dBm]	-14.5	-28.3	> -10	> -6.2
Pdc [mW]	52	48	262.5	106.4
FoM	14.03	4.60	15.29	16.42

성품의 경우에는 WIN Semiconductor 사에서 제공하는 소자모델을 적용하여 시뮬레이션 하였다.

### 3. 4단 저잡음 증폭기 설계 결과

트랜지스터 게이트 폭 변화에 따른 트랜지스터 자체의 잡음지수 및 이득의 변화에 대하여 비교하였다. 제안하는 복합 구조를 적용하여 4단 저잡음 증폭기를 설계하였고, 회로도 및 레이아웃은 그림 7과 같다. 1단 및 2단 증폭 단에서는 20 $\mu$ m와 15 $\mu$ m 게이트 폭의 트랜지스터 2개를 결합한 복합 구조를 적용하였으며, 3단 및 4단 증폭 단에서는 각각 30 $\mu$ m, 40 $\mu$ m의 게이트 폭을 가지는 단일 트랜지스터를 적용하여 설계하였다. 게이트 폭 35 $\mu$ m를 고려한 설계에서 저잡음 증폭기의 최적화된 성능(잡음지수 및 IP1dB)을 고려하여 3단 및 4단 증폭기의 게이트 폭은 각각 30 $\mu$ m 및 40 $\mu$ m로 설계하였다. 각각의 전압 경로에는 다단 저잡음 증폭기의 안정성을 높이기 위해 capacitor를 병렬 연결하였으며, W대역 동작 주파수에서 전압회로의 신호 손실을 최소화하기 위하여 전송선로를 활용하였다. 설계한 4단 저잡음 증폭기의 레이아웃 크기는 2,100  $\times$  1,280  $\mu$ m<sup>2</sup>에 해당하며, 4단으로 구성된 저잡음 증폭기의 게이트 포트들에는 모두 -0.5V를, 드레인 포트들에는 모두 2V의 동일한 전압을 인가하였다.

그림 8에서는 설계한 4단 저잡음 증폭기의 잡음 지수 특성 및 S-파라미터 (S11, S21, S22) 시뮬레이션 결과를 보여주고 있으며, 그림 9은 인가되는 입력 파워 변화에 따른 4단 저잡음 증폭기의 이득 변화량을 보여주고 있다. 80GHz의 동작 주파수에서는 약 -5.1 dB 및 -17.3 dB의 입·출력 S-파라미터 특성, 약 17.0 dB의 이득, 약 4.0 dB의 잡음 지수, 및 약 -5.7 dBm의 IP1dB를 가지는 것을 시뮬레이션으로 확인하였다. 이때, 4단 저잡음 증폭기에서 소모하는 전체 전류량의 합은 53.2 mA에 해당하며, 전력소비량은 106.4 mW에 해당한다. 저잡음증폭기 설계에서 잡음지수 및 이득 특성을 최적화함에 따라 S11의 특성은 다소 낮은 경향이 있다.

이전에 발표된 다양한 W대역 저잡음 증폭기들과 본 논문에서 제안하는 복합 구조를 적용한 저잡음 증폭기 간의 성능 비교를 표2에서 수행하였다. 다양한 반도체공정을 사용하여 개발한 W대역 저잡음 증폭기 특성들과 비교를 수행하였으며, 개발된 저잡음 증폭기의 동작대역 특성, 이득, IP1dB, 잡음지수, 및 전력소모의 특성을 모두 고려하여 아래 Figure of Merit (FoM) 수식을 통하여 전반적인 성능을 비교하였다. 그 결과, 본 논문에서

설계한 저잡음 증폭기의 IP1dB 및 잡음지수 특성이 우수함을 확인할 수 있었다.

$$FoM = 10 \cdot \log_{10} \left( 100 \cdot \frac{Gain_{[mW]} \cdot IP1dB_{[mW]} \cdot BW_{[GHz]}}{(F-1)_{[mW]} \cdot Pdc_{[mW]} \cdot 1GHz} \right) \quad (2)$$

#### IV. 결론

본 논문에서는 저잡음 증폭기에서 IP1dB 특성 및 잡음 지수 성능을 모두 향상하기 위한 복합구조에 대하여 새롭게 제안하였다. 복합구조란 1개의 큰 트랜지스터 대신 게이트 폭 사이즈가 상대적으로 작은 트랜지스터 2개의 구성을 의미한다. 1<sup>st</sup>, 2<sup>nd</sup> 단에 복합 구조를 적용하여 4단 저잡음 증폭기를 설계하였고, 레이아웃에서 발생하는 모든 EM 시뮬레이션 특성을 반영한 저잡음 증폭기 시뮬레이션 결과를 제시하였다. 상대적으로 게이트 폭이 작은 트랜지스터들의 사용으로 저잡음 증폭기 잡음 지수를 향상시킬 수 있었으며, 복합 구조의 적용을 통하여 저잡음 증폭기 자체의 IP1dB 성능도 향상이 가능했다. 제안하는 저잡음 증폭기의 설계 결과는 75-83GHz 대역에서 16.3dB 이상의 이득과, 4.5dB 이하의 잡음 지수 특성을 가지고 있으며, 75/80/83GHz에서 각각 -4.3/-5.7/-6.2 dBm 이상의 IP1dB의 특성을 확인할 수 있었다.

#### References

- [1] H. Al-Rubaye, and G. M. Rebeiz, "W-Band direct-modulation >20-Gb/s transmit and receive building blocks in 32-nm SOI CMOS," *IEEE Journal of Solid-State Circuits (JSSC)*, vol.52, no.9, pp.2277-2291, 2017.  
DOI: 10.1109/JSSC.2017.2723504
- [2] M. Inomata, W. Yamada, N. Kuno, M. Sasaki, M. Nakamura, H. Ishikawa, and Y. Oda, "Terahertz propagation characteristics for 6G mobile communication systems," *2021 15<sup>th</sup> European Conference on Antennas and Propagation (EuCAP)*, pp.1-5, 2021.
- [3] M. Sabzi, M. Kamarei, T. Razban, Y. Mahe, "Parallel Amplifiers Technique for LNA Design," *5<sup>th</sup> Sino-French Workshop on Information and Communication Technologies (SIFWICT)*, 2019.
- [4] H. Li, J. Chen, D. Hou, P. Yan and W. Hong, "A High Linearity W-Band LNA With 21-dB Gain and 5.5-dB NF in 0.13  $\mu\text{m}$  SiGe BiCMOS," *2020 50th European Microwave Conference (EuMC)*, Utrecht, Netherlands, pp.1019-1022, 2021.  
DOI: 10.23919/EuMC48046.2021.9337946
- [5] D. Lu, Y. Hsu, J. Kao, J. Kuo, D. Niu and K. Lin, "A 75.5-to-120.5-GHz, high-gain CMOS low-noise amplifier," *2012 IEEE/MTT-S International Microwave Symposium Digest*, pp.1-3, 2012.  
DOI: 10.1109/MWSYM.2012.6259481
- [6] E. Byk, A. M. Couturier, M. Camiade, C. Teyssandier, M. Hosch, H. Stieglauer, and P. Fellon, "An E-band very low noise amplifier with variable gain control on 100nm GaAs pHEMT technology," *2012 7<sup>th</sup> European Microwave Integrated Circuits Conference (EuMIC)*, pp.111-114, 2012.

#### BIOGRAPHY

##### Kichul Kim (Member)



2007 : BS degree in Electronic Engineering, Yeungnam University.  
2011 : MS degree in Electronic Engineering, GIST.  
2016 : PhD degree in Electrical Engineering, KAIST.

2016~Present : Senior Researcher, Agency for Defense Development, Daejeon, Republic of Korea.

##### Byeongjae Kim (Member)



2016 : BS degree in Electronic Engineering, Chungbuk National University.  
2018 : MS degree in Electronic Engineering, Chungbuk National University.

2019~ : Researcher, Agency for Defense Development, Daejeon, Republic of Korea.

**Kyoungyoul Park** (Member)



1999 : BS degree in Radio Science and Engineering, Kwangwoon University.

2001 : MS degree in Radio Science and Engineering, Kwangwoon University.

2013 : PhD degree in Electrical Engineering, Michigan State University.

2001~Present : Principal Researcher, Agency for Defense Development, Daejeon, Republic of Korea.