

싱글 슬로프 비트 이동 방법을 사용한 12~14-bit 재구성 가능 SAR-SS 하이브리드 ADC 설계

Design of Reconfigurable 12~14-bit Hybrid SAR-SS Analog to Digital Converter with SS Bit Shifting Method

문철우*, 윤광섭*

Cheol-Woo Moon*, Kwang Sub Yoon*

Abstract

This paper proposes a low-power, high-resolution reconfigurable hybrid ADC for bio-electrical signal processing. The proposed ADC contains a SAR ADC designed to be reconfigurable with a resolution of 8 to 10 bits for the most significant bit (MSB) and a 4-bit single-slope ADC for the least significant bit (LSB). The resolution reconfiguration is implemented by performing bit shifting operations to align the 4-bit resolution of the single-slope ADC with the resolution of the SAR ADC. The proposed ADC is designed using a CMOS 28nm 1-poly 8-metal process, and the layout area is 1180um × 550um. Simulation results demonstrate a power consumption of 32.7uW, which includes 24.8uW for analog power and 7.9uW for digital power. The INL/DNL measures ±1.5LSB / ±1.5LSB, respectively. The ENOB and FoM are measured to be 11.9 bits and 25.6fj/step, respectively.

요약

본 논문은 생체 전기 신호 처리를 위한 저전력 고해상도의 재구성 가능한 하이브리드 ADC를 제안한다. 제안하는 ADC는 최상위 비트(MSB)를 처리하는 SAR ADC와 최하위 비트(LSB)를 처리하는 싱글 슬로프 ADC로 구성되어 있다. 싱글 슬로프 ADC의 해상도에 따라 기하급수적으로 증가하는 샘플링 속도 문제를 해결하기 위해, SAR ADC는 8~10비트로 재구성 가능하도록 설계되었으며, 싱글 슬로프 ADC는 4비트 해상도로 구성되었다. 이러한 해상도 재구성을 위해, 싱글 슬로프 ADC의 4비트 디지털 코드를 SAR ADC의 해상도에 맞추기 위해 비트 이동 연산을 수행하는 비트 이동 방식을 구현하였다. 제안된 ADC는 CMOS 28nm 1-poly 8-metal 공정을 사용하여 설계되었으며, 레이아웃 면적은 1180um × 550um이다. 시뮬레이션 결과에서 전력 소모는 32.7uW로, 이는 아날로그 전력 24.8uW와 디지털 전력 7.9uW를 포함한다. INL/DNL은 각각 ±1.5LSB / ±1.5LSB이다. ENOB와 FoM은 각각 11.9비트와 25.6fj/step으로 측정되었다.

Key words : Reconfigurable, Hybrid, SAR, SS, ADC

* Dept. of Electrical & Computer Engineering, INHA University

★ Corresponding author

E-mail : mcw1997@naver.com, Tel : +82-32-860-7410

※ Acknowledgment

This work was supported by the National Research Foundation of Korea(NRF) grant funded by the Korea government (Ministry of Education)(No. 2021R1F1A1049023).

The chip fabrication and EDA tool were supported by the IC Design Education Center(IDEC), Korea.

Manuscript received Apr. 27, 2023; revised Jun. 21, 2023; accepted Jun. 23, 2023.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서론

최근 4차 산업 혁명 시대가 도래하면서 크게 발전하는 분야 중 하나가 웨어러블 디바이스이다. 웨어러블 디바이스는 신체에 부착하기 용이하고 휴대가 간편해야 하므로, 소형화 및 저전력 동작이 필수적이다. 웨어러블 디바이스에서 처리하는 생체 전기 신호는 진폭이 작고 주파수가 낮은 것이 특징이며, 각 신호의 크기 및 주파수 대역이 모두 다르다[1], [2]. 따라서 이를 처리하는 ADC를 각 생체 신호의 특성에 맞게 따로 설계하여 사용하면, 전력 소모와 칩 면적이 증가하는 문제점이 있다. 이때 생체 전기 신호의 여러 특성에 맞게 하나의 칩에서 회로 구조를 재구성할 수 있는 ADC를 설계한다면, 단순히 고성능 ADC를 사용할 때보다 전력 소모를 효율적으로 조절하면서도 다양한 특성의 신호를 처리할 수 있는 시스템을 구성할 수 있다. 재구성 가능한 ADC는 외부에서 인가하는 신호를 통하여 회로의 구조를 바꿀 수 있으며, 그에 따라 해상도, 샘플링 속도, 전력 소모 등의 설계 변수를 사용자의 의도에 맞게 변경할 수 있는 ADC를 의미한다.

기존에 설계된 단일 구조의 ADC들은 각각의 구조에서 한계점이 존재하기 때문에, 최근에는 두 가지 이상의 서로 다른 ADC 구조를 결합하여 각 구조의 장점을 모두 가질 수 있는 하이브리드 ADC가 많이 설계되고 있다. 이 중에서 웨어러블 디바이스의 생체 전기 신호 처리에 필요한 ADC 구조를 찾아보면, 먼저 파이프라인 ADC와 SAR ADC를 결합한 파이프라인-SAR ADC[3]의 경우 축퇴 커패시터를 활용한 다이내믹 연산 증폭기를 사용하여 50MS/s의 샘플링 속도를 달성하였으나, 전력 소모가 $460\mu\text{W}$ 로 높아 고속 신호 처리 응용 분야에 적합하다고 할 수 있다. 한편 SAR ADC와 $\Delta\Sigma$ ADC를 결합한 노이즈-쉐이핑 SAR ADC[4],[5]는 각각의 샘플링 속도가 1.6MS/s, 3.7MS/s로 낮은 편이고 11.7비트, 12.6비트의 높은 유효 비트 수를 달성하였지만, 연산 증폭기의 전력 소모로 인해 전체 전력 소모를 낮추는 데 한계가 있다.

그리고 SAR ADC와 싱글 슬로프 ADC를 결합한 SAR-SS ADC는 SAR ADC의 낮은 전력 소모와 싱글 슬로프 ADC의 높은 선형성을 모두 얻을 수 있는 구조로, 생체 신호 처리에 적합하다고 볼 수 있다. 기존에 설계된 SAR-SS ADC를 보면, Kwon[6]의 경우 연산 증폭기를 사용하여 램프 전압을 생성하므로 전력 소모가 $56\mu\text{W}$ 로 다소 높으며, 저항 열을 사용하여 기준 전압을 설정하므로 공정 변화에 취약하다는 단점이 있다. Liu[7]는 SAR

ADC와 디지털 싱글 슬로프 ADC가 회로를 공유하는 구조로 2.2fj/step의 낮은 FoM을 얻었으나, 온도계 코드를 이진 코드로 바꾸는 디코더 회로로 인해 구조가 복잡하고, 100MS/s의 빠른 속도로 인해 전력 소모도 $350\mu\text{W}$ 로 높게 나타났다.

본 논문에서는 생체 전기 신호를 처리하는 데 적합하도록 다소 느린 샘플링 속도와 적은 전력 소모를 달성하면서도, 다양한 생체 신호를 하나의 칩에서 처리할 수 있도록 회로 구조를 재구성 가능한 SAR-SS 하이브리드 ADC를 제안한다. 제안하는 ADC는 외부 입력 신호를 통해 해상도를 재구성할 수 있으며, 이를 싱글 슬로프 비트 이동 방법을 사용하여 구현하였다. 2장에서는 제안하는 ADC의 설계 방법론에 대하여 설명하였으며, 3장에서는 제안하는 ADC의 구조 및 동작 방식을 설명하였다. 4장에서는 실험 결과 및 고찰을 기술하였다.

II. 제안하는 ADC의 설계 방법론

여러 생체 전기 신호를 모두 처리할 수 있는 ADC는 최소 12비트 이상의 해상도를 가져야 하며, 각 신호의 특성에 맞게 해상도를 재구성할 수 있는 구조가 필요하다. 제안하는 ADC는 SAR ADC와 싱글 슬로프 ADC의 구조를 결합한 SAR-SS 하이브리드 ADC이며, 해상도를 12~14비트로 재구성할 수 있도록 하였다. 또한 선형성이 높은 것이 장점인 싱글 슬로프 ADC를 LSB 쪽에 배치하고, SAR ADC를 MSB 쪽에 배치하여, 전체 하이브리드 ADC의 선형성 및 유효 비트수를 높이고자 하였다.

SAR ADC의 해상도를 M 비트, 싱글 슬로프 ADC의 해상도를 N 비트라고 하면 전체 해상도 R_T 는 (1)과 같이 표현할 수 있다.

$$R_T = M + N \quad (1)$$

또한 제안하는 ADC의 샘플링 주기 T는 (2)와 같이 표현할 수 있다.

$$T = (2 + M + 2^N) T_{clk} \quad (2)$$

T_{clk} 는 ADC에 인가되는 클럭의 주기를 나타낸다. 그림 1은 M = 7, 8, 9, 10일 때 각각 해상도에 따라 N의 값을 증가시키면서 T의 값을 계산한 그래프이고, 그림 2는 N = 3, 4, 5, 6일 때 각각 해상도에 따라 M의 값을 증가시키면서 T의 값을 계산한 그래프이다.

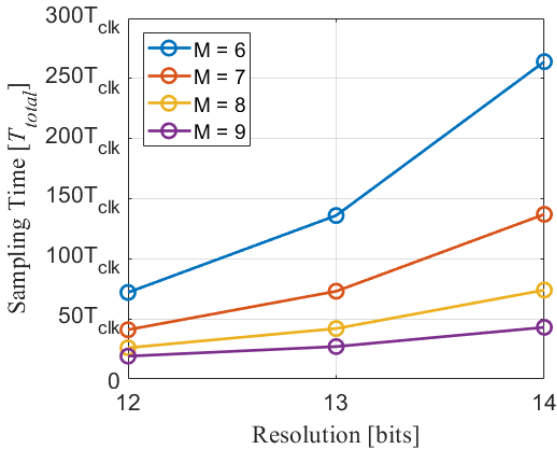


Fig. 1. A graph of T as N varies for a constant M.
 그림 1. 일정한 M 값에 대하여 N을 변화시킬 때의 T 값 그래프

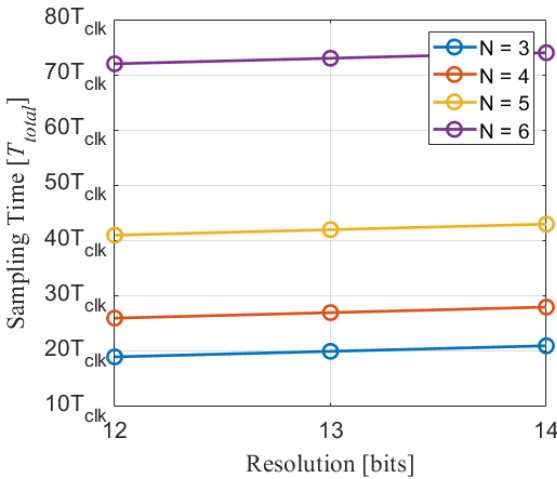


Fig. 2. A graph of T as M varies for a constant N.
 그림 2. 일정한 N 값에 대하여 M을 변화시킬 때의 T 값 그래프

그림 1을 보면 SAR ADC의 해상도 M을 고정된 상태에서 싱글 슬로프 ADC의 해상도 N을 재구성할 경우, 해상도가 12비트에서 14비트로 늘어남에 따라 샘플링 시간이 기하급수적으로 증가하는 문제점이 있다. 그에 비해 그림 2를 보면, SAR ADC의 샘플링 시간은 해상도에 따라 선형적으로 증가하기 때문에, SAR ADC의 해상도를 재구성하고 싱글 슬로프 ADC의 해상도를 고정하면 전체 ADC의 해상도가 변하더라도 샘플링 시간은 $1 T_{clk}$ 만 변화하게 된다.

한편 N이 증가하면 전체 ADC의 선형성을 높일 수 있으나, 샘플링 주기 T가 증가함에 따라 샘플링 신호를 생성하는 카운터 로직의 복잡도가 증가하는 문제점이 있다. 표 1은 전체 ADC가 12비트로 동작할 때 싱글 슬로프 ADC의 해상도 N에 따른 $\log_2 T$ 의 값을 나타낸 것이다.

Table 1. The value of $\log_2 T$ as a function of N.

표 1. N 값에 따른 $\log_2 T$ 값

N	2	3	4	5
$\log_2 T$	4	4.25	4.70	5.36

표 1을 보면 $N > 4$ 일 경우 $\log_2 T > 5$ 가 되므로, 카운터 로직의 복잡도 및 전력 소모가 증가한다. 따라서 선형성을 높이면서도 샘플링 주기 T를 최소화하기 위해, 싱글 슬로프 ADC의 해상도 $N = 4$ 로 결정하고, SAR ADC의 해상도는 8~10비트로 재구성하는 구조를 채택하였다.

III. ADC 설계

그림 3은 제안하는 재구성 가능한 SAR-SS 하이브리드 ADC의 전체 블록 다이어그램이다. 제안하는 회로는 14비트 커패시터 DAC와 이를 제어하는 스위치 어레이, 회로 구조를 재구성 가능한 SAR 로직과 싱글 슬로프 디지털 램프 신호 생성기(Digital Ramp Generator), 더블 테일 구조를 사용한 비교기, ADC를 초기화시키는 리셋 신호 발생기, 전체 변환 결과를 처리하여 최종 출력 비트 신호로 바꾸어 주는 출력 레지스터로 구성되어 있다. 각 블록에는 2비트 외부 신호가 입력되어, 해상도를 12~14비트로 재구성할 수 있도록 하였다. 14비트 커패시터 DAC에는 스플릿 커패시터($C_S = \frac{128}{127} C$)를 사용하여 전체 커패시터 용량 및 레이아웃 면적을 크게 줄였으며, 일반적인 SAR ADC는 이 커패시터 DAC에 SAR 로직으로부터 출력되는 디지털 신호가 인가되는 구조를 가진다. 그러나 그림 3의 회로는 커패시터 DAC의 상위 10비트에만 SAR 로직이 연결되어 있고, 하위 6비트에는 싱글 슬로프 디지털 램프 신호 생성기가 연결되어 4비트 바이너리 신호를 인가한다. 커패시터 DAC에 연결된 싱글 슬로프 디지털 램프 신호 생성기는 상위 비트를 담당하는 SAR ADC의 변환이 끝나면, 변환 후 남은 잔여 전압으로부터 1 LSB씩 총 16 LSB가 증가하는 램프 신호를 생성한다. 이때 커패시터 DAC와 싱글 슬로프 디지털 램프 신호 생성기는 비교기의 양쪽 입력 단자에 차동 구조로 연결되어 있으므로, 램프 신호는 기준 전압을 중심으로 대칭인 두 신호로 나타나게 된다.

SAR 로직과 싱글 슬로프 디지털 램프 신호 생성기의 바이너리 코드는 출력 레지스터로 입력된다. SAR 로직의 출력 신호는 D-플립플롭으로 구성된 레지스터에 저장되고, 싱글 슬로프 디지털 램프 신호 생성기의 바이

너리 코드는 두 램프 신호가 교차하여 비교기의 출력 신호가 반전되는 시점에 레지스터에 저장된다. 각 레지스터에 저장된 신호들은 리셋 신호에 동기화되어 최종 디지털 코드로 출력된다.

제안하는 회로는 싱글 슬로프 비트 이동 방법을 통하여 회로 구조를 재구성할 수 있다. 커패시터 DAC의 하위 5번째와 6번째 비트에는 멀티플렉서(MUX)가 연결되어 있어, SAR 로직에서 출력되는 신호와 싱글 슬로프 디지털 램프 신호 생성기에서 출력되는 신호 중 하나를 C_1 , C_0 신호에 따라 선택하여 인가할 수 있다. C_1 , C_0 신호는 2비트로 구성된 외부 해상도 제어 신호이며, 이 신호에 따른 SAR 로직 및 전체 ADC의 해상도는 표 2와 같이 설정되어 있다.

Table 2. Resolution of SAR Logic and Total ADC according to Resolution control signal.

표 2. 해상도 제어 신호에 따른 SAR 로직 및 전체 ADC의 해상도

C_1C_0	Resolution of SAR Logic	Resolution of Total ADC
00	8-bit	12-bit
10	9-bit	13-bit
11	10-bit	14-bit

싱글 슬로프 디지털 램프 신호 생성기의 출력단은 총 6개이며, 해상도를 재구성함에 따라 6개의 출력단 중 4

개를 선택하여 4비트 바이너리 신호를 출력하는 방식이다. 6개의 출력단을 상위 비트부터 Q_5 , Q_4 , ..., Q_0 이라고 하고, 4비트 바이너리 신호를 상위 비트부터 SS3, SS2, SS1, SS0라 하면, 해상도 제어 신호에 따라 4비트 바이너리 신호는 표 3과 같이 좌우로 비트 이동 연산을 통해 6비트의 출력단에 인가된다.

Table 3. Output Signal of SS Bit Shift Method with resolution.

표 3. 해상도에 따른 싱글 슬로프 비트 이동 방식의 출력 신호 인가 방법

	Q_5	Q_4	Q_3	Q_2	Q_1	Q_0
12-bit	SS3	SS2	SS1	SS0	VSS	VSS
13-bit	VSS	SS3	SS2	SS1	SS0	VSS
14-bit	VSS	VSS	SS3	SS2	SS1	SS0

표 3에 따라 Q_5 부터 Q_0 에서 출력되는 신호를 부울 대수로 표현하면 식 (3) ~ (8)과 같다.

$$Q_5 = SS3 \cdot \overline{C_0} \tag{3}$$

$$Q_4 = (SS3 \cdot C_1 + SS2 \cdot \overline{C_1}) \cdot C_0 \tag{4}$$

$$Q_3 = (SS2 \cdot C_1 + SS1 \cdot \overline{C_1}) \cdot \overline{C_0} + SS3 \cdot C_0 \tag{5}$$

$$Q_2 = (SS1 \cdot C_1 + SS0 \cdot \overline{C_1}) \cdot \overline{C_0} + SS2 \cdot C_0 \tag{6}$$

$$Q_1 = SS0 \cdot C_1 \cdot \overline{C_0} + SS1 \cdot C_0 \tag{7}$$

$$Q_0 = SS0 \cdot C_0 \cdot C_1 \tag{8}$$

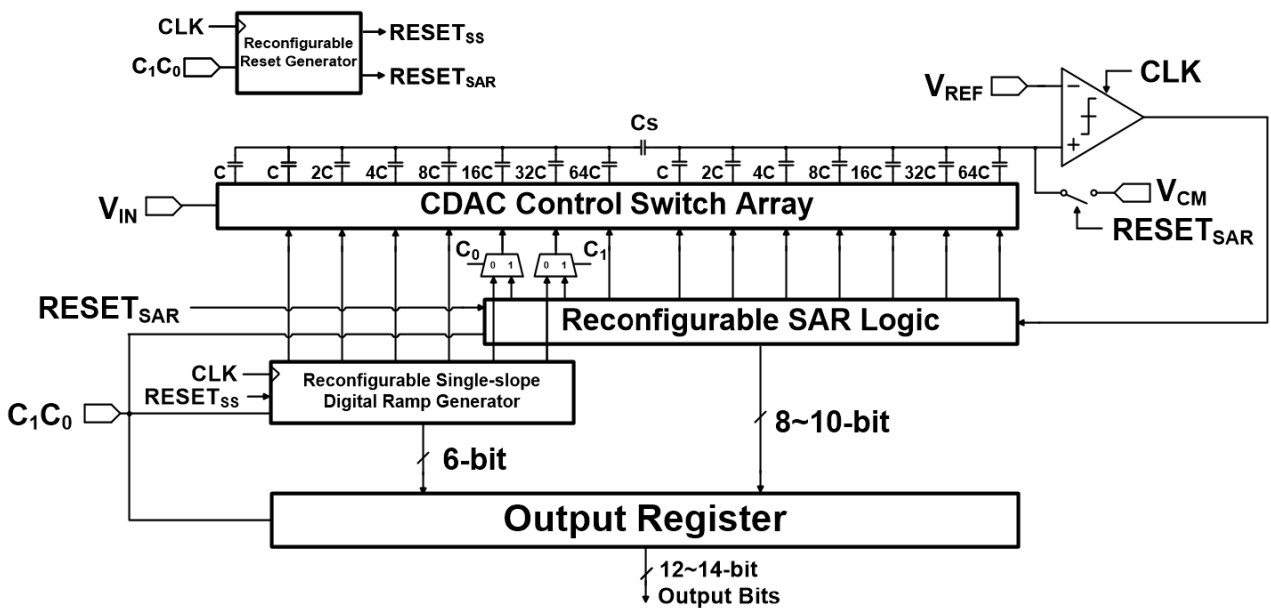


Fig. 3. Block diagram of the proposed reconfigurable SAR-SS hybrid ADC.

그림 3. 제안하는 재구성 가능한 SAR-SS 하이브리드 ADC의 블록 다이어그램

그림 4는 제안하는 회로의 타이밍도이다. 회로를 초기화하는 데 필요한 리셋 신호는 총 2개로, 각각 $RESET_{SAR}$ 와 $RESET_{SS}$ 로 표기하였다. $RESET_{SAR}$ 신호는 입력 신호 샘플링 및 SAR 로직 초기화에 필요하며, $RESET_{SS}$ 신호는 싱글 슬로프 디지털 램프 신호 생성기를 초기화하는데 사용된다.

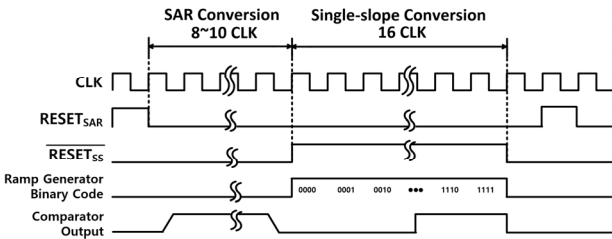


Fig. 4. Timing Diagram of the proposed ADC.
그림 4. 제안하는 ADC의 타이밍도

IV. 실험 및 고찰

제안된 재구성 가능한 SAR-SS ADC는 28nm CMOS 1-poly, 8-metal 공정으로 구현되었다. 그림 5는 설계된 칩의 레이아웃이며, 설계 면적은 $1180\mu m \times 550\mu m$ 이다(그림 5). 디지털 신호와 아날로그 신호의 간섭을 최소화하기 위해 14비트 커패시터 DAC와 비교기를 레이아웃의 상단에 배치하고, 커패시터 DAC 제어 스위치와 리셋 발생기, SAR 로직, 출력 레지스터, 싱글 슬로프 램프 신호 발생기와 같은 디지털 블록들은 레이아웃의 하단에 배치하였다. 또한 커패시터 DAC의 스플릿 커패시터는 레이아웃으로 인해 발생하는 기생 커패시터의 영향을 최소화하기 위해, 다른 커패시터들과 분리하여 중앙에 배치하였다.

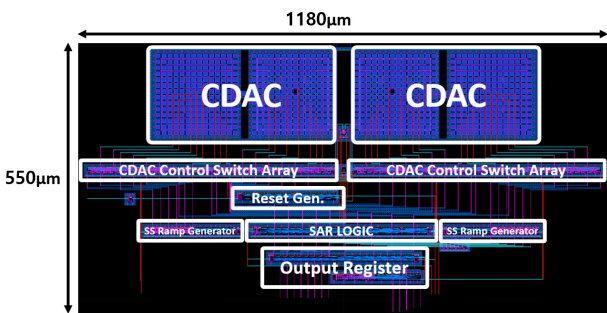


Fig. 5. Physical layout of the proposed ADC.
그림 5. 제안하는 ADC의 레이아웃

그림 6은 제안하는 SAR-SS ADC의 해상도 제어 신호에 따른 $RESET_{SAR}$ 와 $RESET_{SS}$ 신호의 모의실험 결과이다.

해상도가 증가할 때마다 $RESET_{SAR}$ 신호의 주기는 1클럭씩 증가하며, $RESET_{SS}$ 신호의 상승 에지는 $RESET_{SAR}$ 신호의 하강 에지로부터 1클럭씩 뒤로 이동하게 된다.

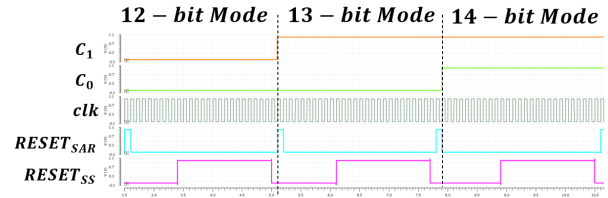


Fig. 6. The simulated waveforms of the resolution control signal and reset signals.

그림 6. 해상도 제어 신호와 리셋 신호의 모의실험 결과

그림 7은 제안하는 ADC의 선형성(DNL/INL)에 대한 모의실험 결과로, 각각 $\pm 1.5LSB$ 및 $\pm 1.5LSB$ 이다.

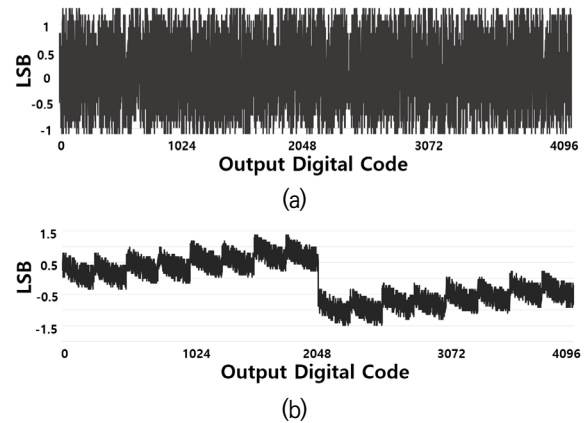


Fig. 7. Post-simulation result of linearity (a) DNL and (b) INL as a function of digital code.

그림 7. DNL 및 INL의 선형성 모의실험 결과

제안하는 ADC의 전체 전력 소모는 $32.7\mu W$ 이며, 아날로그 블록의 전력 소모가 $24.8\mu W$ 로 76.3%를 차지하고 디지털 블록의 전력 소모가 $7.9\mu W$ 로 나머지를 차지한다.

그림 8은 입력 주파수가 1kHz, 클럭 주파수가 10MHz 일 때 푸리에 변환 모의실험을 진행한 결과이다. SNDR은 73.57dB, SFDR은 89.02dB, ENOB는 11.9bit이다.

표 4는 기존에 설계된 ADC들과 제안하는 ADC의 성능 비교 표이다. [4], [5], [6] 및 제안하는 ADC 모두 샘플링 속도가 5MS/s보다 작고 11비트 이상의 유효 비트 수를 가지는 하이브리드 ADC이다. 제안하는 ADC는 기생 소자로 인해 나타나는 비교기의 오프셋 전압에 대한 보정 기법이 구현되어 있지 않아, [5]에 비해 유효 비트 수가 낮게 나타났으나 전력을 더 적게 소모하며, [4]와

[6]에 비해서는 14비트 모드에서 유효 비트 수는 더 높으면서도 전력 소모와 FoM은 더 낮게 나타났다.

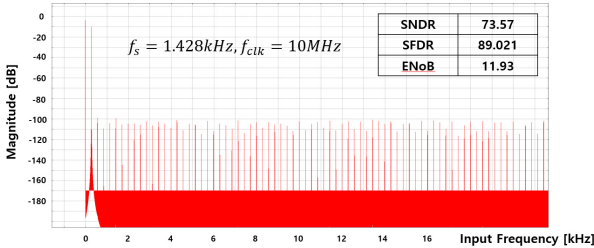


Fig. 8. The post-simulation result of fourier transform.
 그림 8. 푸리에 변환 모의 실험 결과

Table 4. Performance comparison of the proposed ADC with the conventional ones.

표 4. 제안된 ADC와 기존 논문과의 성능 비교

	[4]	[5]	[6]	This work		
Process	28nm	28nm	90nm	28nm		
Architecture	SAR- $\Delta\Sigma$	SAR- $\Delta\Sigma$	SAR-SS	SAR-SS		
Supply Voltage [V]	1.0	0.9	1.2	1.0		
Resolution [bit]	N/A	N/A	12	12	13	14
ENoB [bit]	11.7	12.6	11.4	10.8	11.4	11.9
Sampling rate [S/s]	1.6M	3.7M	370k	384k	370k	357k
DNL [bit]	N/A	N/A	-0.45/ +0.84	-1.1/ +1.4	-1.3/ +1.5	-1.6/ +1.7
INL [bit]	N/A	N/A	-1.5/ +0.74	-1.5/ +1.4	-1.5/ +1.6	-1.7/ +1.9
Power [μ W]	60	150	56	26.8	30.1	32.7
FoM* [fj/step]	178	6.5	36.9	40.6	30.3	25.6

* FoM = [Power] / ((Sampling rate) \times 2^[Resolution])

V. 결론

본 논문에서는 CMOS 공정을 이용한 생체 신호 처리용 재구성 가능한 SAR-SS 하이브리드 ADC에 관한 내용을 다루었다. 제안된 ADC는 SAR ADC를 상위 비트에 배치하였고, 싱글 슬로프 ADC는 SAR ADC가 사용하는 커패시터 DAC의 하위 4비트에 바이너리 카운터의 디지털 신호를 인가하는 방식으로 램프 전압을 생성한다. 또한 외부에서 인가하는 해상도 제어 신호에 따라 싱글 슬로프 비트 이동 방식으로 회로의 구조를 재구성할 수 있다. 제안된 회로는 CMOS 28nm 1-poly 8-metal 공정으로 설계 및 제작되었으며, 레이아웃 면적은 $1180\mu\text{m} \times 550\mu\text{m}$

이다. 모의실험 결과 전력 소모는 $32.7 \mu\text{W}$, ENOB는 11.9비트, DNL/INL은 각각 $\pm 1.5\text{LSB}$ 및 $\pm 1.5\text{LSB}$, FoM은 25.6fj/step이다.

References

[1] S. I. Lim, "Analog Front-End Circuit Design for Bio-Potential Measurement," *J. Institute of Electronics and Information Engineers*, vol.50, no.11, pp.130-138, 2013.
 DOI: 10.5573/ieek.2013.50.11.130

[2] J. Ding, Y. Tang, L. Zhang, F. Yan, X. Gu and R. Wu, "A Novel Front-End Design for Bioelectrical Signal Wearable Acquisition," *IEEE Sensors J.*, vol.19, no.18, pp.8009-8018, 2019.
 DOI: 10.1109/JSEN.2019.2917938

[3] H. Yoon, C. Lee, T. Kim, Y. Kwon and Y. Chae, "A 65-dB-SNDR Pipelined SAR ADC Using PVT-Robust Capacitively Degenerated Dynamic Amplifier," *IEEE J. Solid-State Circuits*, vol.58, no.4, pp.961-971, 2023.
 DOI: 10.1109/JSSC.2023.3235521

[4] Y. H. Hwang, Y. Song, J. E. Park and D. K. Jeong, "A Fully Passive Noise-Shaping SAR ADC Utilizing Last-Bit Majority Voting and Cyclic Dynamic Element Matching Techniques," *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.*, vol.30, no.10, pp.1381-1390, 2022.
 DOI: 10.1109/TVLSI.2022.3190927

[5] H. Zhang et al., "A 2.5-MHz BW, 75-dB SNDR Noise-Shaping SAR ADC With a 1st-Order Hybrid EF-CIFF Structure Assisted by Unity-Gain Buffer," *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.*, vol.30, no.12, pp.1928-1932, 2022.
 DOI: 10.1109/TVLSI.2022.3213365

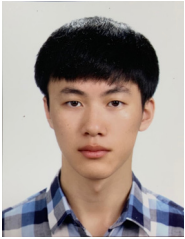
[6] M. Kim, S. Hong and O. Kwon, "An Area-Efficient and Low-Power 12-b SAR/Single-Slope ADC Without Calibration Method for CMOS Image Sensors," *IEEE Trans. Electron Devices*, vol.63, no.9, pp.3599-3604, 2016.
 DOI: 10.1109/TED.2016.2587721

[7] C. C. Liu, M. C. Huang and Y. H. Tu, "A 12 bit 100 MS/s SAR-Assisted Digital-Slope ADC,"

IEEE J. Solid-State Circuits, vol.51, no.12, pp. 2941-2950, 2016. DOI: 10.1109/JSSC.2016.2591822

BIOGRAPHY

Cheol-Woo Moon (Member)



2022 : BS degree in Electronic Engineering, INHA University.
2023~ : Study for MS degree in Electronic Engineering, INHA University.

Kwang Sub Yoon (Member)



1981 : BS degree in Electrical Engineering, INHA University.
1983 : MS degree in Electrical Engineering, Georgia Tech.
1989 : PhD degree in Electrical Engineering, Georgia Tech.
1989~1992 : Senior Design Engineer, Silicon System Inc, Tustin Calif, U.S.A.
1992~ : Professor, Department of Electronic Engineering, INHA University.