

유도무기의 소형 임베디드 시스템을 위한 스퀴브 착화 및 상태 점검회로 설계

김원섭^{*,1)} · 안기현¹⁾ · 이민석¹⁾

¹⁾ 국방과학연구소 미사일연구원

Squib Ignition and Status Check Circuits Design for Compact Embedded Systems in Guided Missiles

Wonsop Kim^{*,1)} · Keehyun Ahn¹⁾ · Minseok Lee¹⁾

¹⁾ Missile Research Institute, Agency for Defense Development, Korea

(Received 13 November 2022 / Revised 30 January 2023 / Accepted 31 January 2023)

Abstract

In the recent defence industries, it is required to develop the small and low cost embedded systems for guided missiles. According to the characteristics of guided missiles, the mission is conducted with multiple phases, which include a squib activation phase. By considering the unexpected squib activation, the squib system should be disabled after the launch of a guided missile. Therefore, the squib system needs to include the functions of the safe ignition and status check. This paper presents the squib ignition and status check circuits design for the compact embedded systems in guided missiles. Validation results show that for the functions of the squib ignition and status check, the presented circuits design performs well. The designed circuits also were implemented with various electronic devices and validated by the ground and flight tests.

Key Words : Embedded System(임베디드 시스템), Squib Ignition(스퀴브 착화), Squib Status Check Circuit(스퀴브 상태 점검 회로)

1. 서론

최근 항공우주 및 방위산업 분야에서 다양한 시스템들의 정밀화, 소형화, 그리고 저가화 개발이 많이 요구되고 있다. 이러한 추세에 따라 유도무기 개발에

있어서 내장되는 임베디드 시스템의 경우에도 소형화 및 저가화 요구는 증가되고 있으며, 고가의 프로세서에서 저가의 프로세서까지 다양한 프로세서를 이용하고 실시간 운영체제를 적용한 예도 있다¹⁾²⁾.

유도무기에는 열전지 착화와 같은 비행과 관련된 중요한 역할을 하는 스퀴브(squib) 장치가 탑재되어 있고, 스퀴브 장치는 크게 기계식과 전자식 장치로 구분할 수 있으며 최근에는 FPGA(Field Programmable

* Corresponding author, E-mail: topsop@naver.com
Copyright © The Korea Institute of Military Science and Technology

Gate Array), MOSFET(Metal-Oxide-Semiconductor Field Effect Transistor) 및 BJT(Bipolar Junction Transistor) 등의 조합으로 구현되고 있다^{3,4)}. 따라서 유도무기를 발사하기 전 스퀴브 장치의 정상 여부 확인이 반드시 필요하다. 만약 유도조종장치(Guidance and Control Unit, GCU)의 오작동으로 인하여 스퀴브 착화(Ignition) 명령이 발생하였을 경우, 스퀴브 장치가 이를 감지하고 동작하지 않도록 하는 안전기능이 필요하다.

안전조치 기능은 스퀴브 착화장치에 과도한 전류가 흐르지 못하게 함으로써 구현될 수 있다⁵⁾. 하지만 이런 방식의 안전조치는 유도미사일의 경우 발사 절차에 있어서 기능 구현에 한계가 발생한다. 예를 들어, 유도무기는 발사 전에는 안전조치 기능을 ON 시키지만 발사 후에는 OFF 시켜 안전조치 기능으로 인한 비정상적인 비행을 차단하여야 한다.

본 논문에서는 발사 전 스퀴브 상태확인신호를 이용하여 스퀴브 착화장치의 정상 여부를 판단하여 발사절차를 수행하며, 착화신호를 이중화하여 유도조종장치의 오동작으로 인한 피해를 최소화한다. 제안한 회로설계는 MOSFET, photocoupler를 포함한 다양한 전자부품들을 사용하여 설계하였고, 그 기능은 시뮬레이션 결과를 통하여 확인하였다.

본 논문의 나머지 부분은 다음과 같이 구성된다. 2장에서는 기존 스퀴브 착화회로의 문제점을 기술하고, 제안하는 착화장치를 설명한다. 3장에서는 제안하는 회로를 이용한 시뮬레이션 결과를 보여준다. 마지막으로, 4장에서는 본 논문의 결론을 맺는다.

2. 소형 착화장치 설계

2.1 기존 스퀴브 안전회로의 문제점

기존의 스퀴브 안전회로에는 Fig. 1과 같이 latch 기능을 이용하여 기계식 릴레이로 구현되었다⁶⁾. 스퀴브 장전 가능신호(SQB_ARM_ENABLE)가 인가되면 Relay B가 동작되면서 Relay A에 연결되어 있던 POWER는 Relay B를 통해 스퀴브 장전 래치 전원(SQB_ARM_LAT_PWR)을 출력하게 된다. 이때 스퀴브 장전 래치 전원은 Relay B의 입력으로 사용되므로 Relay B의 활성화 상태는 유지된다. 즉 한번 스퀴브 장전 가능신호를 입력 받게 되면, 이후 스퀴브 장전 가능신호와 상관없이 스퀴브 장전 래치 전원을 공급할 수 있다. 비상 상황 등 스퀴브 장전 래치 전원을 차단할 필요성

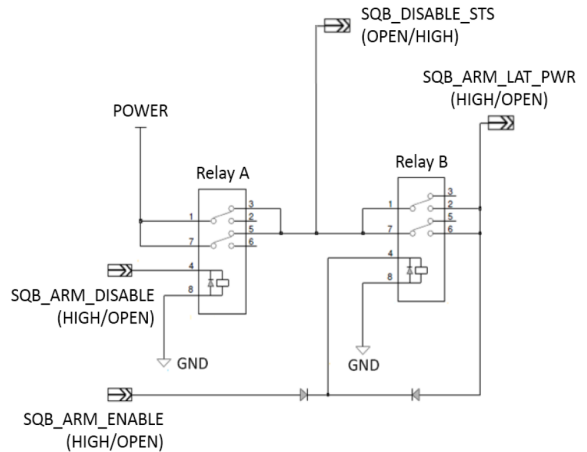


Fig. 1. Relay-based latch and safeguard circuits

이 발생하게 되면, 스퀴브 장전 해제신호(SQB_ARM_DISABLE) 신호를 인가하여 Relay A를 동작시키고 전원을 차단할 수 있다. 그렇게 되면, Relay B를 통하여 공급되었던 전원이 차단되어 래치상태는 풀리게 되고 스퀴브 장전 래치 전원이 차단된다. 유도미사일 시스템이 기존 스퀴브 안전회로를 사용하게 될 경우, 발사 전까지는 발사통제장비로부터 유도미사일에 연결된 커넥터를 통하여 스퀴브 장전해제 신호를 보내 안정적으로 장전을 해제할 수 있다. 하지만 발사 후 유도미사일과 발사통제장비 간 커넥터는 외부로 노출되게 되어 다양한 외부 상황에 따라 비정상적인 스퀴브 동작을 일으킬 가능성이 존재한다. 따라서 위와 같은 기존 스퀴브 안전회로의 단점을 보완하여 발사통제장비로부터 장전해제 신호를 받지 않고 유도미사일 내에서 안정적인 장전 가능/해제를 할 수 있는 회로의 설계가 필요하다.

2.2 착화장치 기능 구성

본 논문에서 제안하는 착화장치는 Fig. 2와 같이 착화전원 감속회로 및 장전 확인회로로 구성된 착화전원 장전부와 착화전류 출력회로 및 스퀴브 상태를 점검하는 회로로 구성된 스퀴브 상태 측정부로 나누어진다.

착화전원 장전부의 착화전원 감속회로는 착화장치에 공급되는 전압의 상승시간을 지연시켜 기생 커패시턴스에 의해 전계효과트랜지스터가 예기치 않게 턴온되는 현상을 방지한다. 장전 확인회로는 장전신호에 따라 장전전원을 공급하고, 장전 확인신호를 통해 장전회로의 정상 여부를 확인한다.

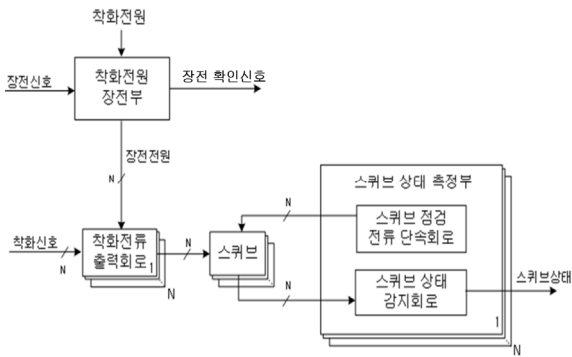


Fig. 2. Block diagram for the ignition system under consideration

유도무기 발사 전에는 발사절차 상에서 장전신호를 인가하여 필요한 시점에 장전전원이 공급될 수 있도록 구성하며, 장전신호 인가 후 장전 확인신호를 통하여 장전회로의 정상 여부를 판단할 수 있다.

장전전원이 정상적으로 공급되면, 착화전류 출력회로에서는 착화신호를 인가하여 스킵에 정상적으로 전류가 흐를 수 있도록 한다. 또한 착화전류 출력회로는 이중화하여 비정상적인 착화신호 발생에 대해 대비할 수 있도록 구성한다.

스키브 상태 측정부는 스킵 점검 전류 단속회로와 스킵 상태 감지회로로 구성된다. 스킵 점검 전류 단속회로에서는 스킵 상태 확인신호를 인가하면 스킵에 미세한 전류를 흘리고, 스킵 상태 감지회로에서 스킵 상태의 정상 여부를 확인할 수 있도록 구성된다.

Fig. 3은 본 논문에서 제안하는 착화장치의 동작을 설명하기 위한 순서도이다. 유도무기 발사절차 전 스킵 상태 측정부의 스킵 점검 전류 단속회로에서 스킵 상태 확인신호를 인가하면, 스킵 상태 감지회로에서 스킵 상태신호를 통해 스킵 회로를 포함한 배선 및 커넥터의 정상 여부를 판단한다. 스킵 상태 확인신호 인가 후 스킵 상태신호가 low(비정상) 값을 유지하면 비정상적으로 판단하고 발사절차를 종료한다. 스킵 상태 확인신호 인가 후 스킵 상태신호가 high(정상)로 바뀌면 정상으로 판단하고 장전신호를 인가한다. 장전 확인회로에 장전신호가 인가되면, 착화전원 감속회로를 통과한 착화전원은 장전전원으로 공급되며 장전 확인신호를 출력한다. 장전 확인신호가 low(비정상) 값을 유지하면 비정상적으로 판단하고 발사절차를 종료한다. 장전 확인신호가 high(정상)

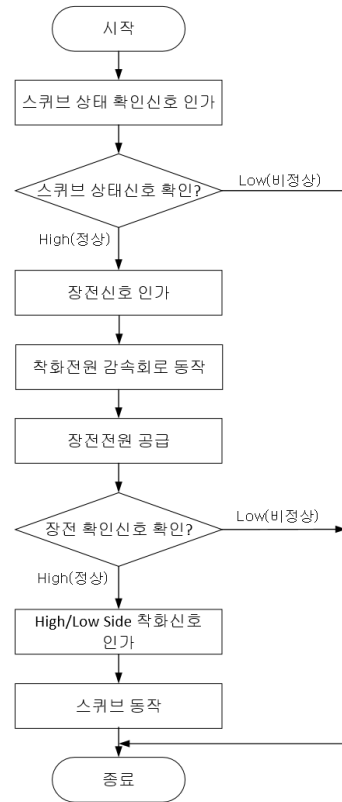


Fig. 3. Flow chart for the ignition system

로 바뀌면 정상으로 판단하고 착화전류 출력회로에 착화신호를 인가한다. 착화신호는 High Side 및 Low Side 착화신호로 이중화하여 인가되며 스킵를 착화시키고 정상적으로 종료한다.

2.3 착화전원 장전부 설계

Fig. 4는 착화전원 장전부에 대한 블록도를 보여주며, 착화전원 감속회로와 장전 확인회로로 구성된다. 착화전원 감속회로가 없는 상황에서 상승 속도가 빠른 착화 전원이 Q2(P-channel FET)에 입력될 경우 Q2에 내재된 기생커패시턴스 C_{GD} 는 순간적으로 도통되고, 게이트-소스 전압 $V_{GS} = -R_g C_{GD} dv/dt$ 가 된다. 이때, 문턱전압 V_{th} 가 $V_{GS} < V_{th}$ 가 되면 Q2는 예기치 않게 턴온이 된다.

Fig. 4의 착화전원 감속회로에서 착화전원 입력단에 저항과 캐패시터로 구성되는 저역필터를 장착하면 이러한 현상을 방지할 수 있다. 하지만 필터의 저항이 고용량의 착화전류를 견디기 위해서는 부피가 커지는

문제가 있어 공간 제약이 있는 소형 시스템에는 부적합한 방법이다. 또한 Q2에 공급되는 전압이 필터의 저항에 흐르는 전류량에 따라 변화하는 단점이 있다. 이러한 문제를 해결하기 위해 저항보다 부피가 작아 소형화에 유리하고, 높은 전류가 흐를 때도 전압강하가 작은 장점이 있는 전계효과 트랜지스터를 저항 대신 사용하였다. P-channel 전계효과 트랜지스터의 경우 V_{GS} 가 V_{th} 에 비해 충분히 작으면 완전히 턴온되어 출력저항이 수십 $m\Omega$ 정도로 작아진다. 정상적인 착화 상황에서는 V_{GS} 가 V_{th} 에 비해 충분히 작게 제어되므로 착화전류가 많이 흐를 경우에도 전압 강하가 거의 없어 Q2에 손실 없이 착화전원을 공급할 수 있다. 반면 V_{GS} 가 V_{th} 근처의 값을 갖게 되면 전계효과 트랜지스터의 출력저항은 수 Ω 정도로 커진다. 기생 커패시턴스로 인해 순간적으로 턴온되는 시점에서 V_{GS} 가 V_{th} 근처의 값을 가지므로 전계효과 트랜지스터의 출력저항은 수 Ω 정도로 커진다. 이렇게 저항이 커지는 특성을 이용하여 전계효과 트랜지스터의 출력(드레인)과 접지 사이에 커패시터를 추가하게 되면 순간적으로 흐르는 전류의 차단이 가능한 RC 저역 필터를 만들 수 있다. Q1이 p-channel 전계효과 트랜지스터이고 C2가 전계효과 트랜지스터의 출력과 접지 사이에 연결된 커패시터이다. C1은 기생 커패시턴스에

해 Q1이 턴온되는 순간 V_{GS} 의 하강시점을 지연시켜 Q1에 흐르는 전류를 감소시키는데 도움을 준다.

Fig. 4의 장전 확인회로는 Q2의 게이트에 장전신호가 인가될 경우 착화전원이 Q2의 드레인에 출력되는지를 확인하는 역할을 수행한다. Q2가 턴온되면서 공급된 장전전원은 R6과 R7에 의해 분압되어 Q3를 턴온시키고 Q3가 턴온되면 착화전원의 일부가 R4를 통해 포토커플러 U1의 광 다이오드를 구동하게 되고 이는 U1의 트랜지스터를 턴온시켜 장전확인신호를 low에서 high로 출력하도록 한다. 포토커플러 U1은 착화전원의 접지를 디지털 회로의 접지와 분리하여 두 개의 전원이 상호 영향을 미치는 것을 차단하는 역할도 수행한다. 또한 A/D 변환 회로와 같은 복잡한 회로가 없으므로 회로가 단순해져 소형, 저가화에 유리하고 장전결과를 실시간으로 확인 가능한 장점이 있다.

2.4 착화전류 출력 및 스크립 상태 측정부 설계

Fig. 5는 착화전류 출력회로와 스크립 상태 측정부에 대한 블록도이다. 착화전류 출력회로는 High Side 착화신호와 Low Side 착화신호의 입력으로 구분된다. High Side 착화신호 회로는 Q5(P-channel FET) 및 저항으로 구성되어, High Side 착화신호 입력 시 장전전원을 스크립으로 흘려주는 역할을 한다. Low Side 착화신호 회로는 Q6(N-channel FET) 및 저항으로

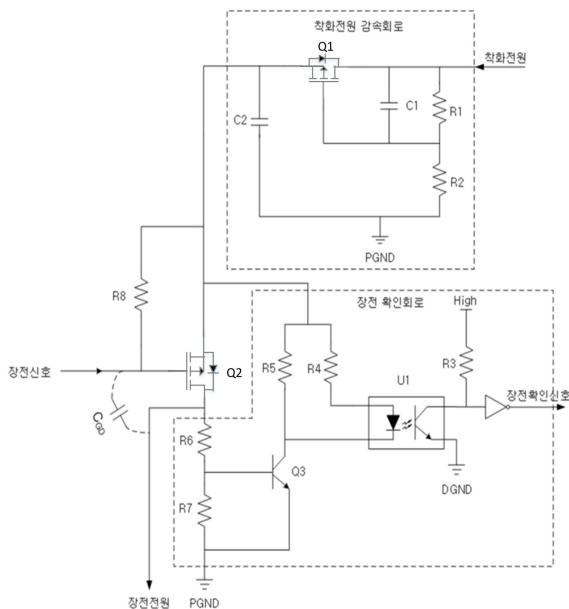


Fig. 4. Circuit for the ignition power and arming check

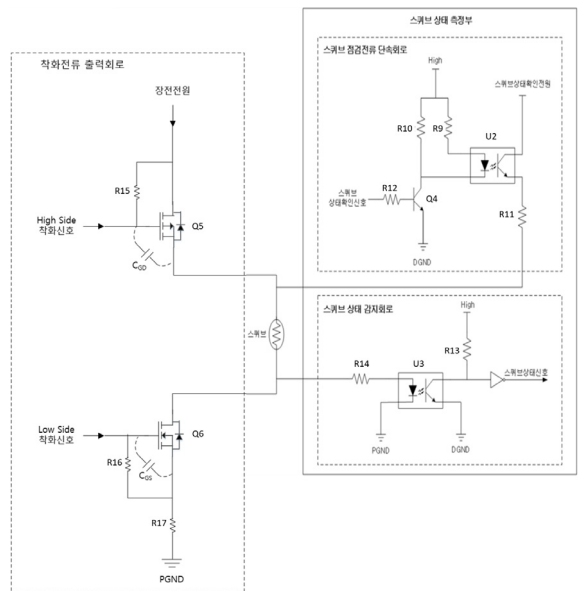


Fig. 5. Circuit for the ignition and squib status check

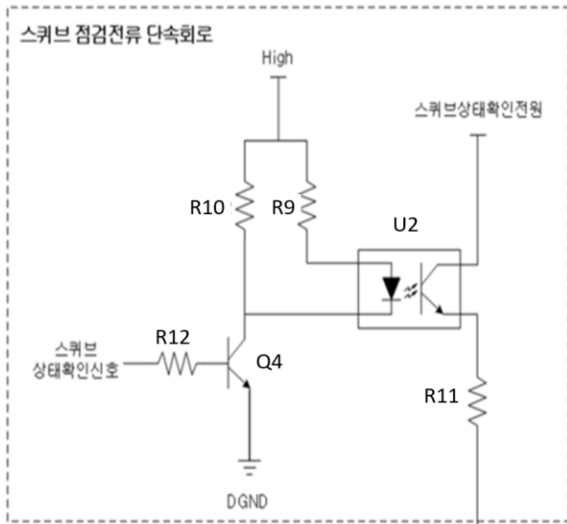


Fig. 6. Circuit for the squib status check

어, Low Side 착화신호 입력 시 스퀴브를 통과한 전류를 PGND로 흘려준다. 따라서 착화전류 출력회로가 정상적으로 동작하기 위해서는 High/Low Side 착화신호가 동시에 입력되어야 하며, 어느 한쪽 신호의 입력만으로는 착화회로가 정상적으로 동작하지 않는다. 따라서 High/Low Side 착화신호 이중화를 통해 안정성을 높였다. Fig. 5와 같이 스퀴브 상태 측정부에서 Q4와 U2로 구성된 회로가 스퀴브 점검 전류 단속회로이며 스퀴브 상태 및 착화전류 출력회로와 스퀴브를 연결해주는 커넥터, 배선 등의 연결 상태를 점검하기 위한 점검전류를 공급하는 역할을 수행한다. Fig. 6과 같이 스퀴브 상태 확인신호가 인가되면 Q4가 턴온되고 R9를 통해 U2의 광 다이오드로 전류가 흘러 트랜지스터를 턴온시킨다. 이때 스퀴브 상태 확인전원은 R11과 스퀴브를 거쳐, Fig. 7의 R14를 거쳐 U3의 광 다이오드를 구동하게 되고 이는 U3의 트랜지스터를 턴온시켜 스퀴브 상태가 정상임을 출력하도록 한다. 만약 스퀴브나 스퀴브를 연결하는 커넥터와 배선에 이상이 있다면 스퀴브 상태 확인전원은 U3의 광 다이오드까지 흐를 수 없으므로 스퀴브 상태신호는 스퀴브 계통에 이상이 있음을 출력하게 된다. 점검전류는 스퀴브를 착화시킬 수 없도록 충분히 작아야 하며, Fig. 6의 R11에서 이러한 역할을 수행한다. R11은 미세 전류를 제어할 수 있도록 신뢰도 측면에서 2개 이상의 저항을 직렬로 연결하여 사용할 수 있다. Fig. 7의 R14는 착화전류 출력회로에 착화신호가 인가되어

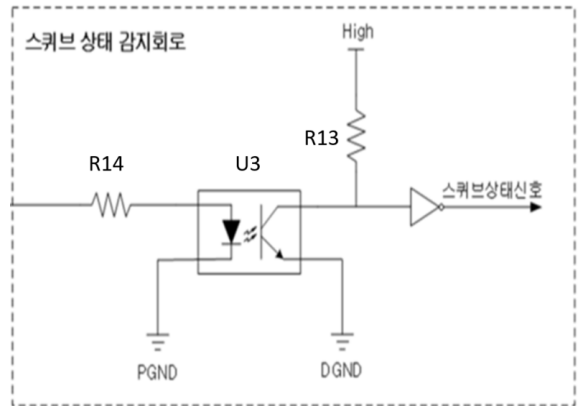


Fig. 7. Circuit for the squib status sensing

스퀴브에 정상적인 착화전류가 흐를 때 U3로 흐르는 전류의 양을 제한하여 광 다이오드를 보호하는 역할을 수행 할 뿐만 아니라 High Side 회로의 오동작으로 스퀴브에 착화전원이 공급될 경우 U3의 광 다이오드를 통해 큰 전류가 흐르지 못하도록 방지한다. 또한 R14는 미세 전류를 제어할 수 있도록 신뢰도 측면에서 2개 이상의 저항을 직렬로 연결하여 사용할 수 있다.

3. 시뮬레이션 결과

Fig. 8은 Fig. 4의 착화전원 장전부 회로에서 착화전원 감속회로가 없을 때, 장전전원에 흐르는 전류를 보여준다. 시뮬레이션은 착화전원 장전부에 착화전류 출력회로 및 스퀴브 상태 측정부가 연결되지 않은 상태를 가정하여 수행하였다. Fig. 4에서 장전신호를 인가하지 않은 상황에서 상승속도가 빠른 착화전원을 인가하면 Fig. 4의 Q2에 내재된 기생 커패시턴스 C_{GD} 는 순간적으로 도통되어 $V_{GS} < V_{th}$ 가 되면 Q2는 예기치 않게 턴온된다. 이때 Fig. 4의 장전전원에 흐르는 전류는 Fig. 8에서 볼 수 있는 바와 같이 최대 약 130 A까지 예측된다.

Fig. 9는 Fig. 4의 착화전원 장전부에 Fig. 5의 착화전류 출력회로 및 스퀴브 상태 측정부를 연결하였을 때, 스퀴브에 흐르는 전류를 보여준다. Fig. 4에서 장전신호와 Fig. 5에서 High/Low Side 착화신호를 인가하지 않았을 때, 착화전원을 인가하면 Q2는 턴온되고 Q3도 턴온된다. 스퀴브에 흐르는 전류는 Fig. 9에서 볼 수 있는 바와 같이 최대 약 2.0 A까지 예측된다.

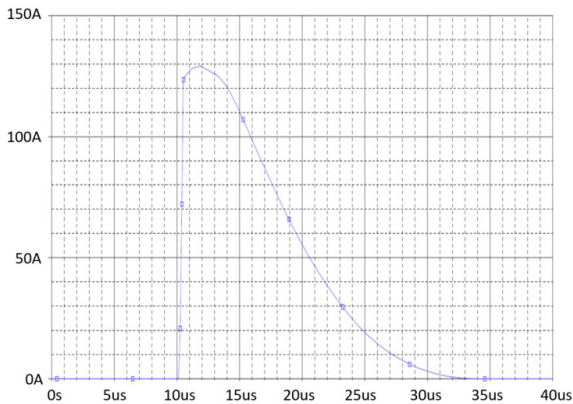


Fig. 8. Simulation results for the arming current without the deceleration circuit

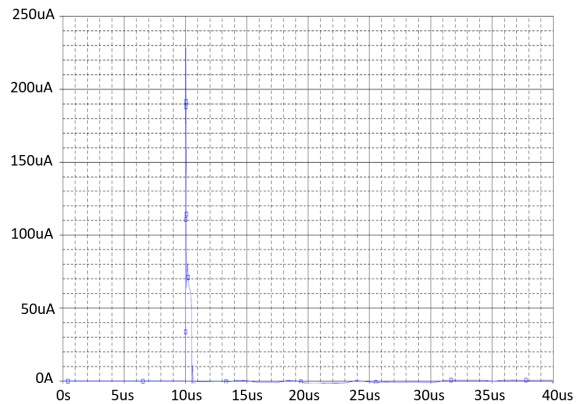


Fig. 10. Simulation results for the arming current with the deceleration circuit

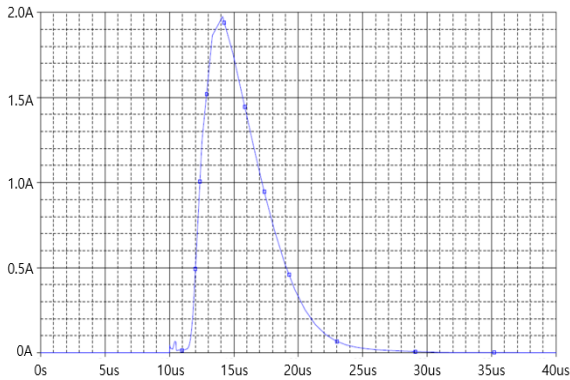


Fig. 9. Simulation results for the ignition current without the deceleration circuit

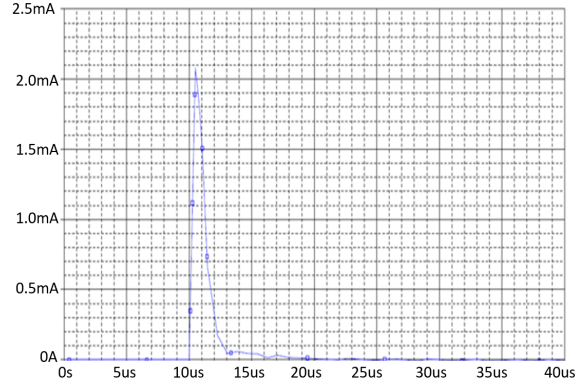


Fig. 11. Simulation results for the ignition current with the deceleration circuit

Fig. 10은 Fig. 4의 착화전원 장전부 회로에서 착화전원 감속회로가 있을 때, 장전전원에 흐르는 전류를 보여준다. 장전신호를 인가하지 않았을 때 상승속도가 빠른 착화전원을 인가해도 Q1의 출력저항과 C2로 형성된 RC필터에 의해 순간적으로 흐르는 전류가 차단되어 C_{GD} 와 C_{GS} 에 흐르는 전류가 충분히 작게 되므로 Q2와 Q3가 턴온되는 상황이 발생하지 않는다. 따라서 장전전원은 거의 발생하지 않으며, Fig. 10과 같이 장전전원에 흐르는 전류는 최대 약 230 μ A로 예측된다.

Fig. 11은 Fig. 4의 착화전원 장전부와 Fig. 5의 착화전류 출력회로 및 스쿼브 상태 측정부가 구성되었을 때, 스쿼브에 흐르는 전류를 보여준다. 장전신호와 착화신호를 인가하지 않았을 때, 착화전원을 인가해도 Q2와 Q3가 턴온되지 않는다. 스쿼브에 흐르는 전류는

Fig. 11에서 볼 수 있는 바와 같이 최대 약 2.1 mA까지 예측된다. 위와 같은 결과를 통하여 감속회로의 기능을 확인할 수 있다.

Fig. 12는 착화전원 장전부와 착화전류 출력회로 및 스쿼브 상태 측정부가 구성되었을 때 착화전원이 공급된 상황에서 장전신호가 high(3.3 V)에서 low(0 V)로 인가될 경우, Fig. 4에서 Q2의 게이트에 장전신호가 인가되고 착화전원은 Q2의 드레인에 출력되는 결과를 보여준다. Q2가 턴온되면서 공급된 장전전원은 R6와 R7에 의해 분압되어 Q3를 턴온시키고 Q3가 턴온되면 착화전원의 일부가 R4를 통해 포토커플러 U1의 광다이오드를 구동하게 되고 이는 U1의 트랜지스터를 턴온시켜 장전 확인신호는 low(0 V)에서 high(3.3 V)로 출력된다. 시뮬레이션 결과로부터 장전신호의 인가에

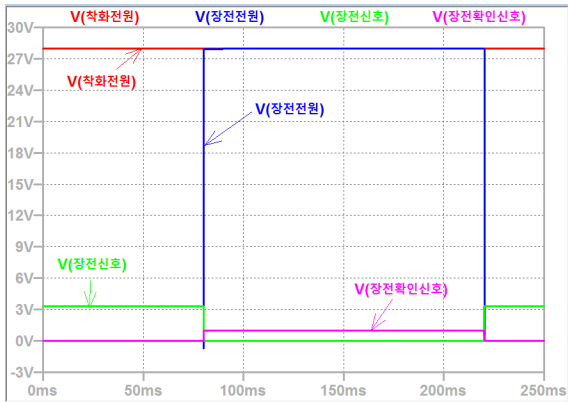


Fig. 12. Simulation results for the ignition power and arming check

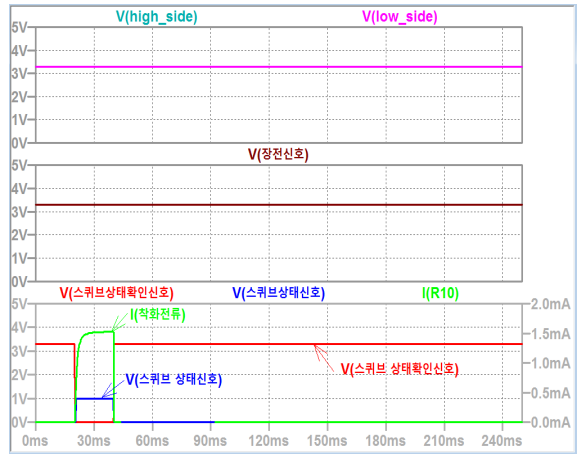


Fig. 14. Simulation results for the squib status check

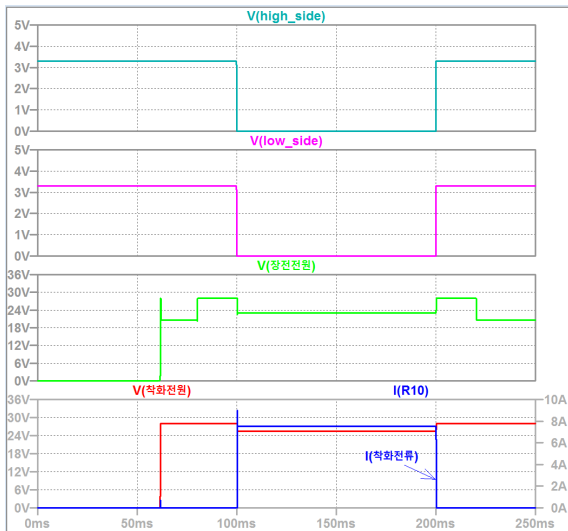


Fig. 13. Simulation results for the ignition signal and current

따라 장전전원이 잘 공급됨을 알 수 있고, 장전전원이 공급되면 장전 확인신호를 통해 장전전원의 정상 여부를 알 수 있다.

Fig. 13은 착화전원 장전부와 착화전류 출력회로 및 스퀴브 상태 측정부가 구성되었을 때 장전신호에 따라 장전전원이 공급된 상황에서, High/Low Side 착화신호가 high(3.3 V)에서 low(0 V)로 인가될 경우 스퀴브에 흐르는 전류(I(착화전류))를 시뮬레이션한 결과이다. 시뮬레이션 결과로부터 High/Low Side 착화신호의 인가에 따라 스퀴브에 전류가 잘 공급됨을 알 수 있다.

Fig. 14는 착화전원 장전부와 착화전류 출력회로 및 스퀴브 상태 측정부가 구성되었을 때 장전신호 및 착화신호가 인가되지 않은 상황에서, Fig. 6의 스퀴브 점검 전류 단속회로에서 스퀴브 상태확인신호가 high(3.3 V)에서 low(0 V)로 인가될 경우 Fig. 5의 스퀴브에 흐르는 전류(I(착화전류))를 시뮬레이션한 결과이다. Fig. 14의 시뮬레이션 결과로부터 스퀴브 상태신호의 인가에 따라 스퀴브에 전류가 잘 공급됨을 알 수 있고, 스퀴브를 통과한 전류는 스퀴브 상태 감지회로에서 R14를 거쳐 U3의 광 다이오드를 구동하게 되고 이는 U3의 트랜지스터를 턴온시켜 스퀴브상태가 정상임을 출력된다. 만약 스퀴브나 스퀴브를 연결하는 커넥터와 배선에 이상이 있다면 스퀴브 상태 확인전원은 U3의 광 다이오드까지 흐를 수 없으므로 스퀴브 상태신호는 low(0 V)에서 high(3.3 V)로 변하지 않는다.

4. 결론

본 논문에서 착화전원 감속회로는 전계효과 트랜지스터의 구조적 문제로 인해 존재할 수밖에 없는 기생 커패시턴스에 의해 스퀴브가 우발적으로 착화될 수 있는 현상을 방지할 수 있다. 장전 확인회로는 착화전원의 장전상태를 유도탄 발사 전 또는 비행 중에 확인할 수 있도록 하였으며, A/D 변환기와 같은 복잡한 측정회로를 사용하는 대신에 포토커플러를 사용하여 시스템의 소형화와 저가화가 가능하도록 하였다.

착화전류 출력회로는 착화신호를 이중화하여 안정

성을 높였으며, 스쿼브 상태 측정부는 스쿼브 상태 및 스쿼브를 연결해주는 커넥터, 배선 등의 연결 상태를 점검할 수 있도록 설계하였다. 이 회로 역시 포토커플러를 사용하여 회로를 단순화 하였고 점검 중 착화 전원과 디지털 전원이 상호 간섭을 일으켜 오동작 하지 않도록 접지를 분리하였으며, 스쿼브 상태 측정부를 통해 큰 전류가 흐를 수 없도록 설계하여 스쿼브의 우발 착화를 막을 수 있도록 하였다.

References

- [1] D. Baumgartner, P. Rössler, and W. Kubinger, "Performance Benchmark of DSP and FPGA Implementations of Low-Level Vision Algorithms," in Proc. IEEE CVPR, pp. 1-8, June, 2007.
- [2] D. Kong, Q. Jia, and H. Xu, "The Design of an Integrated Guidance and Control Computer System based on Multi-Core DSP and FPGA," in Proc. 2015 8th CISP, pp. 1625-1629, Oct., 2015.
- [3] S. S. Jung, G. M. Kwak, D. G. Roh, H. C. Lee, and Y. S. Kwon, "A Reliable Constant-Current Driving Circuit Design for the Stable Check and Activation of Pyro Systems," in Proc. 2016 KIMST Fall Conference, pp. 559-560, Nov., 2016.
- [4] H. C. Lee, Y. S. Kwon, N. R. Park, "TMR-based FPGA Design for Improving the Reliability of Irreversible Discrete Output Signal," 2016 KIMST Annual Conference Proceedings, pp. 317-318, June, 2016.
- [5] G. A. Gonzalez, M. H. Lucy, and J. J. Massier, "Guidelines of the Design of Electropyrotechnic Firing Circuit for Unmanned Flight and Ground Test Projects," Technical Memorandum(NASA/TM-2013-217997), NASA Langley Research Center, 2013.
- [6] Y. S. Kwon, N. R. Park, G. M. Kwak, S. S. Jung, and D. G. Roh, "Designing of Verifiable Driving Circuit for Checking the Pyro System Separately," in Proc. 17th Precision Guided Missile Conference, pp. 283-285, Oct., 2014.