

하이브리드 MOSFET-CNTFET 기반 SRAM 디자인 방법에 관한 연구

A Study on the Design Method of Hybrid MOSFET-CNTFET based SRAM

조 근 호^{*★}

Geunho Cho^{*★}

Abstract

More than 10,000 Carbon NanoTube Field Effect Transistors (CNTFETs), which have advantages such as high carrier mobility, large saturation velocity, low intrinsic capacitance, flexibility, and transparency, have been successfully integrated into one semiconductor chip using conventional semiconductor design procedures and manufacturing processes. Three-dimensional multilayer structure of the CNTFET semiconductor chip and various CNTFET manufacturing process research increase the possibility of making the hybrid MOSFET-CNTFET semiconductor chip which combines conventional MOSFETs and CNTFETs together in a semiconductor chip. This paper discusses a methodology to design 6T binary SRAM using hybrid MOSFET-CNTFET. By utilizing the existing MOSFET SRAM or CNTFET SRAM design method, we will introduce a method of designing a hybrid MOSFET-CNTFET SRAM and compare its performance with the conventional MOSFET SRAM and CNTFET SRAM.

요 약

높은 캐리어 이동도, 큰 포화 속도, 낮은 고유 정전 용량, 유연성, 그리고 투명성을 장점으로 가진 CNTFET(Carbon NanoTube Field Effect Transistor) 10,000개 이상을 현존하는 반도체 디자인 절차와 공정 프로세서를 활용하여 하나의 반도체 칩에 집적하는데 성공하였다. 제작된 반도체 칩의 3차원 다층 구조와 다양한 CNTFET 생산 공정 연구는 기존 MOSFET과 CNTFET를 하나의 반도체 칩에 함께 사용하는 hybrid MOSFET-CNTFET 반도체 칩 제작에 대한 가능성을 보여주고 있다. 본 논문에서는 hybrid MOSFET-CNTFET을 활용한 6T binary SRAM을 디자인하는 방법에 대해 논하고자 한다. 기존 MOSFET SRAM 또는 CNTFET SRAM 디자인 방법을 활용하여 hybrid MOSFET-CNTFET SRAM을 디자인 하는 방법을 소개하고 그 성능을 기존 MOSFET SRAM 그리고 CNTFET SRAM과 비교하고자 한다.

Key words : MOSFET, CNTFET, SRAM, Hybrid, Carbon NaboTube

* Assistant Professor, Department of Electronic Engineering, Seokyeong University

★ Corresponding author

E-mail : choroot@skuniv.ac.kr, Tel : +82-2-940-7730

※ Acknowledgment

This Research was supported by Seokyeong University in 2022

The EDA tool was supported by the IC Design Education Center(IDEA), Korea

Manuscript received Mar. 2, 2023; revised Mar. 15 2023; accepted Mar. 23, 2023.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

1. 서론

오랫동안 집적회로는 반도체 소자의 스케일 다운(scale down)을 통해 집적회로의 속도를 증가시키고, 구동 전압을 낮추며, 집적도를 향상시켜 왔으나, MOSFET의 채널 길이가 나노미터 수준까지 줄어들어 따라 DIBL(Drain Induced Barrier Lowering), GIDL(Gate Induced Drain Leakage), hot carrier, punch through, 그리고 leakage current와 같은 단채널 효과(short channel effect)로 인해 추가적인 MOSFET 성능 향상이 어려운 상황에 이르게 되었다. FinFET의 도입은 이러한 문제점들을 완화시키는데 도움을 주었으나, 시장은 반도체 소자에 대한 지속적인 성능 향상을 요구하여 기존 반도체 소자의 성능을 더욱 향상시킬 수 있는 새로운 물질과 구조에 대해 관심이 높아지고 있다 [1]-[6].

기존 반도체 소자의 Source와 Drain 사이를 높은 전도성의 CNT(Carbon NanoTube)로 연결하여 반도체 소자의 성능을 향상시킨 CNTFET은 지금까지 알려진 많은 문제점들과 한계를 극복하며 차세대 반도체 소자로서 기대를 받고 있다. CNTFET을 구성하는 CNT는 크게 semiconducting CNT와 metallic CNT 두 가지 종류가 있는데 CNTFET의 전류를 제어하기 위해서는 semiconducting CNT만 추출하는 기술이 필요하다. 현재 semiconducting CNT만 추출하는 기술이 순도 99.99%까지 이르게 되었고, CNTFET의 문턱 전압 분포를 결정하는 CNT의 diameter 분포 역시 최근 지속적으로 줄어

들어 현재 안정적인 CNTFET 회로 구현에 기여를 하고 있다. 이에 더해, CNTFET 또는 CNT의 물리적 그리고 화학적 공정 개선은 CNTFET의 성능을 결정하는 전자 이동도, on/off ratio, 구동 주파수, 전력 소비, N-FET/P-FET의 성능 차이, 그리고 기판의 유연성 등을 개선시켜 기존 CNTFET의 성능을 향상시키고 CNTFET의 활용 범위를 확대시킬 수 있는 중요한 역할을 담당할 것으로 기대된다[1]-[12].

이러한 장점을 갖는 CNTFET은 최근 현존하는 산업 표준 디자인 절차와 공정 프로세서를 사용하여 10,000개 이상을 하나의 칩에 집적하는데 성공하여 CNTFET을 활용한 반도체 칩 양산에 대한 기대가 한층 높아지고 있다. 더욱이, 제작된 CNTFET 칩은 그림 1과 같이 기존의 반도체 공정을 사용한 3차원 다층 구조로 되어 있어, 하나의 층에는 MOSFET을 그리고 또 다른 층에는 CNTFET으로 구현될 수 있는 가능성을 보여주고 있다. 이는 현존하는 반도체 공정으로 MOSFET과 CNTFET이 혼용된 hybrid MOSFET-CNTFET 칩이 제작될 수 있는 가능성을 보여준다고 볼 수 있다. 이에 더해, 현재 대부분의 CNTFET은 그림 2의 (a)와 같이 실리콘 웨이퍼(substrate) 위에 CNT를 배치시킨 후, 그 위에 drain 또는 source contact을 쌓는 방식으로 제작되었으나, 최근 그림 2의 (b)와 같이 기존 MOSFET과 유사한 구조 위에 잉크젯 프린팅 기술을 이용하여 CNT를 정교하게 배치시킬 수 있는 기술이 개발 되어 hybrid MOSFET-CNTFET 칩을 제작할 수 있는 다양한 가능성이 열리고 있다고 볼 수 있다[5][6][13][14].

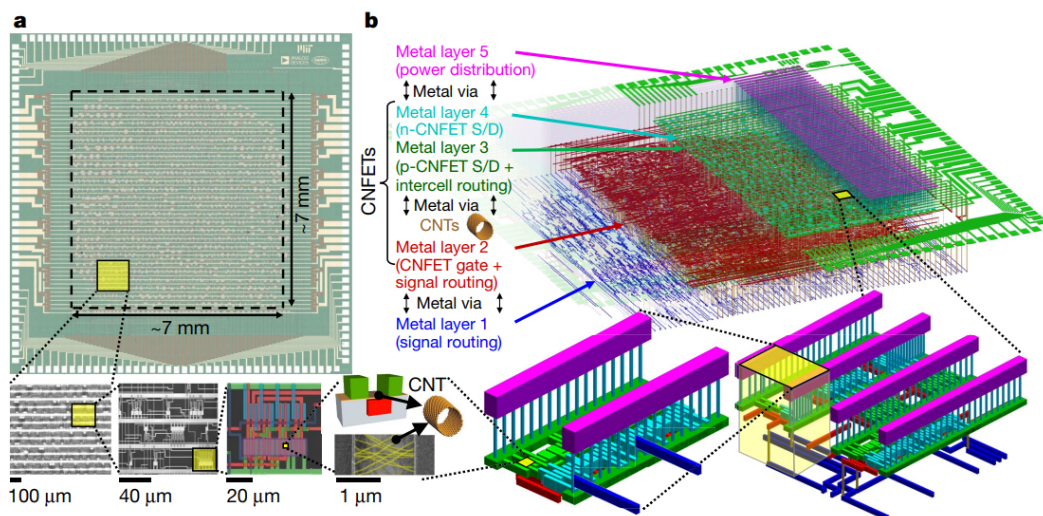


Fig. 1. Microprocessor built from CNTFET [13].
그림 1. CNTFET으로 제작된 마이크로프로세서 [13]

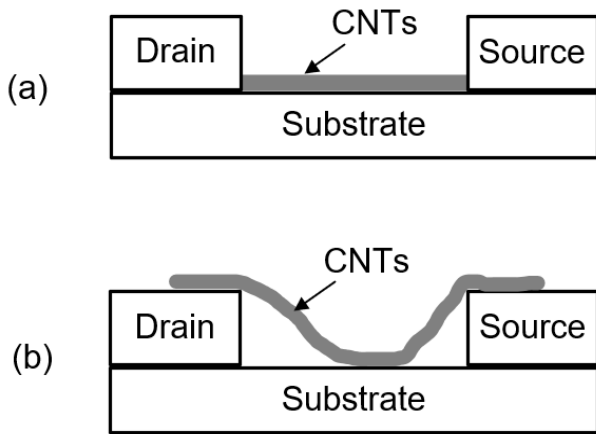


Fig. 2. (a) Conventional Deposition of CNTs [5]
 (b) Deposition of CNTs by Injet-Printing [14].
 그림 2. (a) 전통적인 탄소나노튜브들의 배치 [5] (b) 잉크젯 프린팅에 의한 탄소나노튜브들의 배치 [14]

컴퓨터 시스템에서의 SRAM(Static Random Access Memory)은 프로세스 연산에 필요한 데이터를 고속으로 제공해야하는 중요한 회로블록으로서 일반적으로 반도체 칩 면적의 70% 정도를 차지하고, 0 또는 1과 같은 최소 단위의 데이터를 저장하는 SRAM 셀이 칩 내부에 반복 배치되는 형태로 구성되어 있다. 이러한 SRAM의 성능은 마이크로프로세서 성능에 직접적인 영향을 주기 때문에 SRAM의 속도를 높이고, 전력을 감소시키며, 보다 많은 데이터(ternary or quaternary)를 안정적으로 다루기 위한 기술이 지속적으로 개발되어 왔으며 최근 CNTFET을 활용한 다양한 SRAM 디자인 연구가 진행 중에 있다 [15]-[20].

지금까지의 기술 동향을 보았을 때, 현시점에서 CNTFET 칩을 구현하기 위한 가장 현실적인 방안은 전체 반도체 칩에서 회로 구조가 단순 반복되는 형태를 가지고 있어 CNTFET 공정 편차에 덜 영향을 받는 회로 블록을 CNTFET 회로로 구현하여 기존 MOSFET으로만 구현된 회로보다 높은 성능을 가진 칩을 제작하는 방법이다. 이를 위해 기존 연구[21]에서는 CNTFET으로 SRAM을 디자인하는 방법을 논의하고 기존 MOSFET SRAM과의 성능을 비교하는 내용을 다루었다. 본 논문에서는 여기서 한걸음 더 나아가 SRAM 셀 중 복잡도가 높은 데이터 저장부는 MOSFET으로 그리고 데이터 저장부와 비트 라인을 연결하는 데이터 연결부는 CNTFET으로 구성된 hybrid SRAM을 디자인 방법을 제안하고 제안한 hybrid MOSFET-CNTFET SRAM의 성능을 기존 MOSFET SRAM 그리고 CNTFET SRAM과 비교하여 그 성능 향상 정도를 파악하고자 한다. 시뮬레이션 검토를 위해 본

논문에서는 32nm PTM MOSFET 라이브러리 파일[22]과 Stanford 32nm CNFET 라이브러리 파일[23]이 사용되었으며, 기존 연구에서 제안되었던 MOSFET SRAM 또는 CNTFET SRAM 디자인 방법을 활용하여 hybrid MOSFET-CNTFET SRAM을 디자인 하는 방법을 논의하고자 한다.

II. 본론

1. Hybrid MOSFET-CNTFET SRAM

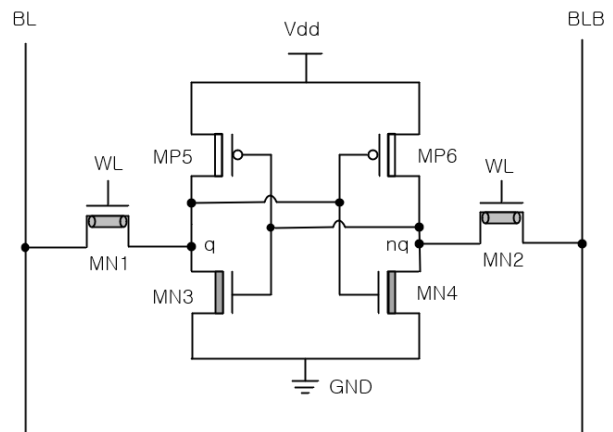


Fig. 3. Hybrid MOSFET-CNTFET SRAM Cell.
 그림 3. 하이브리드 MOSFET-CNTFET SRAM 셀

본 논문에서는 다양한 SRAM 셀 중, 가장 기본적인 SRAM 셀로 알려진 6T SRAM 셀(그림 3)을 기반으로 기존 연구 결과[21]를 참고하여 hybrid MOSFET-CNTFET SRAM을 디자인 하는 방법과 그 성능향상에 대해 논하고자 한다. 논문의 효율성을 위해 지금부터는 hybrid MOSFET-CNTFET SRAM을 간단히 hybrid SRAM이라고 부르하고자 한다. Hybrid SRAM은 그림 3과 같이 데이터를 저장하는 부분(MN3, MN4, MP5, 그리고 MP6)과 이를 비트 라인(BL과 BLB)과 연결하는 부분(MN1과 MN2)으로 구성되어 있다. 본 논문에서는 그림 3과 같이 상대적으로 복잡한 연결로 구성된 데이터 저장부를 MOSFET으로 그리고 비트 라인과 연결된 부분을 CNTFET으로 구성하여 공정 편차에 덜 민감한 hybrid SRAM을 디자인 하고자 한다. 그림 3에서 hybrid SRAM을 구성하는 트랜지스터 중 MOSFET은 그동안 널리 알려진 일반적인 심볼(symbol)로 표시하고 CNTFET은 CNT를 상징하는 원기둥을 CNTFET 안에 그려 넣어 일반적인 MOSFET 심볼과 구분하여 그려 넣었다. 그리고 각 트랜지스터의 채널은 NFET인 경우 회색으로 그리고 PFET인 경우 하얀색으로 표현하였다.

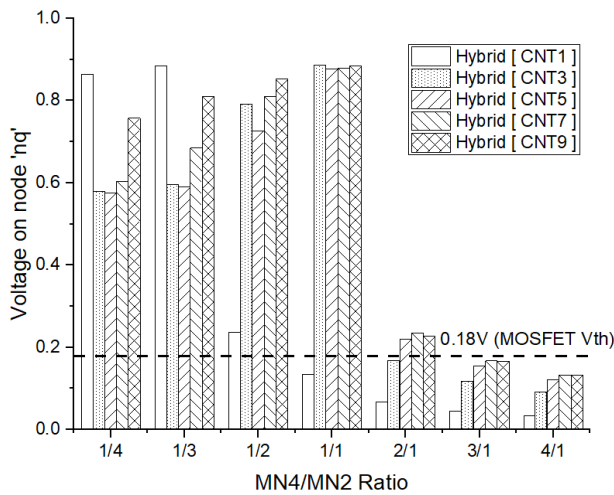


Fig. 4. Voltage on node 'nq' depending on MN4/MN2 Ratio.

그림 4. MN4/MN2 비율에 따른 'nq' 노드 전압

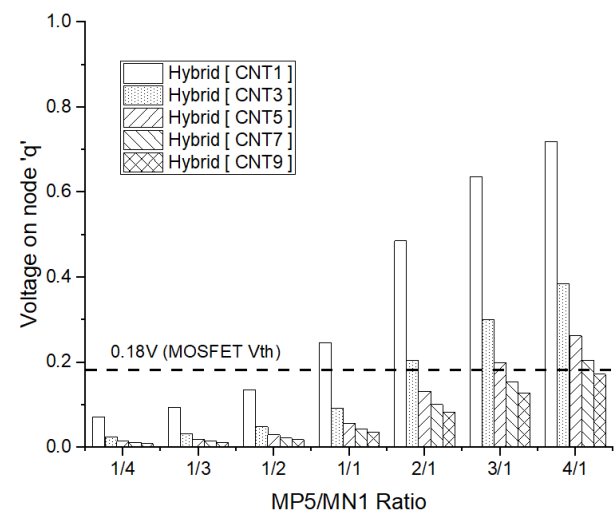


Fig. 5. Voltage on node 'q' depending on MP5/MN1 Ratio.

그림 5. MP5/MN1 비율에 따른 'q' 노드 전압

Hybrid SRAM을 디자인하기 위해서는, 기존 6T SRAM 디자인 방식과 동일하게, MN4/MN2 및 MP5/MN1 값을 결정해야 한다. SRAM 셀에 저장된 데이터는 그 값을 읽는 중에 SRAM 셀에 저장된 값이 변하지 않도록 'nq' 값은 반도체 소자의 문턱 전압보다 작게 설계되어야 한다. 본 논문에서 데이터 저장부를 MOSFET으로 구성하였으므로 문턱 전압 고려시 MOSFET 문턱 전압 0.18V를 고려하였다. MN4/MN2에 따른 'nq'의 전압값을 그림 4와 같이 표현하였으며, 각각의 MN4/MN2를 논할 때 CNTFET의 CNT 밀도도 함께 고려하였다. 즉, CNTFET의 gate width가 32nm일 때를 기준으로 CNT1은 1개의 CNT가 32nm gate width 안에 배치되어 있음을 나

타내고, CNT3는 3개의 CNT가 동일한 간격으로 gate width안에 배치되어 있음을 나타내었다. 마찬가지로, MP5/MN1 비율과 CNT 밀도에 따른 'q'의 전압값을 그림 5에 나타내었으며, 'q'의 전압값은 SRAM 셀에 새로운 데이터를 쓸 수 있도록 MOSFET의 문턱 전압보다 낮게 선택되어야 한다.

Table 1. Delay, Power, and PDP of all MOSFET SRAM, all CNTFET SRAM, and hybrid SRAM.

표 1. all MOSFET SRAM, all CNTFET SRAM, 그리고 하이브리드 SRAM의 Delay, Power, 그리고 PDP

	Operation	CNT Density	Delay (ps)	Power (uW)	PDP (aJ)
all MOSFET SRAM [23]	Read	N/A	234.90	0.041	9.54
	Write		35.58	0.604	21.48
all CNTFET SRAM [23]	Read	7	116.00	0.004	1.00
	Write		33.82	1.407	47.58
hybrid SRAM	Read	7	104.00	0.080	8.31
	Write		11.70	0.752	8.80

그림 4 그리고 그림 5를 통해 MN4/MN2 그리고 MP5/MN1 비율이 3/1인 경우 CNT7과 CNT9를 사용할 수 있었고, MN4/MN2 그리고 MP5/MN1 비율이 4/1인 경우 CNT9만 사용할 수 있었다. 본 논문에서는 SRAM 셀의 면적을 최소화하고 CNT 배치에 따른 공정 불량 가능성을 최소화하기 위해 MN4/MN2 그리고 MP5/MN1의 비율을 3/1로 그리고 CNT 밀도를 CNT7로 선택한 후, 기존 SRAM, 즉, SRAM 전체가 MOSFET인 경우 (all MOSFET SRAM)와 CNTFET인 경우(all CNTFET SRAM)에 대해 그 성능을 비교하였다.

표 1은 all MOSFET SRAM, all CNTFET SRAM, 그리고 hybrid SRAM의 성능 차이를 보여주고 있다. 읽기 지연(read delay) 측면에서 hybrid SRAM은 all CNTFET SRAM과 마찬가지로 all MOSFET SRAM에 비해 높은 성능을 보여주지만, all CNTFET에 비해서는 큰 성능 향상이 없으며, 오히려 all CNTFET SRAM보다 20배 정도의 power를 더 소비하는 것으로 나온다. 이는 CNTFET이 MOSFET보다 단위 면적당 더 많은 전류를 흘릴 수 있기 때문에 읽기 동작에서는 불필요하게 많은 전류를 흘릴 수 있음을 나타낸다. 이러한 현상은 그림 4에서 'nq' 노드의 전압 특성에서도 확인할 수 있다. 그림 4에서 MN4/MN2가 1/4, 1/3, 1/2, 그리고 1/1인 경우를 보

면, CNTFET인 MN2가 워낙 많은 전류를 흘리기 때문에 MN4가 충분히 넓은 면적으로 많은 전류를 흘릴 수 없으면 'nq' 노드는 충분히 작아지지 않아 읽기 동작을 수행하기 어렵게 된다. 하지만, 쓰기 동작에서 이러한 hybrid SRAM은 기존 SRAM 성능 향상에 도움을 준다. 쓰기 동작에 있어 all CNTFET SRAM은 all MOSFET SRAM에 비해 크게 나은 성능을 보여주지는 않고 오히려 2배 이상의 파워를 소비하지만, hybrid SRAM은 비슷한 파워 소모에서 all MOSFET SRAM에 비해 3배 이상의 지연 감소를 보여준다. 즉, PDP 측면에서 all CNTFET SRAM은 all MOSFET SRAM보다 읽기 성능은 향상되지만 쓰기 성능은 악화된다. 하지만, hybrid SRAM은 all MOSFET SRAM의 성능을 읽기 그리고 쓰기 성능에서 전반적으로 향상시킨다. 따라서, 읽기 동작에서의 높은 성능이 꼭 필요한 경우가 아니라면, SRAM 제작에 있어 구조가 복잡한 데이터 저장부를 높은 공정 편차 위험성을 감수하면서까지 CNTFET으로 제작할 필요 없음을 알 수 있다.

III. 결론

Internet of Things(IoT) 시대에 CNTFET은 기존 반도체 소자보다 높은 성능으로 데이터 처리를 할 수 있음은 물론, 다양한 범용 센서 그리고 웨어러블 헬스 케어 디바이스까지 다양한 응용 분야에 활용할 수 있어 그 기대가 점차 높아지고 있다. 아직 CNTFET을 활용한 반도체 칩 생산을 위한 양산 기술이 충분히 성숙되지 않아 CNTFET 반도체 칩 상용화가 이루어지지 않았지만, 전체 반도체 칩 중 일부 회로 블록이라도 CNTFET을 활용하는 방안을 시도한다면, CNTFET 반도체 칩 구현에 대한 가능성을 한층 높일 수 있을 것으로 기대된다. 이를 위해 본 논문에서는 MOSFET과 CNTFET으로 구성된 hybrid SRAM을 디자인하기 위한 방법을 제안하였으며, 그 성능이 CNTFET으로만 이루어진 SRAM 보다 쓰기 동작에서 3배 이상의 속도 그리고 2배의 파워 향상이 있음을 알 수 있었다.

References

[1] A. D. Franklin, M. C. Hersam, and H.-S. P. Wong, "Carbon nanotube transistors: Making electronics from molecules," *Science*, vol.78, no.

6621, pp.726-732, 2022.

DOI: 10.1126/science.abp8278

[2] S. Zhang *et al.*, "Emerging Internet of Things driven carbon nanotubes-based devices," *Nano Research*, vol.15, no.5, pp.4613-4637, 2022.

DOI: 10.1007/s12274-021-3986-7

[3] R. Chen *et al.*, "Carbon Nanotube SRAM in 5-nm Technology Node Design, Optimization, and Performance Evaluation-Part I: *CNFET Transistor Optimization*," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol.30, no.4, pp.432-439, 2022.

DOI: 10.1109/TVLSI.2022.3146125

[4] R. Chen *et al.*, "Carbon Nanotube SRAM in 5-nm Technology Node Design, Optimization, and Performance Evaluation-Part II: *CNT Interconnect Optimization*," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol.30, no.4, pp.440-448, 2022.

DOI: 10.1109/TVLSI.2022.3146064

[5] J. Deng and H. . -S. P. Wong, "A Compact SPICE Model for Carbon-Nanotube Field-Effect Transistors Including Nonidealities and Its Application-Part I: Model of the Intrinsic Channel Region," *IEEE Transactions on Electron Devices*, vol.54, no.12, pp.3186-3194, 2007.

DOI: 10.1109/TED.2007.909030

[6] J. Deng and H. . -S. P. Wong, "A Compact SPICE Model for Carbon-Nanotube Field-Effect Transistors Including Nonidealities and Its Application-Part II: Full Device Model and Circuit Performance Benchmarking," *IEEE Transactions on Electron Devices*, vol.54, no.12, pp.3195-3205, 2007. DOI: 10.1109/TED.2007.909043

[7] Yang *et al.*, "High-performance carbon nanotube field-effect transistors with electron mobility of $39.4 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ using anion- π interaction doping," *Carbon*, vol.203, pp.761-769, 2023.

DOI: 10.1016/j.carbon.2022.12.025

[8] J. Zhou *et al.*, "Carbon Nanotube Radiofrequency Transistors With f_T/f_{MAX} of 376/318 GHz," *IEEE Electron Device Letters*, vol.44, no.2, pp.329-332, 2023. DOI: 10.1109/LED.2022.3227133

- [9] C. Liu *et al.*, "Complementary Transistors Based on Aligned Semiconducting Carbon Nanotube Arrays," *ACS Nano*, vol.16, no.12, pp.21482-21490, 2022. DOI: 10.1021/acsnano.2c10007
- [10] G. Long *et al.*, "Carbon nanotube-based flexible high-speed circuits with sub-nanosecond stage delays," *Nature Communications*, vol.13, no.1, pp.6734, 2022.
- [11] D.-H. Shin *et al.*, "Low-Power Complementary Inverter Based on Graphene/Carbon-Nanotube and Graphene/MoS₂ Barristors," *Nanomaterials*, vol.12, no.21, p.3820, 2022. DOI: 10.3390/nano12213820
- [12] Q. Huang *et al.*, "Intrinsically flexible all-carbon-nanotube electronics enabled by a hybrid organic-inorganic gate dielectric," *npj Flex. Electron.*, vol.6, no.1, p.61, 2022. DOI: 10.1038/s41528-022-00190-8
- [13] G. Hills *et al.*, "Modern microprocessor built from complementary carbon nanotube transistors," *Nature*, vol.572, no.7771, pp.595-602, 2019. DOI: 10.1038/s41586-019-1493-8
- [14] R. S. Singh *et al.*, "Precise Deposition of Carbon Nanotube Bundles by Inkjet-Printing on a CMOS-Compatible Platform.," *Mater. (Basel, Switzerland)*, vol.15, no.14, 2022. DOI: 10.3390/ma15144935
- [15] A. Valluri and S. Musala, "Low leakage, differential read scheme CNTFET based 9T SRAM cells for Low Power applications," *Int. J. Electron.*, pp.1-22, 2022. DOI: 10.1080/00207217.2022.2148289
- [16] V. Bakhtiary, A. Amirany, M. H. Moaiyeri, and K. Jafari, "An SEU-hardened ternary SRAM design based on efficient ternary C-elements using CNTFET technology," *Microelectron Reliability*, vol.140, p.114881, 2023. DOI: 10.1016/j.microrel.2022.114881
- [17] A. Sachdeva, D. Kumar, and E. Abbasian, "A carbon nano-tube field effect transistor based stable, low-power 8T static random access memory cell with improved write access time," *AEU - International Journal of Electronics and Communications*, vol.162, 2023. DOI: 10.1016/j.aeue.2023.154565
- [18] A. Darabi, M. R. Salehi, and E. Abiri, "One-sided 10T static-random access memory cell for energy-efficient and noise-immune internet of things applications," *International Journal of Circuit and Theory Applications*, vol.51, no.1, pp.379-397, 2023. DOI: 10.1002/cta.3408
- [19] M. Elangovan and M. Muthukrishnan, "Design of High Stability and Low Power 7T SRAM Cell in 32-NM CNTFET Technology," *Journal of Circuits, Systems and Computers*, vol.31, no.13, 2022. DOI: 10.1142/S0218126622502334
- [20] N. Hajizadeh Bastani and K. Navi, "A Low-Power and Robust Quaternary SRAM Cell for Nanoelectronics," *Analog Integrated Circuits and Signal Processing*, vol.111, no.3, pp.483-493, 2022. DOI: 10.1007/s10470-022-02031-0
- [21] G. Cho, "A Study on the Circuit Design Method of CNTFET SRAM Considering Carbon Nanotube Density," *Journal of IKEEE*, vol.25, no.3, pp.473-478, 2021.
- [22] PTM Models, <http://ptm.asu.edu/>
- [23] CNFET Models. <https://nano.stanford.edu/downloads/stanford-cnfet-model/stanford-cnfet-model-hspice>

BIOGRAPHY

Geunho Cho (Member)



2004 : BS degree in Electronic Engineering, Sogang University.
 2006 : MS degree in Electronic Engineering, Sogang University.
 2012 : PhD degree in Electrical Engineering, Northeastern University.

2012~2017 : Senior Engineer, Samsung Display.
 2017~present : Assistant Professor, Seokyeong University.