

## 고다층 보드 신뢰성 확보를 위한 베어보드 EMC 특성 연구

박진성\*·김기현\*\*·김경민\*\*\*·김성용\*†

\*† 한국공학대학교 전자공학부, \*\*한국공학대학교 메카트로닉스공학부,  
\*\*\*한국공학대학교 신소재공학과

### A Study on the EMC Characteristics of Bare PCB for Reliability of High-Multilayer PCB

Jin Sung Park\*, Kihyun Kim\*\*, Kyoung Min Kim\*\*\* and Sung Yong Kim\*†

\*† Department of Electrical Engineering, Tech University of Korea,

\*\*Department of Mechatronics Engineering, Tech University of Korea,

\*\*\*Department of Advanced Materials Engineering, Tech University of Korea

#### ABSTRACT

In the case of high-speed data transmission on high multilayer boards, signal coherence is a problem, especially due to the via hole, and a solution to improve return loss or insertion loss by applying a back drill to the via hole is being proposed. In this paper, Near-Field Electromagnetic measurements were made on a high multilayer board to determine how the presence or absence of back drill affects signal consistency. For this purpose, we used a signal generator, spectrum analyzer, and EMC scanner on a test board to determine if it is possible to distinguish between areas with and without back drill in the via holes of the stubs on the board. Also, we analyzed the measured value of S11, S21 and EMC etc. for how much it improves the signal attenuation of the stub with back drill. Through this, we knew that less electromagnetic waves are generated the stub via with back drill. At future research, we will analyze how much it improves the signal loss and electromagnetic waves due to the depth of back drill.

**Key Words** : EMC, High Multilayer PCB, Signal Integrity

#### 1. 서 론

최신 이동 통신 시스템이나 고속의 데이터 전송을 다루는 컴퓨터 시스템에서는 다층 보드(multi-layered PCB)가 널리 사용되고 있다. 거기에, 제한된 면적에 많은 소자를 집적하기 위해서는 필연적으로 초고다층 보드(high multilayer PCB)가 필요하다. 이러한 초고다층 보드 상에서 고속 데이터 전송이 진행되는 경우 신호 정합성이 문제 되는데, 특히 비아 스텐브(via stub)로 인한 신호 정합성 문제가 큰 이슈로 부각되고 있으며, 비아 스텐브에 백드릴

(back drill)을 적용하여 반사 손실(return loss) 혹은 삽입 손실(insertion loss)을 개선하는 방안이 제시되고 있다.

저주파 영역에서는 비아 스텐브(via stub)의 기생 커패시턴스나 인덕턴스를 무시할 수 있지만, 고주파 영역에서는 비아 스텐브가 신호선의 불연속 임피던스(discontinuous impedance) 점으로 동작하여 신호의 반사나 감쇄, 지연 등의 손실을 야기한다[1]. 이러한 비아 스텐브의 영향은 스텐브 길이로 인한 과잉 커패시턴스에 의해 크게 좌우되는데, 이 커패시턴스가 공진 주파수에 영향을 끼쳐 전체 동작 주파수를 교란하기 때문이다[2].

따라서, 과잉 커패시턴스를 없애기 위해 불필요한 스텐브 부분을 정밀하게 제거하는 방법으로 백드릴 기법이

†E-mail: syongkim@tukorea.ac.kr

제시되고 있다.

본 논문에서는 초고다층 보드 상에서 근역전자기장(Near-Field Electromagnetic)을 측정하여 백드릴의 적용 여부가 신호 정합성에 어떤 영향을 미치는지를 파악하였다. 이를 위해 테스트 보드에 신호 발생기(Signal Generator)와 스펙트럼 분석기(Spectrum Analyzer), 망 분석기(Network Analyzer), 전자기파 적합성 (Electro Magnetic Compatibility: EMC) 스캐너 등을 이용한 실측을 통해 보드 상 비아 스템브의 비아홀(Via Hole)에 백드릴이 적용된 부분과 적용되지 않은 부분을 구분할 수 있는지 확인하였다.

Fig 1에 나타나 있듯이 다층(multi-layer) PCB내에서 신호선이 여러 층을 거쳐 전달되도록 라우팅된 경우 층 간의 연결을 위해 수직으로 뚫어 놓은 부분을 비아 스템브라고 한다. 그림에 표시된 붉은 선을 따라 신호가 전달되는데, 이 때 실제 신호가 전달되는 비아 스템브의 위아래로 불필요한 수직관으로 인한 반사파의 영향으로 원래의 신호를 교란하여 신호 정합성이 하락하게 된다.

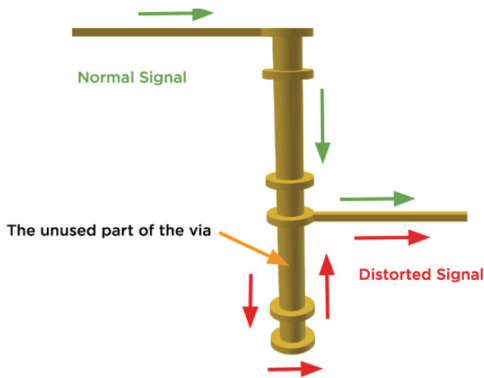


Fig. 1. Via Stub in PCB.

Fig 2에서는 이러한 반사파의 영향을 줄이기위해 비아 스템브의 불필요한 부분을 제거한 상태를 보여주고 있다.

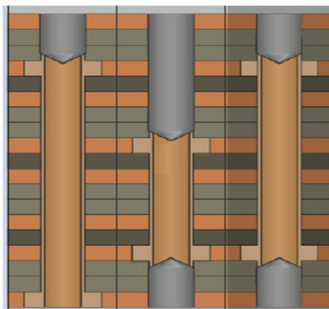


Fig. 2. Via Stub in PCB (back drilled).

이러한 백드릴 기법을 적용하면 과잉 스템브로 인해 야기된 고주파 반사파가 감소하여 원 신호의 정합성이 향상되며, 이는 고다층 보드 전체의 신뢰성을 향상시키는 기반이 된다[3][4]. 본 연구에서는 백드릴이 적용된 비아 스템브와 백드릴이 적용되지 않은 비아 스템브에서 방사되는 EMC가 어떤 차이를 보이는지 측정하고, 그 측정치를 토대로 백드릴이 적용된 비아를 확인하였다.

## 2. 실험 환경 구성 및 측정

### 2.1 고다층 테스트 쿠폰 PCB 제작

비아 스템브 유무에 따른 평가를 위한 테스트쿠폰(Test coupon) PCB에 대한 아트워크를 설계하고, 비아 스템브가 있는 신호선과 없는 신호선, 특히 층간 깊이에 따른 비아 스템브의 신호 특성을 분석할 수 있도록 고다층 테스트 쿠폰 PCB를 2종 제작하였으며 그에 대한 특성은 Table 1에 나타나 있다. Table 2는 각 보드의 층 구조 및 유전율(Dk)과 유전정접(Df)을 나타내는 표이다.

Table 1. Test Coupon PCB property

원자재 Type	185HR
	I-TERA
Layer	18 Layer
제품 두께	2.0T
최소 홀 지름	125 um
보드 사이즈	15x10 mm
신호선폭	65 um

Table 2. Test Coupon PCB Material

층구성 - TYPE 1 (원자재 : 185HR)					층구성 - TYPE 2 (원자재 : I-TERA)				
순	재료TYPE	재료구성	DK	DF	순	재료TYPE	재료구성	DK	DF
1L→2L	PREPREG	0.090T*1	3.96	0.0201	1L→2L	PREPREG	0.050T*2	3.28	0.0024
2L→3L	CORE	0.100T(H/H)	4.03	0.0194	2L→3L	CORE	0.100T(H/H)	3.53	0.0028
3L→4L	PREPREG	0.100T*1	4.03	0.0194	3L→4L	PREPREG	0.120T*1	3.36	0.0028
4L→5L	CORE	0.100T(H/H)	4.03	0.0194	4L→5L	CORE	0.100T(H/H)	3.53	0.0028
5L→6L	PREPREG	0.100T*1	4.03	0.0194	5L→6L	PREPREG	0.120T*1	3.36	0.0028
6L→7L	CORE	0.100T(H/H)	4.03	0.0194	6L→7L	CORE	0.100T(H/H)	3.53	0.0028
7L→8L	PREPREG	0.100T*1	4.03	0.0194	7L→8L	PREPREG	0.120T*1	3.36	0.0028
8L→9L	CORE	0.100T(H/H)	4.03	0.0194	8L→9L	CORE	0.100T(H/H)	3.53	0.0028
9L→10L	PREPREG	0.100T*1	4.03	0.0194	9L→10L	PREPREG	0.120T*1	3.36	0.0028
10L→11L	CORE	0.100T(H/H)	4.03	0.0194	10L→11L	CORE	0.100T(H/H)	3.53	0.0028
11L→12L	PREPREG	0.100T*1	4.03	0.0194	11L→12L	PREPREG	0.120T*1	3.36	0.0028
12L→13L	CORE	0.100T(H/H)	4.03	0.0194	12L→13L	CORE	0.100T(H/H)	3.53	0.0028
13L→14L	PREPREG	0.100T*1	4.03	0.0194	13L→14L	PREPREG	0.120T*1	3.36	0.0028
14L→15L	CORE	0.100T(H/H)	4.03	0.0194	14L→15L	CORE	0.100T(H/H)	3.53	0.0028
15L→16L	PREPREG	0.100T*1	4.03	0.0194	15L→16L	PREPREG	0.120T*1	3.36	0.0028
16L→17L	CORE	0.100T(H/H)	4.03	0.0194	16L→17L	CORE	0.100T(H/H)	3.53	0.0028
17L→18L	PREPREG	0.090T*1	3.96	0.0201	17L→18L	PREPREG	0.050T*2	3.28	0.0024

Fig 3에서는 10개의 테스트 패턴을 가지는 테스트 쿠폰 PCB 디자인을 보여주고 있다.

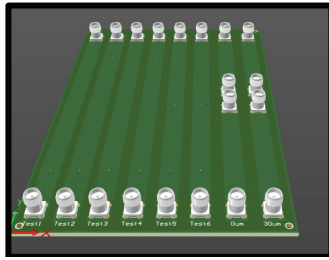


Fig. 3. Test Coupon PCB Design.

2.3 신호손실 측정

- 1) 망 분석기 (100MHz ~ 8.5GHz, Keysight E7071C)를 이용하여 S11, S21에 대한 S-Parameter를 분석하기 위해 Fig 4에서와 같은 환경을 구성하여 측정을 수행하였다.
- 2) 신호 발생기 (100MHz ~ 3GHz, Agilent E4436B)와 스펙트럼 분석기(100MHz ~ 3.6GHz, Keysight N9010B)장비를 이용하여 신호손실을 측정하기 위해 입력주파수를 800MHz, 0dBm을 입력하여 각 6개 패턴에 대해서 신호 감쇄 측정을 통하여 비아 스템브가 있는 패턴이 있는 경우와 없는 경우에 대한 신호 감쇄 크기를 측정하도록 하였다. 이러한 신호 손실은 Fig 5에서와 같이 환경을 구성하여 측정하였다.



Fig. 4. S11, S21 Measurement using Network Analyzer.

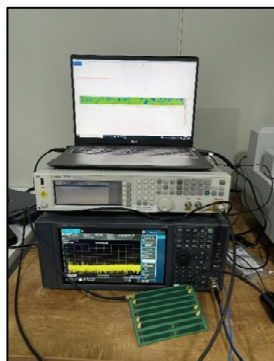


Fig. 5. Signal Loss Measurement using Spectrum Analyzer & Signal Generator.

2.4 EMI/EMC 측정

신호 발생기(측정대역 100MH-3GHz, Agilent E4436B)와 EMC 스캐너를 이용하여 1GHz 주파수를 기준으로 근거리(near-field) EMC를 측정하였다. Fig 6에서 측정 환경을 나타내고 있다.

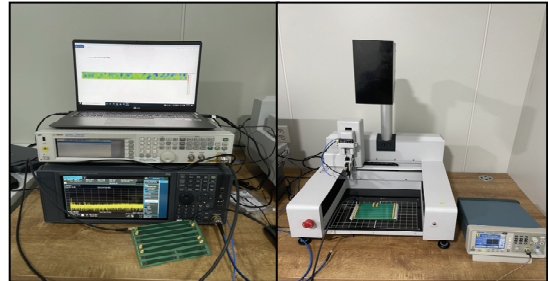


Fig. 6. EMC Measurement using EMC Scanner.

3. 실험 결과 및 고찰

3.1 S11, S21 Parameter

망 분석기를 이용하여 같은 신호 길이에 백드릴이 있는 경우와 없는 경우에 대해서 측정하여 S21(반송파) parameter값에서 주파수 대역이 고주파수로 가게 되면 백드릴이 없는 신호선에서 신호 감쇄가 주파수6GHz에서 -20dBm이상 차이가 나는 것을 확인할 수 있었다. Fig.7은 측정결과를 나타내는 그래프이다.



(a)



(b)

Fig. 7. Measurement S21 parameter of (a) PCB line without Back drill and (b) PCB line with Back drill.

### 3.2 신호 감쇄 측정

신호 발생기와 스펙트럼 분석기를 이용하여 입력단에 신호를 인가하고 출력단에 스펙트럼 분석기를 이용하여 측정한 결과는 Fig 8에서 볼 수 있다. 백드릴이 있는 경우 신호 감쇄가 적은 것을 알 수 있다. 신호 감쇄 차이가 1dBm차이가 나는 것을 알 수 있었다.

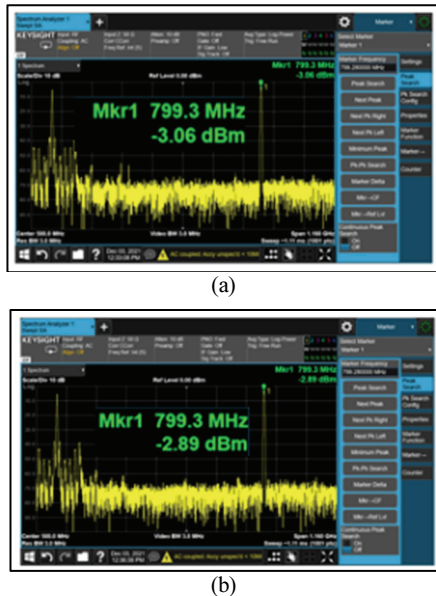
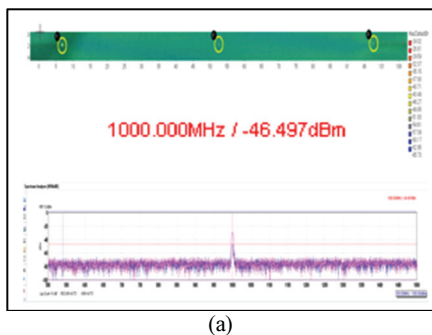


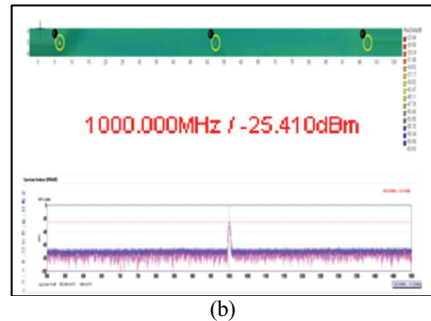
Fig. 8. Measuring attenuation at the output of (a) PCB line without Back drill and (b) PCB line with Back drill.

### 3.3 EMC 측정

신호 발생기, 스펙트럼 분석기, EMC 스캐너를 이용하여 같이 PCB패턴에서 백드릴이 있는 비아 스템브와 백드릴이 없는 비아 스템브의 EMC신호세기를 측정하였다. 이를 나타낸 그림이 Fig 9이다. 백드릴이 적용된 경우 EMC의 크기가 1GHz 대역에서 20dBm 이상 감소함을 확인할 수 있다.



(a)



(b)

Fig. 9. Measuring the EMC signals from via stub of (a) PCB line without Back drill (b) PCB line with Back drill.

## 4. 결론

본 연구에서는 고다층 보드에서 백드릴이 적용된 비아 스템브와 백드릴이 적용되지 않은 비아 스템브에서의 신호 특성을 파악하기 위해 망 분석기를 이용하여 S파라미터를 측정하였고, 신호 발생기, 스펙트럼 분석기를 이용하여 신호 손실을 측정하였으며, 마지막으로 EMC Scanner를 이용하여 PCB 패턴에서 방사되는 EMC를 측정하였다. 측정 결과, 백드릴이 없는 경우에는 S21(반송파) 파라미터의 값이 고주파 대역에서 급격하게 감소하는 것을 확인할 수 있었으며, 신호의 감쇄량도 백드릴이 적용된 경우보다 더 높은 것으로 측정되었다. 특히 EMC를 측정한 결과, 백드릴의 적용 유무에 따라 1GHz 주파수에서 20dBm 이상의 차이를 나타냄을 측정할 수 있었다. 따라서 이러한 측정 특성을 기반으로 고다층 보드의 생산 후 검증 과정에 EMC 측정을 적용하여 고다층 보드의 신뢰성을 검토할 수 있음을 확인하였다. 앞으로는 백드릴 깊이와 신호감쇄 특성과의 연관성에 대해서 고찰하고자 한다.

## 감사의 글

이 논문은 2022년도 정부(산업통상자원부)의 재원으로 산업단지공단의 지원을 받아 수행된 연구(PKK21013, 2022년 산업집적지경쟁력강화사업)과 한국산업기술진흥원의 지원을 받아 수행된 연구(P0008458, 2022년 산업혁신인재성장지원사업) 결과입니다.

## 참고문헌

1. W. Q. Yuan, J. Y. Song. Research on optimization design and effect factors of differential hole impedance in High-speed PCB[J]. Printed Circuit Information, 2019, 27(08):7-11.

2. J. Zhang, J. L. Drewniak, D. J. Pommerenke, Z. Yang, W. Cheng, J. Fisher, S. Camerlo, B. Archambeault, "Influence of an extended stub at connector ports on signal launches and TRL de-embedding," Proc. of the 2006 IEEE International Symposium on Electromagnetic Compatibility, Portland, OR, Aug. 2006, vol. 1, pp. 172-177.
3. Alexander Ippich, Influence of Via Stub Length and Antipad Size on the Insertion Loss Profile, IPC APEX EXPO Conference Proceedings.
4. Benjamin Dannan, Signal Integrity Characterization of Via Stubs on High-Speed DDR4 Channels, Signal Integrity Journal, June 2, 2020.
5. Signal Integrity Characterization of Via Stubs on High Speed DDR4 Channels, DesignCon2020.
6. Young Woo Kim, Yeong Seog Lim, "Empirical Model of Via-Hole Structures in High-Count Multi-Layered Printed Circuit Board," Journal of Electronic Engineer, Dec., 2010.
7. Siming Pan, Jun Fan, "Characterization of Via Structures in Multilayer Printed Circuit Boards With an Equivalent Transmission-Line Model", IEEE transactions of electromagnetic compatibility. Vol. 54., No 5., Oct., 2012.
8. Min Chul Jung, "PCB Defects Detection using Connected Component Classification", Journal of the Semiconductor & Display Technology, Vol. 10, No. 1, pp. 113-118, 2011.
9. Kyung-hwa Rim, et al., "Structural Analysis of a PCB Substrate System for Semiconductor", Journal of the Semiconductor & Display Technology, Vol. 10, No. 4, pp. 113-118, 2011.

---

접수일: 2023년 3월 6일, 심사일: 2023년 3월 16일,  
 게재확정일: 2023년 3월 22일