

# 자기진단과 시계 기능을 갖는 비동기용 불휘발성 메모리 모듈의 설계

신우현\*·이강원\*·양 오\*\*

\*\*청주대학교 반도체공학과

## Design of Asynchronous Nonvolatile Memory Module with Self-diagnosis and Clock Function

Woohyeon Shin\*, Kang Won Lee\* and Oh Yang\*\*†

\*\*†Semiconductor Engineering of Cheongju University

### ABSTRACT

This paper discusses the design of 32Mbyte asynchronous nonvolatile memory modules, which includes self-diagnosis and RTC (Real Time Clock) functions to enhance their data stability and reliability. Nonvolatile memory modules can maintain data even in a power-off state, thereby improving the stability and reliability of a system or device. However, due to the possibility of data error due to electrical or physical reasons, additional data loss prevention methods are required. To minimize data error in asynchronous nonvolatile memory modules, this paper proposes the use of voltage monitoring circuits, self-diagnosis, BBT (Bad Block Table), ECC (Error Correction Code), CRC (Cyclic Redundancy Check)32, and data check sum, data recording method using RTC. Prototypes have been produced to confirm correct operation and suggest the possibility of commercialization.

**Key Words** : NAND Flash, NVSRAM, ECC Code, CRC32, Self-diagnosis, RTC

### 1. 서 론

메모리 모듈은 전자 기기에서 데이터 저장, 데이터 읽기, 데이터 전송 역할을 하기 때문에, 메모리 모듈은 컴퓨터나 다른 전자 기기에서 필수적인 부품 중 하나이며, 데이터 저장 및 처리에 대한 성능과 안정성에 직접적인 영향을 미치는 중요한 역할을 한다. 일반적으로 사용되는 휘발성 메모리로는 DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory), LPDDR(Low Power DDR SDRAM), SDRAM(Synchronous Dynamic Random Access Memory), DDR SDRAM(Double Data Rate Synchronous Dynamic RAM)이 있으며, 휘발성 메모리는 주로 데이터를 임시 저장하는 용도로 사용되며, 전원이 차단되면 데이터를 잃어

버리게 된다. 따라서, 대부분의 컴퓨터 시스템이나 기기에서는 불휘발성 메모리 모듈도 함께 사용되며, 전원을 공급하지 않아도 중요한 데이터를 유지하기 때문에, 시스템이나 기기의 안정성과 신뢰성을 향상시킨다. 특히, 임베디드 시스템에서는 전원이 갑자기 차단될 가능성이 높기 때문에 불휘발성 메모리가 필수적이다. 불휘발성 메모리 모듈은 휘발성 메모리 모듈보다 처리 속도가 느리며, 비용이 많이 든다는 단점이 있다. 산업용 제어 시스템, 전력 공급 장치, 라우터 및 스위치 등과 같이 데이터 손실이 큰 문제를 발생시킬 수 있는 시스템에서 사용하기 위해 NVSRAM(Non-Volatile Static Random Access Memory)이 등장하였고, NVSRAM은 SRAM과 불휘발성 메모리(NVM)의 특징을 모두 갖고 있는 메모리이다. 시중에 판매되고 있는 NVSRAM은 적게는 수십 Kbyte에서 최대 2Mbyte의 저장공간을 가지고 있으며 비용이 매우 높다.

†E-mail: ohyang@cju.ac.kr

본 논문에서는 32Mbyte의 저장공간을 갖는 NVSRAM을 설계했으며, 비동기용 불휘발성 메모리 모듈에 자기진단과 시계(RTC: Real Time Clock) 기능을 추가했다. 자기진단을 이용한 오류데이터의 보정과 RTC를 사용하여 Data logging 알고리즘을 이용하여 신뢰성과 안정성을 높이는 방법을 제시하고 비동기용 불휘발성 메모리 모듈의 상용화의 가능성을 제시하고자 한다.

## 2. RTC기능을 NVSRAM 모듈의 설계

### 2.1 기존의 NVSRAM 모듈의 구조

기존의 불휘발성 메모리 모듈로는 NOR Flash, NAND Flash, EEPROM(Electrically Erasable Programmable Read-Only Memory) 등이 존재하며, 다음과 같은 구조로 이루어져 있다. EEPROM은 전기 신호를 이용하여 데이터를 기록하고 지우는 모듈로 속도가 느리고 기록 및 삭제의 주기가 제한적이다. NOR Flash는 EEPROM과 유사하지만 더 빠른 속도와 성능을 제공하며, 주소와 데이터 버스가 분리되어 있어 주소를 사용하여 데이터에 직접 접근할 수 있다[1]. NAND Flash는 NOR Flash와 유사하지만 데이터 버스와 주소 버스가 결합되어 NOR Flash에 비교해서 더 많은 데이터를 저장할 수 있다. 불휘발성 메모리는 기록하고 지우는 과정을 반복하다 보면 메모리 셀의 물리적인 손상으로 인해 데이터의 손상과 메모리의 수명이 줄어들기도 하고, 오랜 기간 동안 저장되어 있는 경우에도 데이터의 손실이 있을 수 있다[2]. 또한, 기록하고 지우는 과정에서 인접한 메모리 셀에 영향을 주어 원하지 않는 곳에 데이터가 임의로 변경이 되거나 변형이 일어날 수 있다[3][4]. 데이터의 손실을 최소화하기 위해서는 안정적으로 전압을 유지해주는 보조 전원 안정화 회로와 전압을 실시간으로 감시할 수 있는 프로그램 또한 필요하다. 데이터의 오류를 방지하기 위해 ECC(Error Correction Code) 및 CRC(Cyclic Redundancy Check)와 같은 알고리즘을 사용하여 데이터의 오류를 최소화하면서 잘못된 데이터를 수정하는 방법이 필요하다[5].

NVSRAM은 하나의 디바이스에 비동기용 SRAM과 불휘발성 메모리 기술을 결합한 것이다[6]. NVSRAM은 불휘발성 메모리의 특징인 데이터 보존성, 기록하고 지우는 횟수에 제한이 없는 것과 SRAM의 특징인 빠른 접근 속도와 낮은 소비전력의 특징을 모두 갖고 있다. 전원이 안정적일 경우에는 SRAM과 같이 동작하며, 시스템의 전원이 불안정하거나 OFF일 경우에는 SRAM의 데이터를 불휘발성 메모리로 저장하고, 다시 전원이 들어오게 되면 불휘발성 메모리에서 다시 데이터를 가져와 전원이 OFF되기 전 데이터를 가지고 다시 작업을 할 수 있다. 이

러한 이유로 NVSRAM은 데이터 보존과 빠른 액세스 속도를 모두 만족하는 고속 데이터 저장장치로서 광범위하게 사용되고 있다[7]. 하지만, NVSRAM은 SRAM과 불휘발성 메모리를 함께 사용하여 구현하기 때문에 많은 비용이 들고 용량이 다른 메모리에 비해 제한된다. 또한, 불휘발성 메모리의 문제점인 전기적 노이즈, 전력 공급 문제, 전기적 자기장 등에 데이터가 변형되거나 고장의 가능성이 있다.

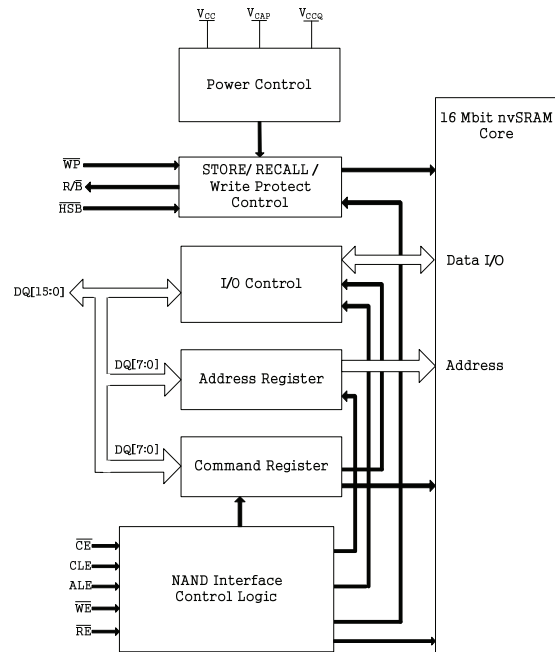


Fig. 1. Structure of Cypress 2Mbyte NVSRAM.

NVSRAM은 일반적으로 신뢰성이 중요한 산업용, 군사용, 의료용 등과 같이 데이터 보존이 필수적인 분야에 사용되기 때문에 데이터의 에러를 최소화하는 방법이 중요하다. Fig. 1은 시중에 판매되고 있는 Cypress사의 2Mbyte NVSRAM이다[8].

전원의 OFF를 감지하면 SRAM의 데이터를 NAND에 백업하여 보호하고 전원이 ON이 되면 이 데이터를 불러온다[9].

Fig. 2는 본 논문에서 제안한 32Mbyte NVSRAM의 구조이다. 본 논문에서는 NVSRAM의 용량을 32Mbyte으로 설계했고, 데이터의 오류를 최소화하기 위하여 ECC, CRC32, BBT(Bad Block Table)관리 알고리즘에 RTC 기능을 추가하였으며, 더 정밀한 RTC기능을 위한 RTC 캘리브레이션 알고리즘을 적용하였다. 추가로 NVSRAM에 사용되는 CPU (STM32H750:480MHz)의 4KByte크기의 내부 백업 램(Backup

RAM)을 사용하여 상태 정보를 현재 시간과 같이 기록하여 보관하다가 다시 전원이 ON될 시 확인이 가능하다[10]. 이러한 기능을 통해서 데이터의 신뢰성과 안정성을 증가시켰다. 본 논문에서 제안된 32Mbyte의 용량을 가지는 NVSRAM의 NAND Flash Memory Map은 Table 1과 같다.

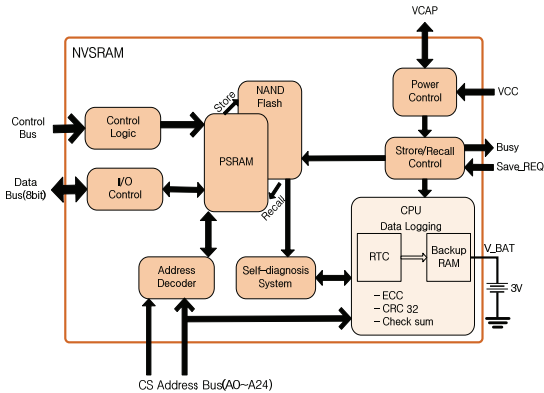


Fig. 2. Proposed structure of 32 Mbyte NVSRAM.

총 0~34page로 이루어져 있고, 0번 페이지에서 Bad Block Table, Bad Block의 CRC 관리로 Bad Block을 관리하여 데이터 기록시 사용하지 않고 유효 블록만 사용한다. 이러한 방법을 통해 Bad Block으로 발생하는 데이터의 손실을 방지한다. 34page에 전원이 OFF될 시, 자기진단 데이터(CRC, BBT의 에러코드, Check sum data)를 기록한다. 전원이 ON이 되면 저장된 자기진단 데이터를 이용하여 데이터의 문제 발생을 알 수 있으며 이러한 데이터의 오류가 판단이 되면 ECC알고리즘을 이용한 해당 데이터의 복구를 진행할 수 있다.

Table 1. NAND memory map of proposed NVSRAM

Page	Kind	Total Byte
0 (1032byte)	Bad block table	1024byte
	Bad block's에 대한 CRC	4byte
	SRAM's 32Mbyte에 대한 CRC	4byte
	예약	1016byte
1 (512byte)	첫번째 유효 Block	256byte
	두번째 유효 Block	256byte
2~17	첫번째 각페이지별 CRC	32,768byte
18~33	두번째 각페이지별 CRC	32,768byte
34	자기진단데이터	20byte

Table 2. Backup RAM Information Code Table

No	Data	Kind
1	0x01	Power ON
2	0x02	Power OFF
3	0x03	CRC32 error
4	0x04	Check sum error
5	0x05	BBT error
6	0x06	ECC error
7	0x07	NAND ID error
8	0x08	NAND reset
9	0x09	BBT read

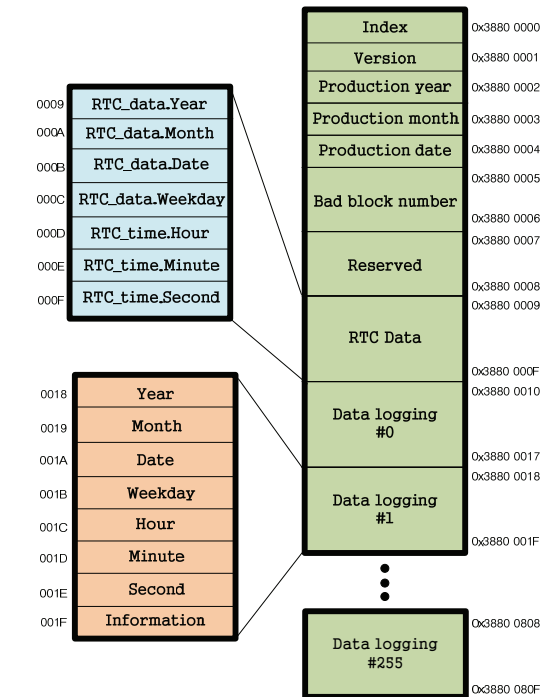


Fig. 3. Backup RAM memory map of memory module.

Fig 3은 Backup RAM의 메모리 구성이다. 0x38800000부터 Index, 버전, 생산연도, Bad block수, RTC data를 가지고 있으며 0x3880 0010부터 0x3880 080F까지 총 256개까지 자기진단을 통해 상황 발생을 인지하면 CPU내부의 Backup RAM에 년, 월, 일, 요일, 시, 분, 초, 정보 순서로 구성되며 각각 1byte, 총 8byte의 크기를 가진다. Table 2는 에러 정보 1byte에 대한 테이블이다. 전원의 ON, OFF, CRC32 error, Check sum error, BBT error 등 정보를 1byte를 이용해 0x00~ 0xFF까지 표시가 가능하다. 본 논문에 메모리 모듈에서 적용된 정보 데이터는 0x01~0x09까지 사용되었다.

### 2.2 데이터의 신뢰성 향상을 위한 알고리즘

본 논문에서 자기진단과 시계 기능을 갖는 비동기용 불휘발성 메모리 모듈의 알고리즘은 Fig. 4와 같이 제안한다. Fig. 4. (a)는 전원의 OFF시 알고리즘으로, 커패시터의 충전된 전압을 이용하여 작업중인 SRAM의 데이터를 NAND Flash에 저장을 하게 된다. 저장된 데이터의 CRC32, Check sum Data을 계산하여, RTC로 계산된 현재 시간과 함께 기록한다. Fig. 4. (b)는 전원이 ON시 알고리즘으로 전원 ON이 될 경우 NAND Flash에 저장했던 데이터들을 다시 SRAM으로 읽어오는 과정을 진행한다. 이때 저장된 CRC32 와 Check sum 값을 비교, 자기진단 하여 발생 시간과 정보 코드를 Backup RAM에 기록한다. 데이터의 문제가 있을 시ECC알고리즘을 거쳐 해당 데이터를 복구한다. RTC를 이용한 Data logging 기능이 추가된 Fig. 4의 알고리즘 적용으로 NVSRAM의 데이터 신뢰성과 안정성을 향상시켰다.

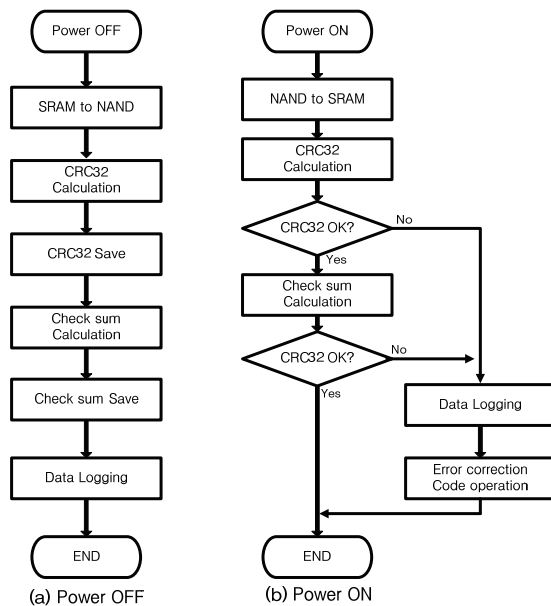


Fig. 4. Algorithm of the proposed memory module.

### 3. RTC 주파수의 정확도 향상 방법

CPU 내부의 RTC 정확도를 향상시키기 위해서는 외부 발진기를 사용해야 한다. 본 논문에 제안된 모듈의 외부 발진기(크리스탈, 오실레이터)는 32.768kHz의 크리스탈을 사용한다. STM32 시리즈에서는 자동 RTC 오차보정기능을 지원한다[11]. Fig 5와 같이 CPU내부 RTC의 오차정밀도를 향상하기위해 식 (2), (3)과 같이 2개의 프로그래밍이 가

능한 프리스케일러를 구현하였다. 또한, PREDIV\_A bit로 구성된 7-bit 비동기와 PREDIV\_S bit로 구성된 15-bit 동기 프리스케일러를 적용하여 RTC의 오차를 줄였다. 온도, 환경적인 영향 또는 외부 발진기 자체의 오차로 인한 오차가 발생하게 되면RTC의 내부 레지스터 값을 수정하여 정확도를 보정해야 한다. 식 (1)과 같이 CALP와 CALM 값을 조정하여 RTC CLK 펄스를 더하거나 뺌으로써 0.954ppm의 해상도로 -487.1ppm에서 +488.5ppm까지 편리하고 정확하게 조정이 가능하다.

$$F_{CAL} = F_{RTCLK} \times [1 + (CALP \times 512) / 2^{20} + (CALM - CALP \times 512)] \quad (1)$$

$$f_{CK\_APRE} = \frac{f_{RTCLK}}{PREDIV\_A+1} \quad (2)$$

$$f_{CK\_SPRE} = \frac{f_{RTCLK}}{(PREDIV\_S+1) \times (PREDIV\_A+1)} \quad (3)$$

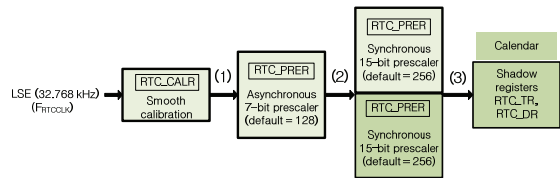


Fig. 5. RTC block diagram.

Table. 3를 참고하여 RTC오차 실험을 진행하였다. RTC CLK은 32.768kHz로 고정 후 CALP값과 CALM값을 변경하며 유효 교정 주파수 FCAL을 계산하였다. CALP 값이 1이고, CALM 값을 480으로 설정하였을 경우, RTC측정오차 0.23ppm, CALM 값이 498일 경우에는 0.019ppm, CALM값이 496일 경우에는 약 0.01ppm이하로 가장 정확했기 때문에 본 논문에 제시된 메모리 모듈은 해당 값을 사용하였다. 이러한 방법으로 RTC CLK을 설정하고 조정이 끝난 뒤 RTC 인터럽트를 사용하여 Data logging 기능을 구현했다.

Table 3. RTC calibration table

CALP	CALM	RTC_f(Hz)	FCAL	Delta_F
1	480	32768	32769.000	1.000
1	481	32768	32768.969	0.969
1	482	32768	32768.938	0.938
1	483	32768	32768.906	0.906
1	484	32768	32768.875	0.875
...	...	...	...	...
1	495	32768	32768.531	0.531
1	496	32768	32768.500	0.500
1	497	32768	32768.469	0.469
1	498	32768	32768.438	0.438

### 4. 실험 결과

정상동작을 확인하기 위해서 Fig 6에 보이는 32Mbyte NVSRAM의 시제품을 제작하였으며, PCB는 총 8층으로 구성하였다. 4개의 8Mbyte PSRAM과 1개의 1Gbyte NAND Flash, 제어하기 위한 STM32H750 CPU가 포함 되어있다.

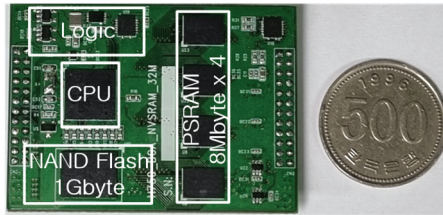


Fig. 6. Prototype of 32Mbyte NVSRAM.

Table 4는 기존의 판매하는 Cypress사 NVSRAM과 본 논문에서 제안된 모듈의 사양을 비교한 표이다. 기존 제품은 데이터 손상 및 복구에 대한 대책이 없지만, 본 논문에서는 이 데이터들을 손상을 감지하고 복구하는 알고리즘을 적용하였다.

Table 4. Comparing NVSRAM function

Specification	Cypress 2Mbyte NVSRAM	Proposed NVSRAM
Byte Size	2Mbyte	32Mbyte
BBT	X	O
ECC	X	O
Data Check sum	X	O
RTC	X	O
Data Logging	X	O

Fig 7, Fig 8은 제안된 기능들이 정상적으로 동작하는지 테스트를 하기 위해서 자기진단과 시계 기능을 갖는 비동기용 불휘발성 메모리 모듈의 시제품의 동작 파형을 오실로스코프로 캡처한 화면이다. Fig 7은 Host Board의 CPU와 NVSRAM의 CPU가 통신하는 파형으로 Host Board에서 요청을 보내게 되면, NVSRAM의 CPU Backup RAM의 데이터를 송신 하는 것이다. Fig 8은 NVSRAM의 읽고 쓰는 과정에서의 파형을 잡은 것이다. 아래 결과 파형들로부터 전원 OFF가 일어나게 되어도 CPU 내부의 Backup RAM에 저장된 RTC 데이터와 Logging data를 통해서 정확한 RTC의 값을 유지가 가능하고, 언제 어떠한 상황이 발생되었는지 확인할 수 있다.

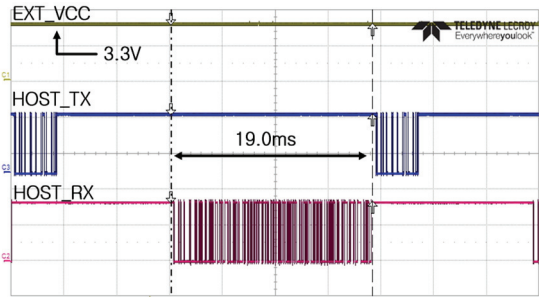


Fig. 7. Transferring data from backup RAM.

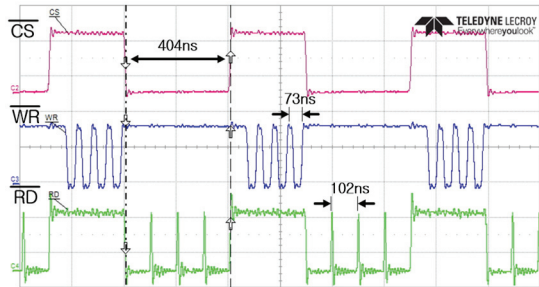


Fig. 8. Read/Write operation of NVSRAM

### 5. 결론

메모리는 데이터를 읽고 처리하는데 필수적인 역할을 한다. 휘발성 메모리는 전원이 OFF가 되면 모든 데이터가 지워지기 때문에 안정적인 시스템을 필요로 하는 곳에서는 휘발성 메모리와 불휘발성 메모리를 같이 사용하게 된다. 불휘발성 메모리는 전원이 OFF 상태에서도 데이터를 유지할 수 있어 시스템의 안정성 및 신뢰성을 향상시킬 수 있지만, 전기적 또는 물리적인 이유로 데이터의 오류 발생 가능성이 있다. 이러한 데이터 오류를 해결하기 위해 추가적인 알고리즘이나 시스템이 필요하다. 기존의 Cypress사의 2Mbyte NVSRAM 모듈은 데이터 저장과 읽는 과정에서 발생할 수 있는 데이터의 오류를 감지 및 복구하는 기능이 존재하지 않는다. 따라서, 본 논문에서는 이러한 문제를 해결하기 위해 전압 모니터링 회로, CRC32, Check sum data 데이터를 활용하여 데이터의 자기진단, ECC 알고리즘을 이용한 데이터의 복구, CPU 내부의 RTC를 사용한 Data logging 기능을 도입하여 데이터의 신뢰성과 안정성을 향상시켰다. 또한 자기진단과 시계 기능을 갖는 비동기용 불휘발성 메모리 모듈의 설계를 제안하였으며, 기존의 NVSRAM의 용량을 16Mbyte에서 32Mbyte로 설계하면서 상용화의 가능성을 제시하였다.



## 감사의 글

본 연구는 2023년도 청주대학교 연구장학과 중소기업 기술정보진흥원의 “산학연 Collabo R&D연구 사업(R&D, S3104570)” 및 정부(산업통상자원부)의 재원으로 한국산업 기술진흥원의 “2023년 산업혁신인재성장지원사업(P00170 11)” 지원을 받아 수행된 연구 결과입니다.

## 참고문헌

1. Tae-Hwan Kim, Hoon Chang, “PMBIST for NAND Flash Memory Pattern Test”, Journal of The Institute of Electronics and Information Engineers Vol. 51, No. 1, pp.79-89, 2014.
2. Yang, Hee Hun, Sung, Jae Young, Lee, Hwee Yeon, Jeong, Jun Kyo, Lee, Ga won, “Study on the Activation Energy of Charge Migration for 3D NAND Flash Memory Application”, Journal of Semiconductor & Display Technology Vol. 18, No. 2, pp. 82-86, 2019.
3. Kui-Yon Lee, “CCI Error Correction to Correct Bit-line Applied Voltage for MLC NAND Flash Memories”, The Journal of Korean Institute of Information Technology Vol. 12, No. 11, pp. 23-29, 2014.
4. Doo-Hwan Kim, Sang-Jin Lee, Ki-Hun Nam, Shi-Ho Kim, Kyoung-Rok Cho, “An Equalizing Algorithm for Cell-to-Cell Interference Reduction in MLC NAND Flash Memory”, The transactions of The Korean Institute of Electrical Engineers Vol. 59, No. 6, pp. 1095-1102, 2010.
5. Jisu Kwon, Daejin Park, “Acceleration of ECC Computation for Robust Massive Data Reception under GPU-based Embedded Systems”, Journal of the Korea Institute of Information and Communication Engineering Vol.24, No.7, pp.956-962, 2020.
6. Tae Hyun Kim, Oh Yang, and Jun Sang Yeon, “Design of Asynchronous Non-Volatile Memory Module using NAND Flash Memory and PSRAM”, Journal of Semiconductor & Display Technology Vol.19, No.3, pp.112-117, 2020.
7. Kim, Myeong Kyun, Yang, Oh, Chung, Won Sup, “Implementation of the FAT32 File System using PLC and CF Memory”, Journal of Semiconductor & Display Technology Vol. 11, No. 2, pp. 85-91, 2012.
8. CY14V116F7/CY14V116G7, 16-Mbit nvSRAM with Asynchronous NAND interface.pdf
9. Woohyeon Shin, Oh Yang, and Jun Sang Yeon, “Design of Asynchronous Nonvolatile Memory Module using Self-diagnosis Function”, Journal of Semiconductor & Display Technology Vol.21, No.1, pp.85-90, 2022.
10. [www.st.com/resource/en/datasheet/stm32h750ib.pdf](http://www.st.com/resource/en/datasheet/stm32h750ib.pdf)
11. Reference manual - stm32h750.pdf

---

접수일: 2023년 2월 24일, 심사일: 2023년 3월 16일,  
 게재확정일: 2023년 3월 22일