

PVP 나노와이어를 활용한 패턴된 그래핀의 직성장

이은호 · 방대석[†]

금오공과대학교 화학공학과

(2023년 10월 19일 접수, 2023년 11월 14일 수정, 2023년 11월 27일 채택)

Direct Growth of Patterned-Graphene Using PVP Nanowire Shadow Mask

Eunho Lee · Daesuk Bang[†]

Department of Chemical Engineering, Kumoh National Institute of Technology, Gumi 39177, Korea

(Received October 19 2023; Revised November 14, 2023; Accepted November 27, 2023)

요약: 우수한 기계적, 전기적 특성을 지닌 그래핀은 기존 재료보다 우수한 물성을 가지고 있기 때문에 전 세계의 많은 연구자들에게 각광을 받고 있다. 이러한 그래핀을 전자소자에 응용하기 위해서는 전사 과정 및 패터닝 공정이 반드시 필요하나, 이 과정에서 무수한 결함이 발생되어 그래핀의 특성을 크게 저하시킨다는 문제점이 있다. 그래핀의 우수한 특성 및 상용화를 위해 전사 과정 및 패터닝 공정을 한 번에 진행할 수 있는 공정 개발이 다양한 시도를 통해 행해지고 있다. 본 연구에서는 고분자 나노와이어를 마스크로 사용하여 정밀한 패턴과 동시에 그래핀이 직성장할 수 있는 새로운 성장법을 개발하였다. 개발된 새로운 성장법을 통해 미래의 나노소재 기반 우수한 전자소자를 구현할 수 있을 것이라 기대된다.

Abstract: Graphene, with its exceptional mechanical and electrical properties, has gained significant attention from researchers due to its superior characteristics compared to conventional materials. However, the application of graphene in electronic devices requires a crucial transcription and patterning process, which often introduces numerous defects, substantially impairing its properties. To overcome this limitation and unlock the full potential of graphene for commercial use, there have been various efforts to develop integrated processes for transcription and patterning. In this study, we present a novel growth method that simultaneously achieves precise patterning using polymer nanowires as masks, allowing for the direct growth of graphene. This innovative approach holds promise for realizing advanced electronic components based on nanomaterials in the future.

Keywords: Graphene, Chemical vapor deposition, PVP nanowire, Patterning

1. 서론

그래핀은 이차원 탄소 동소체로 기존 재료보다 우수한 전기적 특성, 기계적 특성 및 물리화학적 특성을 지니고 있어 각광을 받고 있다[1-3]. 특히 그래핀은 우수한 전기전도도를 지니고 있어 차세대 전자재료인 투명 전극 혹은 유연 전극으로의 응용이 활발하게 연구가 진행되고 있다[4,5]. 특히, 전극으로의 응용을 위해서는 표적 기판으로의 그래핀의 전사 과정 이후에 포토리소그래피(photolithography)

공정과 같은 후공정이 필수적이다. 하지만 전사 과정 및 패터닝 공정은 의도치 않는 그래핀의 결함을 야기하여 전기 전 특성 및 기계적 특성을 크게 저하시키는 문제점을 동반한다[6]. 그래핀과 표적 기판 사이의 표면 에너지 차이 및 포토레지스트 잔여물이 그래핀과 기판 사이의 계면의 특성을 크게 저하시켜 구동 안정성에 큰 영향을 미친다. 따라서, 이를 해결하기 위해 표적 기판 위에서 그래핀을 직성장 및 패터닝을 동시에 할 수 있는 성장법에 대한 연구가 필수적이다.

그래핀을 합성하는 방법에는 기계적 박리법(mechanical exfoliation), 화학적 박리법(liquid exfoliation) 및 화학기상

[†] Corresponding author: Daesuk Bang (dsbang@kumoh.ac.kr)

증착법(chemical vapor deposition) 등이 있다[7-9]. 이 중에서 화학기상증착법은 고품질의 그래핀을 대면적으로 합성할 수 있기에 다수의 연구자들이 이를 이용하고 있다. 예를 들어, Lee 그룹은 메탄 가스와 같은 기체 탄화수소 전구체가 아닌 고체 탄화수소 전구체를 화학기상증착법의 전구체로 활용할 경우, 그래핀의 직성장이 가능할 뿐만 아니라 패턴이 가능하다고 보고되어왔기에 고체 탄화수소 기반 화학기상증착법을 활용한 성장법 개발 시도가 꾸준히 진행되어왔다[10,11]. 그러나, 그래핀의 패턴링을 위한 섀도우 마스크(shadow mask)의 물리적인 구조 및 치수로 인해 마이크로미터 이하의 그래핀을 합성하기에는 어렵다는 단점이 존재했다. 전자소자의 소형화 및 집적도 향상에 따라 나노미터 수준에서의 그래핀 전극 패턴이 필요하기에 기존 방법으로는 이에 대한 기술적인 대응을 하기 어려웠다. 따라서 궁극적으로 그래핀 기반 전극을 활용하기 위해서는 직성장을 통한 고품질 그래핀 성장 및 나노미터 수준에서의 패턴링 공정에 대한 새로운 합성법 개발이 필수적이다.

본 연구에서는 그래핀의 패턴링을 위한 마스크로서 고분자 나노와이어를 활용하여 나노미터 수준에서의 그래핀 나노와이어를 직성장시키는 새로운 합성법을 개발하고자 한다. 안정적인 고분자 나노와이어 합성 및 대면적 공정이 가능한 E-jet 프린팅 기술을 활용해 표적 기판 위에서 PVP 나노 와이어를 정렬하고, 이를 통해 고체 전구체 패턴링을 정밀하게 제어할 수 있었다. 이 후, UV/Ozone 노출을 통한 고체 탄화수소의 전구체의 crosslinking 및 기판과의 계면 결합 형성을 통해 고온에서도 그래핀이 안정적으로 성장할 수 있었다. 또한, 서로 다른 용해도를 지닌 용매를 선정하여 PVP 나노와이어 제거 시, 고체 전구체의 손상을 최소화할 수 있었고, 이는 결국 고품질의 그래핀 합성을 가능하게 할 수 있었다. 본 연구를 통해 고집적화도를 필요로 하는 차세대 전자재료로서 그래핀 전극의 활용성을 크게 향상시킬 수 있었고, 그래핀을 포함한 다양한 나노 소재의 공정 개발을 통해 우수한 전자소자를 구현할 수 있을 것으로 기대된다.

2. 실험 방법

그래핀의 성장 전구체로 tetraphenyl naphthalene (TPN)을 chloroform에 녹여 10 mg/ml의 농도를 지닌 용액을 제조한다. 그 이후 300 nm의 SiO₂ 두께를 지닌 기판 위에 2,000 rpm 조건 하에 60초 동안 스핀 코팅 공정을 통해 TPN을 SiO₂/Si 기판 위에 증착한다(Fig. 1). 그 이후에, polyvinylpyrrolidone (PVP) 3 g을 3 ml의 DI water에 녹인 용액 및 E-jet 프린터를 활용하여 PVP 나노와이어를 SiO₂/Si 기판에 코팅되어있는 TPN 위에 분사하여 패턴된 PVP 나노와이어/TPN 층을 형성한다. 그 이후에 reactive ion etching (RIE)을 통해 노출된 TPN 층을 식각시키고, DI water로

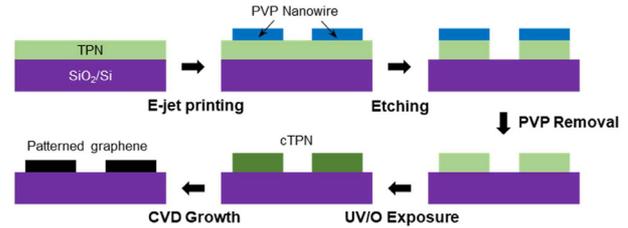


Figure 1. PVP 나노와이어 마스크를 이용한 패턴된 그래핀을 합성하는 모식도.

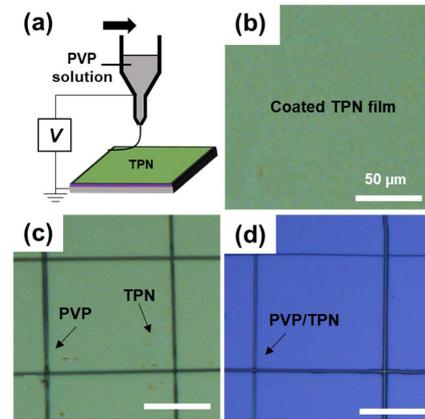


Figure 2. (a) PVP 용액을 활용한 E-jet 프린팅 모식도. (b) 스핀 코팅된 TPN, (c) TPN 위에 정렬된 PVP 나노 와이어, (d) 식각된 TPN의 광학 현미경 이미지.

TPN을 남겨두고 PVP 나노와이어만을 행귀낸다. 남겨진 TPN은 UV/Ozone에 약 20분간 노출시켜 crosslinking을 시킴과 동시에 기판과 계면 결합을 형성시킨다. 생성된 cross-linked TPN (cTPN)은 성장온도인 900°C까지 진공 챔버 내에서 온도를 10°C/min의 상승 속도로 올려준 뒤에 10 mTorr 압력 조건에서 40분간 그래핀을 성장시켜주었다. 성장 시간이 끝난 후에는 온도를 상온까지 급격하게 낮추준 뒤에 그래핀 샘플을 회수하였다.

합성된 그래핀의 전기적 특성을 알아보기 위하여 열 증착기(thermal evaporator)를 이용하여 금 전극을 약 50 nm 정도의 두께로 약 10⁻⁵ Torr의 고진공 챔버 내에서 증착하였다. 제작된 이단자그래핀 레지스터(two-terminal graphene resistor)는 프루브스테이션과 Keithley 4200 정밀 소스 측정기를 사용하여 소자의 전기적인 특성을 측정 및 분석하였다.

3. 결과 및 토론

먼저 그래핀의 전구체인 TPN을 표적 기판인 SiO₂/Si 기판 위에 스핀 코팅을 이용하여 전면적 증착하고자 하였다. 그 이후 Fig. 2a에서 보이는 것과 같이 E-jet 프린팅을 활용

하여 PVP 나노 와이어를 패터닝을 진행하여 고분자 마스크를 정렬하였다. 전면적으로 증착된 TPN은 Fig. 2b에서 보이는 바와 같이 균일하게 코팅 되어있는 것을 광학현미경 이미지를 통해 확인할 수 있었다. E-jet 프린팅을 활용하여 PVP 나노 와이어를 TPN 위에 분사한 결과 Fig. 2c에서 보이는 바와 같이 일정한 간격을 두고 선 모양으로 정렬이 잘 되어있었다. PVP 나노 와이어의 경우 DI water 기반 용액이기에 유기 용매에 녹는 TPN 박막의 모폴로지에 영향을 주지 않았다. 그 이후에 PVP 나노 와이어를 마스크 바깥으로 노출되어 있는 TPN을 reactive ion etching (RIE)을 활용하여 식각하였다 (Fig. 2d). 그 결과 SiO₂ 기판이 드러나고 PVP 나노 와이어 및 그 하부에는 TPN이 남아있음을 확인할 수 있었다.

PVP 나노 와이어의 마스크로서의 RIE 저항을 알아보기 위해 원자힘 현미경(atomic force microscopy, AFM)을 측정하였다(Fig. 3a). PVP 나노 와이어의 두께가 너무 얇은 경우 RIE에 의해 희생되는 층(sacrificial layer)으로서의 역할을 할 수 없기에 마스크로서의 역할을 제대로 할 수 없을 것이다. 반면에 PVP 나노 와이어의 두께가 어느 정도 두꺼우면 RIE가 진행되는 동안에 희생층으로서의 역할을 할 수 있고, 이는 결국 하부의 TPN 층을 성공적으로 지킬 수 있을 것이다. PVP 나노 와이어 한 가닥의 두께를 측정해본 결과, 나노 와이어의 폭은 약 400nm, 그리고 두께는 700 nm 정도의 두께를 지니고 있음을 확인할 수 있었다(Fig. 3b).

충분한 두께를 지니고 있는 PVP 나노 와이어를 DI water를 이용하여 PVP/TPN 층에서 PVP 나노 와이어만을 선택적으로 제거하였다. 그 결과 Fig. 4a에서 보이는 바와 같이 PVP 나노 와이어만 사라지고 패터닝된 TPN이 유지하고 있음을 확인할 수 있었다. TPN을 전구체로 그래핀을 성장시킬 경우 고온에서 쉽게 증발할 수 없도록 UV/Ozone 처리를 통해 crosslinking 및 계면 화학결합을 만들어낸다(Fig. 4b)[10]. 그리고 난 이후에 900°C의 온도에서 CVD를 활용하여 그래핀을 성장시키고자 하였다. 그 결과 성장된 그래핀은 앞에서 TPN의 패터닝된 모양대로 성장함을 알 수 있었다(Fig. 4c). 또한, 성장된 그래핀의 품질을 확인하기 위해 Raman spectra를 532 nm의 파장을 이용하여 측정해보았다(Fig. 4d). 합성된 그래핀은 고유 라만 peak인 D-peak (1,350 cm⁻¹), G-peak (1,587 cm⁻¹), 2D-peak (2,750 cm⁻¹)를 나타냄을 알 수 있었다. 합성된 그래핀의 I2D/IG 비율이 약 0.62로 다층 그래핀임을 알 수 있었다. 또한, 그래핀의 결합과 관련된 D-peak이 나타난 것으로 미루어 보아 결함이 다소 그래핀 내에 만들어져 있음을 알 수 있었다.

합성된 그래핀의 전기적 특성을 알아보기 위해 이단자 그래핀 레지스터(two-terminal graphene resistor)를 만들어 보았다(Fig. 5a). 전극과 전극 간의 거리인 채널의 길이를 100 μm 로 정하였고, 열 증착기를 통해 금 전극은 약 50 nm 정도의 두께로 올렸다. 두 전극 사이에는 그래핀 나노

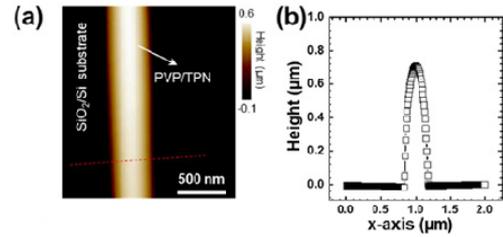


Figure 3. (a) PVP 나노 와이어의 원자힘 현미경 이미지. (b) PVP 나노 와이어의 두께 및 폭을 나타내는 그래프.

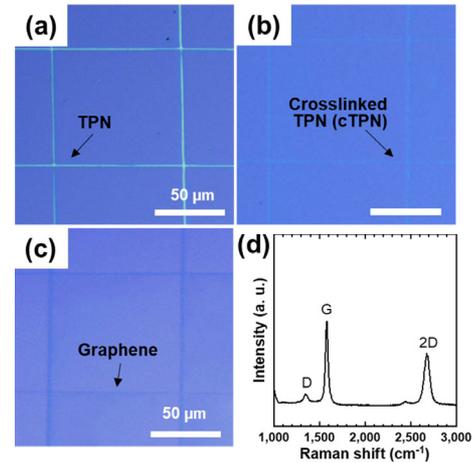


Figure 4. (a) 패터닝된 TPN, (b) UV/O에 노출된 crosslinked TPN, (c) CVD 공정을 통해 성장된 그래핀의 광학 현미경 이미지. (d) 성장된 그래핀의 Raman spectra.

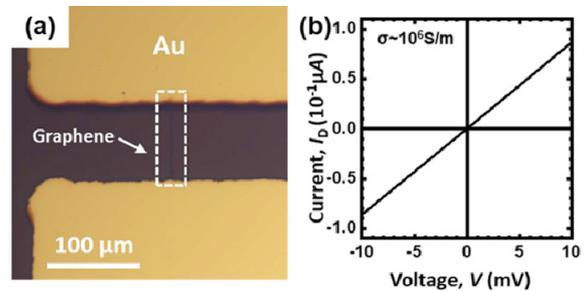


Figure 5. (a) 이단자 그래핀 레지스터 소자의 광학 현미경 이미지. (b) 측정된 그래핀의 전류-전압 그래프.

와이어 한 가닥만이 전류의 채널로 작용하게 하여 그래핀 나노 와이어의 전기 전도도를 알아보하고자 하였다(Fig. 5b). 전압은 -10 mV에서 10 mV까지 범위로 지정하였고, 측정된 그래핀의 전기 전도도(conductivity)는 7.3×10^6 S/m이다. 이는 일반적인 실험적으로 얻어진 그래핀의 전기 전도도보다 우수한 값을 가지며, 특히 전사 과정 없이 얻어진 그래핀의 높은 전기 전도도에 해당된다[12-14]. 이러한 높은 전기 전도도가 얻어질 수 있었던 이유는 전사 과정 없이 그래

핀의 결함을 최소화할 수 있었고, 이와 더불어 단일층 그래핀이 아닌 다층의 그래핀이 얻어져 상대적으로 높은 전기 전도도 값을 나타냄을 추측할 수 있다.

4. 결론

본 연구에서는 이차원 소재인 그래핀의 우수한 전기적 특성을 차세대 전자재료서 응용을 위한 새로운 패턴링을 포함하는 합성법을 개발하였다. 고분자 나노 와이어를 희생층으로 하여 고체 전구체의 패턴링 공정을 정교하게 제어할 수 있었고, 이는 결과적으로 선 폭이 얇은 그래핀 나노 와이어를 표적 기판 위에서 직성장시킬 수 있었다. 표적 기판 위에서 합성된 그래핀 나노 와이어는 우수한 전기 전도도를 가지고 있음을 이단자 그래핀 레지스터 소자를 제작하여 확인할 수 있었다. 기존 금속 기반의 마스크가 아닌 유기 고분자 나노 와이어를 사용함으로써 정교한 패턴링 뿐만 아니라 공정의 경제적인 측면에서 우수하기에 향후 차세대 전극 증착 공정 개발을 통한 다양한 산업적 응용이 가능할 것으로 기대한다.

Acknowledgement

이 연구는 금오공과대학교 학술연구비로 지원되었음 (202103770001).

References

1. K. S. Novoselov, A. K. Geim, S. V. Morozov, D. Jiang, Y. Zhang, S. V. Dubonos, I. V. Grigorieva, A.

- A. Firsov, *Science*, **306**, 666-669 (2004).
2. R. R. Nair, P. Blake, A. N. Grigorenko, K. S. Novoselov, T. J. Booth, T. Stauber, N. M. R. Peres, A. K. Geim, *Science*, **320**, 1308 (2008).
3. C. Lee, X. Wei, J. W. Kysar, J. Hone, *Science*, **321**, 385-388 (2008).
4. S. G. Lee, E. Lee, *J. Adhes. Interface*, **22**, 79-84 (2021).
5. Y. Chen, Y. Yue, S. Wang, N. Zhang, J. Feng, H. Sun, *Adv. Electron. Mater.*, **5**, 1900247 (2019).
6. H. H. Kim, S. K. Lee, S. G. Lee, E. Lee, K. Cho, *Adv. Funct. Mater.*, **26**, 2070-2077 (2016).
7. M. Yi, Z. Shen, *J. Mater. Chem. A*, **3**, 11700-11715 (2015).
8. Z. Li, R. J. Young, C. Backes, W. Zhao, X. Zhang, A. A. Zhukov, E. Tillotson, A. P. Conlan, F. Ding, S. J. Haigh, K. S. Novoselov, J. N. Coleman, *ACS Nano*, **14**, 10976-10986 (2020).
9. M. Saeed, Y. Alshammari, S. A. Majeed, E. Al-Nasrallah, *Molecules*, **25**, 3856 (2020).
10. E. Lee, S. G. Lee, H. C. Lee, M. Jo, M. S. Yoo, K. Cho, *Adv. Mater.*, **30**, 1706569 (2018).
11. J. Seong, D. Lee, E. Lee, *J. Adhes. Interface*, **23**, 75-79 (2022).
12. L. Rizzi, A. Zienert, J. Schuster, M. Köhne, S. E. Schulz, *ACS Appl. Mater. Interfaces*, **10**, 43088-43094 (2018).
13. H. Murata, Y. Nakajima, N. Saitoh, N. Yoshizawa, T. Suemasu, K. Toko, *Sci. Rep.*, **9**, 4068 (2019).
14. C. Pan, A. P. S. Gaur, M. Lynn, M. P. Olson, G. Ouyang, J. Cui, *AIP Adv.*, **12**, 015310 (2022).