

# BCAT구조 DRAM의 패싱 워드 라인 유도 누설전류 분석

## Analysis of Passing Word Line Induced Leakage of BCAT Structure in DRAM

김수연\*, 김동영, 박제원, 김신욱, 임채혁, 김소원, 서현아,  
이주원, 이혜린, 윤정현, 이영우, 조형진, 이명진\*

Su Yeon Kim\*, Dong Yeong Kim, Je Won Park, Shin Wook Kim, Chae Hyuk Lim,  
So won Kim, Hyeona Seo, Hye Rin Lee, Ju Won Kim, Jeong Hyeon Yun,  
Young-Woo Lee, Hyoung-Jin Joe, Myoung Jin Lee\*

### Abstract

As the cell spacing decreases during the scaling process of DRAM(Dynamic Random Access Memory), the reduction in STI(Shallow Trench Isolation) thickness leads to an increase in sub-threshold leakage due to the passing word line effect. The increase in sub-threshold leakage current caused by the voltage applied to adjacent passing word lines affects the data retention time and increases the number of refresh operations, thereby contributing to higher power consumption in DRAM. In this paper, we identify the causes of the passing word line effect through TCAD Simulation. As a result, we confirm the DRAM operational conditions under which the passing word line effect occurs, and observe that this effect alters the proportion of the total leakage current attributable to different causes. Through this, we recognize the necessity to consider not only leakage currents due to GIDL(Gate Induced Drain Leakage) but also sub-threshold leakage currents, providing guidance for improving DRAM structure.

### 요약

DRAM(Dynamic Random Access Memory) 스케일링 과정에서 발생하는 셀간 거리의 감소에 따라 STI(Shallow Trench Isolation) 두께 감소는 문턱이하 누설이 증가되는 패싱워드라인 효과를 유발한다. 인접한 패싱워드라인에 인가된 전압으로 인한 문턱이하누설 전류의 증가는 데이터 보존시간에 영향을 주며, 리프래시의 동작 횟수가 증가되어 DRAM의 소비 전력을 증가시키는 요인이 된다. 본 논문에서는 TCAD Simulation을 통해 패싱워드라인 효과에 대한 원인을 확인한다. 결과적으로, 패싱워드라인 효과가 발생하는 DRAM 동작상황을 확인하고, 이때 패싱워드라인 효과로 인해 전체 누설전류의 원인에 따른 비중이 달라지는 것을 확인하였다. 이를 통해, GIDL(Gate Induced Drain Leakage)에 의한 누설전류뿐만 아니라 문턱이하 누설전류를 고려의 필요성을 확인하며 이에 따른 DRAM 구조의 개선 방향의 지침이 될 수 있다.

*Key words : DRAM, Passing Word Line, BTBT, Subthreshold, Leakage current*

\* Professor, Dept, of ICT Convergence System Engineering and Electronic Communication Engineering, Chonnam National University, Gwangju 61186, South Korea

★ Corresponding author

E-mail : mjlee@jnu.ac.kr, Tel : +82-62-530-1810

※ Acknowledgment

This research was supported by "Regional Innovation Strategy (RIS)" through the National Research Foundation of Korea(NRF) funded by the Ministry of Education(MOE)(2021RIS-002).

The EDA tool was supported by the IC Design Education Center (IDEC), South Korea.

Manuscript received Dec. 5, 2023; revised Dec. 19, 2023; accepted Dec. 27, 2023.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

### I. 서론

Dynamic Random Access Memory(DRAM)의 스케일링에서 나타나는 과제에서 센싱 마진과 긴 리프레시 간격은 연관이 있음이 확인되었다[1], [2]. 리프레시 동작은 DRAM의 전력 소모를 증가시키기 때문에 내부 동작 상황에 따른 누설전류를 분석하여, 데이터 저장 실패가 없도록 최적화된 리프레시 동작 간격을 설정하는 것은 메모리 신뢰성에 매우 중요하다[3]. 현재, 사물 인터넷의 확장과 AI 기술의 발전은 저 전력 고성능 DRAM에 대한 수요가 증가함에 따라 DRAM 스케일링이 진행되었다. 이로 인해 커패시터의 크기와 인접 셀간 거리가 감소함에 따라 DRAM의 누설전류에 대한 정밀한 연구가 필요하다. DRAM에 누설전류의 주요한 원인으로 밝혀진 Gate Induced Drain Leakage(GIDL)은 지속적인 연구를 통해 이를 감소하기 위한 방안으로 DRAM의 트랜지스터를 Buried Channel Array Transistor(BCAT)의 구조로 발전시켰다. BCAT구조를 통해 Gate Induced Drain Leakage(GIDL)은 상당부분 감소되었지만, 여전히 데이터 저장 시간을 위협하는 누설전류의 주요 원인은 밴드간 터널링에 의한 누설과 문턱이하누설이 있다[4]. 또한, 스케일링 과정에서 Shallow Trench Isolation(STI)두께가 축소되면서 패싱워드라인을 완전히 격리시키지 못하게 되면서, 소자 내부의 문턱이하 누설 전류가 증가하는 현상이 발견되었다. 본 논문에서는 TCAD 시뮬레이션을 이용하여 DRAM의 동작 상황에 따른 누설전류를 분석하여 밴드간 터널링 누설과 문턱이하 누설의 비중을 확인한다. 특히, 패싱워드라인 동작으로 인한 접합 전류의 증가 현상과 문턱이하 누설의 비중이 전체 누설의 30%에 달하게 되는 것을 확인하며, 스케일링 과정에서 문턱이하 누설의 영향력이 증가하고 이를 고려한 소자 구조 개발의 필요성을 제안한다.

### II. 본론

#### 1. 시뮬레이션 구조

DRAM은 트랜지스터와 커패시터의 크기를 감소시키는 방향으로 발전을 거듭하고 그림 1과 같은 6F2의 레이아웃을 택하면서, 패싱워드라인은 작동 셀과의 물리적 거리를 더 좁혀왔다.[5] 패싱워드라인과 작동 셀의 거리가 감소가 누설전류를 증가시키는 현상을 분석하기 위해 다음 그림 2의 구조로 시뮬레이션을 진행하였다.

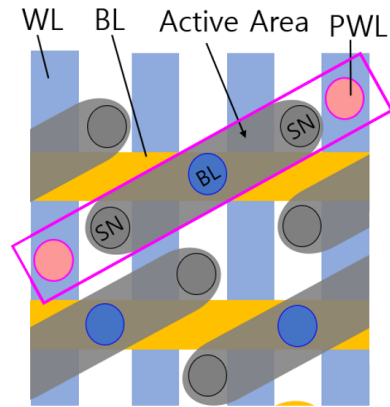


Fig. 1. 6F2 Layout.  
그림 1. 6F2 레이아웃

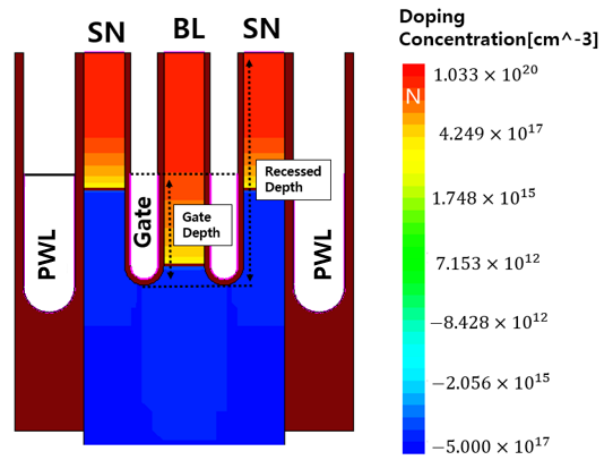


Fig. 2. BCAT Simulation Structure Cross Section.  
그림 2. BCAT 시뮬레이션 구조도

6F2 레이아웃을 고려해서 시뮬레이션에서 사용되는 구조는 2 Cell로 제작했지만 왼쪽의 셀만 사용했다. STI 두께는 6nm이며, 도핑 프로파일과 BCAT의 구조는 이전의 연구에서 검증된 도핑 및 시뮬레이션 모델이 이용되었다[6].

#### 2. 패싱 워드라인 동작으로 인한 밴드간 터널링 누설증가

그림 3은 패싱워드라인의 인가전압의 증가에 따른 누설 전류의 구성비를 나타낸다. 문턱이하 누설과 관련된 비트라인 누설전류는 패싱워드라인의 전압이 2.5V가 되면, 36%에 도달하고 94%에 달하던 GIDL관련 지표인 서브스트레이트 누설은 64%정도로 감소되는 것이 확인된다.

그림 4은 패싱워드라인의 동작상태일 때 전위를 나타낸 분포도이다. 패싱워드라인의 동작은 스토리지 노드 하단부에 그림 4와 같은 정전기적 변화를 만들어 이로

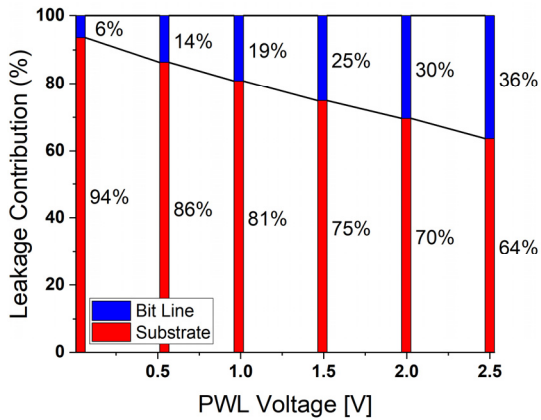


Fig. 3. diagrams including a leakage current contribution according to the passing word line voltage.

그림 3. 패싱 워드라인 전압에 따른 누설전류 기여도를 포함한 도표

인해 활성 영역의 게이트부터 패싱워드라인 사이에는 강한 전기장이 형성된다[7, 8].

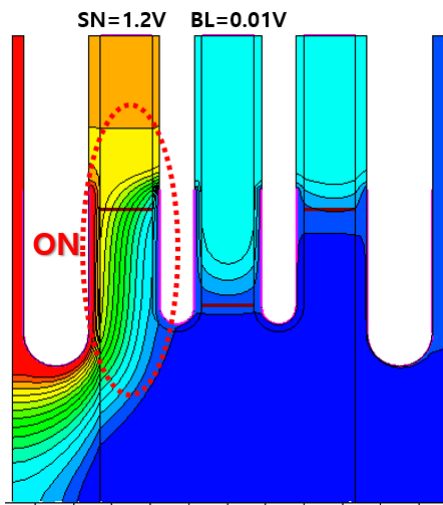


Fig. 4. Cross Sectional View of Electric Potential Distribution.

그림 4. 전위 분포도

패싱워드라인의 동작으로 생성된 전기장은 그림 5에 보인 것처럼 패싱워드라인과 게이트 사이의 영역에서 밴드 간 터널링에 의한 누설을 발생시킨다. 따라서 N도핑 영역과 게이트 중복 영역에서만 주요 발생하던 밴드 간 터널링 누설의 영역이 확장되며 누설이 증가하게 된다.

패싱워드라인의 동작에 따라 증가하는 누설의 양은 그림 6를 통해 확인할 수 있다. 패싱워드라인의 동작으로 전체누설은  $V_{PWL}=2.5V$ 에 도달하였을 때 전체 누설의 양은  $V_{PWL}=0V$  대비 85% 증가한  $4.89 \times 10^{-15}$ 이다. 밴

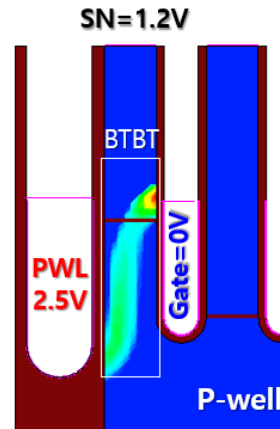


Fig. 5. Cross Sectional View of Band To Band Tunneling distribution.

그림 5. BTBT 분포도

드긴 터널 링으로 발생한 누설은 기판 전류를 통해 확인할 수 있다. 동일하게 패싱워드라인의 전압이 증가하였을 때 기판으로 흐르는 누설의 양은 25% 증가한다. 패싱워드라인에 의해 밴드간 터널 링의 발생이 증가하여, 이는 전체 누설의 증가량에 기여하지만, 앞선 그림 3에서 언급 했듯이 이는 전체의 36%이다.

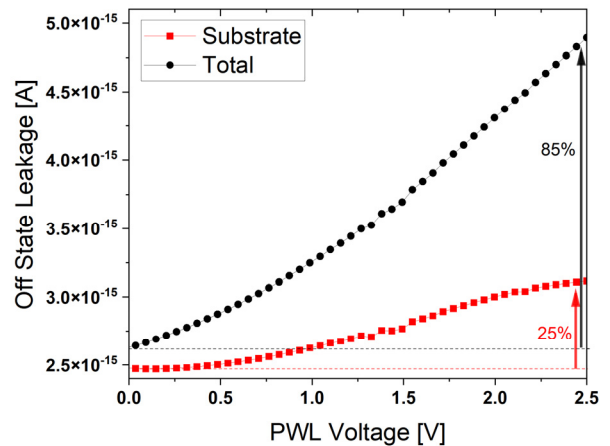


Fig. 6. Off State Leakage Current Graph For Substrate Current.

그림 6. 기판 전류에 대한 오프 상태 누설 그래프

### 3. 패싱워드라인 동작으로 인한 문턱이하 누설 전류 증가

패싱워드라인은 문턱 이하 누설을 유도한다. 읽기 쓰기 및 프리차지 동작에서 비트라인은 0V, 0.6V, 1.2V의 전압이 인가되며 동작한다. 그 중, 해당 셀의 게이트 전압이 0V로 꺼진 상태이지만 패싱워드라인, 스토리지 노드, 비트라인 간의 전압차로 인해 전자는 이동될 수 있다.

그림 7의 전자 전류 밀도 단면도는 비트라인과 스토리

지 노드의 전압차가 약 1.2V인 동작 상황이다. 패싱워드라인에 인가된 전압으로 인해 게이트인근 에너지 배리어가 낮아지면서 비트라인-STI표면-스토리지 노드의 경로로 이동하는 전자를 보여준다. 패싱워드라인의 고전압으로 인해 STI 방향으로 급격한 전도대의 구부러짐이 발생하기 때문에 이는 문턱이하 전류의 메커니즘이 된다[9, 10].

그림 8은 문턱이하 누설에 의해 발생하는 비트라인 누설 전류를 보여준다. 비트라인은  $V_{PWL}=0V$ 일 때  $1.69 \times 10^{-16}A$ 이였지만,  $V_{PWL}=2.5V$  일 때  $1.7 \times 10^{-15}A$ 로 10배 증가한다. 또한 이때 전체 누설에 대한 기여율이 36%에 달함을 확인했으며, 문턱이하 누설이 전체 누설에 기여하는 바가 커짐을 확인할 수 있었다.

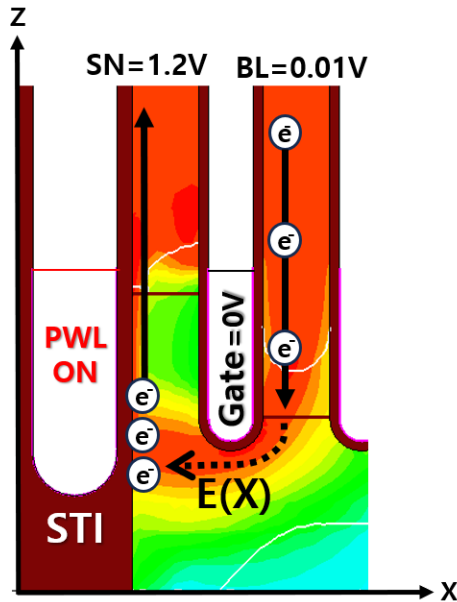


Fig. 7. Cross Sectional View Of Electron Current Density.  
그림 7. 전자 전류 밀도 단면도

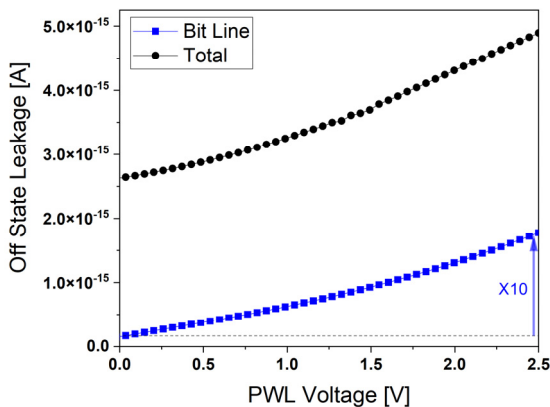


Fig. 8. Off State Leakage Current graph for Bit Line current.  
그림 8. 비트라인 전류에 대한 오프 상태 누설 그래프

### III. 결론

현대 요구에 충족시키는 차세대 DRAM 기술 개발을 위해서는 다양한 조건에서 DRAM의 신뢰성 문제가 발생하지 않도록 누설전류에 대한 정밀한 분석이 필요하다.

본 논문에서는 DRAM의 스케일링 과정에서 패싱워드라인과의 거리가 감소하고 있으며, 이때 접합 누설과 문턱이하누설 증가 현상을 확인하였고, 누설전류의 비중을 비교함으로써 누설 전류 취약 동작을 분석하였다. 패싱워드라인을 고려하지 않거나, 패싱워드라인이 꺼져있는 상황에서는 비트라인을 통해 흐르는 문턱이하 누설이 6%에 불과했다. 하지만, 패싱워드라인의 동작은 문턱이하 누설이 36%까지 증가하게 만드는 요인이 되기 때문에 패싱워드라인에 의한 셀간 간섭 효과에 대해 주목해야함을 시사한다.

### References

[1] M. J. Lee, K. W. Park, "A mechanism for dependence of refresh time on data pattern in DRAM," *IEEE Electron Device Lett.*, vol.31, no.2, pp.168-170, 2010. DOI: 10.1109/LED.2009.2038243

[2] M. J. Lee, "A sensing noise compensation bit line sense amplifier for low voltage applications," *IEEE J. Solid-State Circuits*, vol.46, no.3, pp.690-694, 2011. DOI: 10.1109/JSSC.2010.2102570

[3] M. T. Bohr, "Nanotechnology goals and challenges for electronic applications," in *IEEE Transactions on Nanotechnology*, vol.1, no.1, pp. 56-62, 2002. DOI: 10.1109/TNANO.2002.1005426

[4] T. Hamamoto, S. Sugiura and S. Sawada, "On the retention time distribution of dynamic random access memory (DRAM)," in *IEEE Transactions on Electron Devices*, vol.45, no.6, pp.1300-1309, 1998. DOI: 10.1109/16.678551

[5] A. Spessot and H. Oh, "1T-1C Dynamic Random Access Memory Status, Challenges, and Prospects," in *IEEE Transactions on Electron Devices*, vol.67, no.4, pp.1382-1393, 2020. DOI: 10.1109/TED.2020.2963911

[6] J. H. Park et al., "Row Hammer Reduction Using a Buried Insulator in a Buried Channel Array Transistor," in *IEEE Transactions on Electron*

*Devices*, vol.69, no.12, pp.6710-6716, 2022.

DOI: 10.1109/TED.2022.3215931

[7] Y. Sun, X. Liu, N. Wang, J. Jeon, B. Wu and K. Cao, "Trap-Assisted Passing Word Line Leakage and Variable Retention Time in DRAM," *2021 IEEE 4th International Conference on Electronics Technology (ICET)*, Chengdu, China, 2021, pp. 338-341 DOI: 10.1109/ICET51757.2021.9451059

[8] S. K. Gautam, S. K. Manhas, A. Kumar and M. Pakala, "Mitigating the Passing Word Line Induced Soft Errors in Saddle Fin DRAM," in *IEEE Transactions on Electron Devices*, vol.67, no.4, pp. 1902-1905, 2020. DOI: 10.1109/TED.2020.2975758

[9] E. P. Vandamme, P. Jansen and L. Deferm, "Modeling the subthreshold swing in MOSFET's," in *IEEE Electron Device Letters*, vol.18, no.8, pp.369-371, 1997. DOI: 10.1109/55.605442

[10] D. J. Wouters, J. P. Colinge, and H. E. Maes, "Subthreshold slope in thin-film SOI MOSFETs," *IEEE Trans. Electron Devices*, vol.37, pp.2022-2033, 1990. DOI: 10.1109/16.57165

## BIOGRAPHY

### Su Yeon Kim (Member)



2021 : BS degree in Physics, Chonnam National University.  
2023 : MS degree in ICT Convergence System Engineering, Chonnam National University.

### Dong Yeong Kim (Member)



2021: BS degree in Electrical Engineering, Chonnam National University.  
2023 : MS degree in ICT Convergence System Engineering, Chonnam National University.

### Je Won Park (Member)



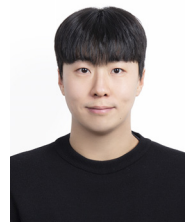
2021: BS degree in Physics, Chonnam National University.  
2023~ : MS degree in ICT Convergence System Engineering, Chonnam National University.

### Shin Wook Kim (Member)



2023: BS degree in Chemical Engineering, Chonnam National University.  
2023~ : MS degree course in ICT Convergence System Engineering, Chonnam National University.

### Chae Hyuk Lim (Member)



2018~present : BS degree course of Electrical Engineering, Chonnam National University.

### So won Kim (Member)



2020~present : BS degree course of Electrical Engineering, Chonnam National University.

### Hyeona Seo (Member)



2020~present : BS degree course of Electrical Engineering, Chonnam National University.

**Ju Won Kim (Member)**

2020~present : BS degree course of Electrical Engineering, Chonnam National University.

**Jeong Hyeon Yun (Member)**

2018~present : BS degree course of Electrical Engineering, Chonnam National University.

**Hye Rin Lee (Member)**

2020~present : BS degree course of Electrical Engineering and Mathematics, Chonnam National University.

**Young-Woo Lee (Member)**

2011 : B.S. degree in electronic engineering, Inha University, Incheon.  
2015~2020 : M.S. and Ph.D. degrees in electrical and electronic engineering, Yonsei University, Seoul.

2011~2015 : Senior Engineer, SoC Test Division, Teradyne, Seoul

2016~2020 : Instructor, Department of Electrical and Electronic Engineering, Yonsei University, Seoul

2020~2021 : Staff Engineer, Test and System Package, Samsung Electronics

2021~ : Professor, Department of Computer Information and Communication Engineering in Chonnam National University, Gwangju.

**Hyoung-Jin Joe (Member)**

1989~1991 : B.S and M.S. degrees in materials engineering, Seoul National University, Seoul.

2002 : Ph.D. degree in electrical engineering, Cincinnati University, Cincinnati.

1993~1997 : Research Engineer, Korea Electronics Technology Institute.

2002~ : Professor, Department of Mechanical and Aerospace Engineering, University of Central Florida, Orlando.

**Myoung Jin Lee (Member)**

2001 : B.S. degree in Electrical Engineering, Korea University.

2003~2007 : M.S. and Ph.D. degrees, in Electrical Engineering, Seoul National University.

2007~2011 : Senior Research Engineer, Advanced Circuit Design Team, Hynix Semiconductor Inc. Icheon.

2014~ : Professor, Department of Electronic Engineering and ICT Convergence System Engineering, Chonnam National University, Gwangju, South Korea.