

FPGA를 활용한 DC계통 고장진단에 관한 연구

A Study on fault diagnosis of DC transmission line using FPGA

김 태 훈*, 채 준 수*, 이 승 윤*, 안 병 현*, 박 재 덕*, 박 태 식**

Tae-Hun Kim*, Jun-Soo Che*, Seung-Yun Lee*, Byeong-Hyeon An*,
Jae-Deok Park*, Tae-Sik Park**

Abstract

In this paper, we propose an artificial intelligence-based high-speed fault diagnosis method using an FPGA in the event of a ground fault in a DC system. When applying artificial intelligence algorithms to fault diagnosis, a substantial amount of computation and real-time data processing are required. By employing an FPGA with AI-based high-speed fault diagnosis, the DC breaker can operate more rapidly, thereby reducing the breaking capacity of the DC breaker. therefore, in this paper, an intelligent high-speed diagnosis algorithm was implemented by collecting fault data through fault simulation of a DC system using Matlab/Simulink. Subsequently, the proposed intelligent high-speed fault diagnosis algorithm was applied to the FPGA, and performance verification was conducted.

요 약

본 논문에서는 DC 계통의 지락고장시 고속 고장진단을 위해 FPGA를 이용한 인공지능기반 고장진단 방법을 제안한다. 인공지능 알고리즘을 고장진단에 적용시 많은 연산량과 대용량의 실시간 데이터 처리가 요구된다. 또한 DC 계통에서의 고장 및 사고는 고장 전류의 빠른 상승률로 인하여 DC 차단기가 고속 차단능력이 필요하다. 인공지능기반 고속 고장진단이 가능한 FPGA를 사용하여 DC 차단기가 더 빠르게 동작함으로써, DC 차단기의 차단용량을 줄일 수 있다. 따라서 본 논문에서는 Matlab Simulink를 이용하여 DC계통의 고장 모의를 통해 고장데이터를 수집하여 지능형 고속 진단 알고리즘 구현하였으며, FPGA에 지능형 고속고장 진단 알고리즘을 적용 및 성능검증을 하였다.

Key words : AI algorithm, Deep neural network, DC fault detection, field programmable gate array, Matlab Simulink

* Dept. of Electrical Engineering, Mokpo National University

★ Corresponding author

E-mail : points33@naver.com, Tel : +82-61-450-2465

※ Acknowledgment

This research was supported by "Regional Innovation Strategy(RJS)" through the National Research Foundation of Korea(NRF) funded by the Ministry of Education(MOE) (2021RIS-002)

This work was supported by the National Research Foundation of Korea(NRF) grant funded by the Korea government(MSIT) (No.NRF-2022R1A2C1013445).

Manuscript received Dec. 13, 2023; revised Dec. 20, 2023; accepted Dec. 27, 2023.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

1. 서론

전력 산업은 지속 가능하고 효율적인 에너지 전송 시스템을 구축하기 위해 지속적인 혁신과 연구를 진행하고 있다. 최근 신재생에너지원의 증가와 DC 부하증가 및 고효율의 전력변환 기술 발전으로 인하여 DC 전력 송·배전에 대한 관심이 증가하고 있으며 이는 DC 전력전송 기술의 발전과 향상된 전력 전자 기술에 기반하고 있다. DC 전력 시스템은 AC 시스템에 비해 무효전력 성분이 생성되지 않기 때문에 전력전송 효율 및 전력 손실 감소에서 장점을 가지고 있다. 또한 DC 송·배전시 AC와 동일한 전압조건에서 최대 $\sqrt{2}$ 배 만큼의 절연 내력을 저감시킬 수 있어 DC 시스템 적용시 케이블의 크기를 감소시키고 무게와 부피를 줄이는 데 기여하여 비용을 절감하고 효율성을 향상시킬 수 있다. 특히, DC 전력 시스템은 경제적으로 매우 중요한 역할을 할 수 있을 뿐만 아니라, 전원 소스와 부하의 전력 변환기의 전력변환 단계를 감소시켜 전력 손실을 최소화하여 AC에 비해 전체적인 효율성을 높이는 데 기여가 가능하다. 또한 DC 송배전망 내에서 분산 자원 및 재생에너지원은 대부분 전력 변환기를 사용하여 에너지 효율성 증대와 운영 유연성을 향상시켜 전력 시스템의 혁신과 에너지 지속가능성을 높이고 있다. 그러나, 현재까지도 DC 시스템의 적용은 제한적인데, DC 계통 내에서 고장 및 사고가 일어날 때 DC 고장전류는 빠른 상승률과 일정한 에너지를 유지하고 있어 기존 AC 전류 차단보다 DC 고장전류의 차단이 어려움이 있다. Fig. 1처럼 AC 계통의 경우 교번하는 전류로 인하여 영점(Zero-crossing)부분에서 AC 차단기가 고장전류 차단이 가능 하지만 DC 계통의 경우 DC 차단기는 고장시의 계통에서의 고장 전류를 흡수할 수 있는 MOSA(Metal oxide surge arrester)와 같은 부가적인 장치가 필요 하며, 최대 고장전류에 도달하기 전에 AC 차단기보다 약 10배 빠르게 동작되는 고용량의 반도체 스위치가 필요하다[1]. 만약 차단 및 소호 시간이 늦어질수록 DC 계통의 컨버터 및 전력변환 반도체는 높은 고장전류에 의한 장비의 고장 및 손실이 일어날 수 있다. DC 차단기의 경우 신속한 응답을 위해 1~3ms 범위 안에서 릴레이 동작 시간이 요구되고 있다[2].

또한 DC 계통의 차단기는 고속 DC 차단기술과 고장 전류를 해소할 수 있도록 역전압을 생성 및 유지 할 수 있는 고용량의 차단장치가 필요하다. 그러므로 DC 계통의 선로에서 고장 발생시 정확하게 감지하여 파급 효과를 미연에 방지하거나 DC 차단기에 요구되는 차단용량

을 감소시키기 위해 DC 계통의 고속 고장진단 기술이 연구되고 있다.

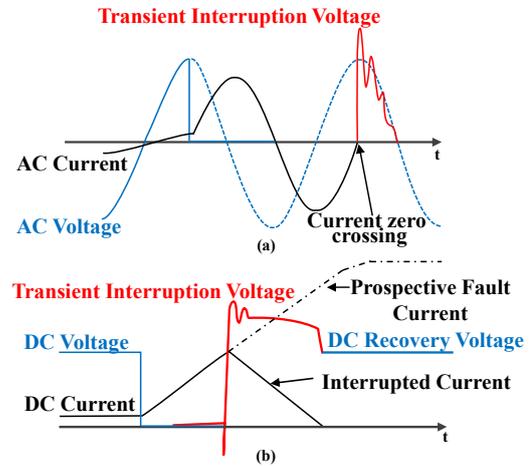


Fig. 1. Comparison of AC and DC fault Currents
(a) AC System (b) DC System.

그림 1. AC 및 DC 고장전류 비교 (a) AC 시스템 (b) DC 시스템

DC 계통의 보호 및 감시를 위한 다양한 방법이 기존 연구에서 소개되었다. 기존의 연구 및 방법들은 각각의 한계와 적용 범위를 가지고 있다. [3]에서 제시한 진행파 기반 방법은 빠른 결함 검출을 제공하지만 높은 샘플링 주파수가 필요하므로 구현이 비현실적이며, DC 계통에서는 높은 샘플링 주파수를 유지하기 어려운 상황이 발생할 수 있다. [4]에서 제시한 중첩 기반 기술은 방사형 계통에서만 적용할 수 있으며, 다른 구성의 DC 배전계통 적용하기 어려우며, [5]에서 제시한 하이브리드 수동 과전류 계전기 방법은 다양한 오류를 감지하고 식별하는데 사용되지만, 결함이 없는 조건에서도 오작동이 발생할 수 있어 신뢰성이 떨어진다. 또한 최근에 인공지능 및 인공지능망 기법을 활용하여 전력계통의 고장진단 방법에 대해 연구가 진행되고 있다. 기존의 AC 전력 계통이 아닌 DC 전력계통은 기존의 전통적인 방법으로 고장진단이 어렵다는 점에서 인공지능망 기법은 다양한 고장 패턴 및 이상을 학습하여 고장을 식별하는데 유용할 수 있다. [6], [7]에서는 인간의 눈으로 구분하기 힘든 데이터들을 인공지능망 기법을 통해 데이터의 미세한 차이를 구분하여 전력계통의 단선 고장진단 방법을 제시하였다. [9]의 논문에서는 DC 계통의 고임피던스 고장 검출을 위해 AI 기반의 고장 검출 알고리즘을 제안하였다. DC 계통에서의 고임피던스 고장의 경우 접지 임피던스가 주변 환경 영향에 따른 고장진단이 어려움이 발생하여 이를 고장 위치에 따른 웨이블릿 변환 및 특징량을 추출하

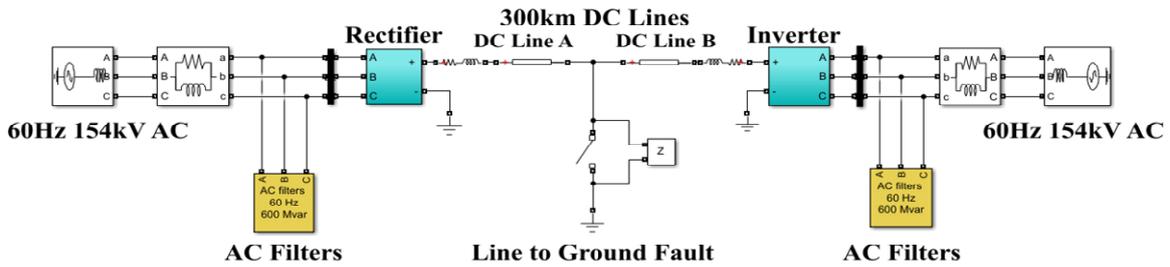


Fig. 2. DC System fault Simulation.
 그림 2. DC 계통 고장 시뮬레이션

였으며 이를 기반으로 인공지능 기법중 하나인 DNN (Deep Neural Network)을 통해 고속 고장 진단 기술을 제시하였다. 하지만 이러한 인공지능 및 인공지능망을 적용할 경우 많은 계산 리소스가 필요하며 특히 복잡한 인공지능 모델의 경우, 많은 수의 가중치와 뉴런이 있어야 하는데, 이를 계산을 위해서는 많은 연산량이 요구된다. 또한 복잡한 인공지능의 모델의 경우 일반적인 CPU나 마이크로컨트롤러로는 효율적인 인공지능 모델 구현이 어렵거나 연산처리 속도가 느려 DC 계통의 고속 고장진단 및 감지가 어려울 수 있다. 따라서 DC 계통의 고속의고장진단을 위해 특수한 고속 연산 하드웨어가 필요할 수 있다.

본 논문에서는 DC 계통의 지락고장시 고속 고장진단을 위해 FPGA(Field-programmable gate array)를 이용한 인공지능기반 지능형 고장진단 방법을 제안한다. FPGA는 일반적인 CPU나 마이크로컨트롤러보다 뛰어난 병렬 처리 능력과 실시간 데이터 처리 성능을 가지고 있으며, 인공지능 알고리즘을 FPGA에 구현시 복잡하고 대용량의 데이터를 고속으로 처리하여 빠른 고장진단이 가능하다. 또한 FPGA의 하드웨어 기반 동작은 소프트웨어 기반의 인공지능 시스템에 비해 높은 신뢰성을 제공하여 고장 발생시 빠르게 탐지하거나 처리함으로써 높은 안정성을 확보할 수 있다. 따라서 본 논문에서는 Matlab Simulink를 이용하여 DC계통의 고장 모의를 통해 고장 데이터를 수집하여 지능형 고속진단 알고리즘을 개발하였다. 제안된 고속 고장진단 알고리즘은 FPGA에 구현하여 고장진단 성능을 검증하였다.

II. 본론

1. 고장 모의 및 인공지능 알고리즘

가. DC 계통 고장모의 및 시뮬레이션

실제 고장데이터를 통해 지능형 고장진단 알고리즘을

학습시키는 것이 이상적이거나 본 논문에서는, 고장데이터의 한계로, Matlab Simulink 시뮬레이션을 통해 DC 시스템을 모델링후 시뮬레이션 데이터를 통해 학습을 진행하였다. Fig. 2는 Matlab Simulink를 통해 모의된 DC 계통 고장 상황이다. 본 연구에서는 LCC(Line Commutated Converter) 방식의 사이리스터 기반 전력 변환설비가 사용되는 DC 계통을 모의하였다. DC 계통은 60Hz, 154kV인 두 AC 계통 사이를 300km의 선로길이를 가진 DC 계통이 연계하고 있는 형태로서 DC 선로에서 고장이 발생하는 상황을 가정하였다. DC 선로는 100kV, 2000A이며 각 AC 계통에는 Capacitor Bank 및 Harmonic Filter 가 포함된 AC 필터를 구성하였다. 시뮬레이션은 2초동안 수행하였고 Sample Time은 50[us]이며, 전류 측정은 2초 동안 20000번 측정하였다. Fig. 3은 고장 위치에 따른 Inverter측 고장전류이며, 50km, 150km, 250km의 지락고장 거리에 따른 DC선로 시정수($\frac{R}{L}$)에 의한 과도상태의 고장전류이다.

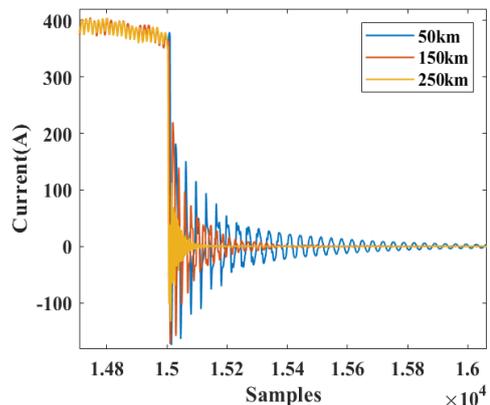


Fig. 3. Inverter side Fault current by distance.
 그림 3. 인버터측 거리별 고장전류

Fig. 3과 같이 거리별 과도상태의 고장전류는 크기 및 주파수 성분에 차이가 존재하지만, 고장전류의 피크값은

차이가 거의 없어, 기존 계통에 사용되는 임계값을 이용한 과전류 기반 고장진단 방법을 사용시 부하증가에 따른 전류증가와 구별하기 어려우므로, 새로운 방법이 적용되어야 함을 확인할 수 있다.

본 논문에서 Fig. 2의 시뮬레이션 모델을 통해 지락고장을 모의하여 데이터를 수집하였으며, 시뮬레이션 횟수는 고장상황 108번, 정상상황 108으로 총 216번의 시뮬레이션을 진행하였다.

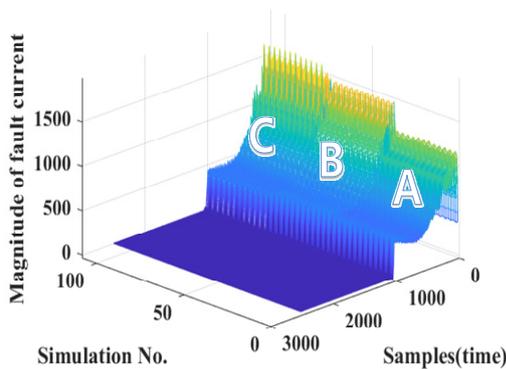


Fig. 4. Rectifier side fault current mesh plot.
그림 4. 정류기 측 고장 전류 메쉬 플롯

Fig. 4는 Rectifier 측에서 측정된 지락고장시의 고장 전류를 Mesh Plot으로 표현된 시뮬레이션 데이터이다. 본 논문에서 사용한 LCC 전력변환설비는 AC/DC 변환시 맥동하는 DC전류가 생성되며, 지락고장시 고장전류는 AC 위상에 따라 미소한 차이가 나타난다. 본 논문에서 미소한 맥동 고장전류까지 고려하여 지락 고장모의시 AC계통지점의 위상을 0~360도까지 10도씩 변화시켜 시뮬레이션하였으며, A, B, C는 각각 50km, 150km, 250km 거리에서의 AC위상을 변화시 지락 고장전류 데이터를 표현하였다. 또한 사용한 샘플 수는 2500개로 선로고장 발생 직후 0.05초 동안 시계열 데이터를 수집하였다.

나. 지능형 고장진단 알고리즘 구조

Fig. 3에서 고장전류 위치에 따라 피크 전류값은 비슷한 값을 가지지만, 고장전류의 시계열 데이터 패턴은 다른 점을 이용하여 시계열 데이터의 패턴 인식 및 분류를 통해 DC 계통에서의 고장진단을 위한 인공신경망 알고리즘 모델을 구성하였다.

인공신경망은 뉴런이라는 뇌 신경세포의 네트워크 동작 원리에 기초한 함수의 일종으로 여러 개의 뉴런으로 구성된 네트워크를 통해 입력 데이터를 학습 및 복잡한 패턴을 인식하여 대량의 데이터 처리가 가능하다. 인공

신경망 구조로는 입력층(Input Layer), 은닉층(Hidden Layer), 출력층(Output Layer)으로 구성된다.

본 논문에서는 인공신경망 기법중 Fig. 5와 같은 DNN방식을 사용하였으며, DNN의 은닉층과 출력층은 식 (1)과 식 (2)로 표현된다.

$$Hidden_j = a(\sum_{n=1}^i (Weight_{(i,j)} \cdot Input_i) + b) \quad (1)$$

$$Output_k = (Weight_{(j,k)} \cdot Hidden_j) \quad (2)$$

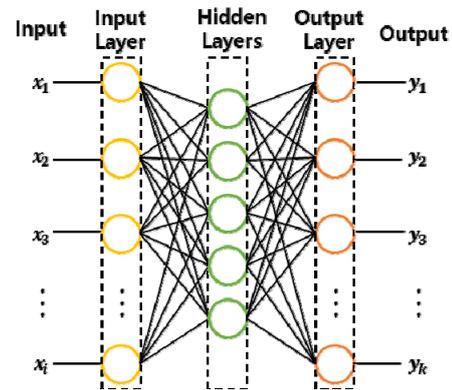


Fig. 5. DNN(Deep Neural Network) Structure.
그림 5. DNN(심층 신경망)구조

활성화함수 a 는 ReLU(Rectified Linear Unit)로 적용하였으며, ReLU 활성화 함수는 입력값이 0보다 작을 경우 0을, 0보다 큰 경우 그대로 출력하는 함수이며 식 (3)과 같이 표현 가능하다.

$$f(x) = \max(0, x) \quad (3)$$

다. 지능형 고장진단 알고리즘 학습 및 검증

인공신경망 모델을 구현하기 앞서 인공신경망 패턴 인식, 학습, 검증 과정을 진행하였다. 앞서 설명한 시계열 데이터 중 70%는 인공신경망 모델을 훈련하였으며, 검증 데이터로 15%, 테스트 데이터로 15%로 분할 하여 진행하였다. 인공신경망 구축시 총 10개의 계층 크기를 가지도록 하였으며, 입력 고장데이터는 은닉층의 활성화 함수를 거쳐 출력층으로 어떤 고장인지 진단하게 된다. 학습 알고리즘은 역전파(Backpropagation) 학습 알고리즘을 사용하였다.

인공신경망의 성능을 사전에 검증하기 위해 교차엔트로피(Cross Entropy)를 통해서 인공신경망의 예측값을 평가하였다. 교차엔트로피 오차는 주로 분류 문제에서 사용되는 손실 함수 중 하나로, 실제 클래스와 예측 클래스 간의 차이를 계산한다.

True Class	50km	36 33.3%	0 0.0%	0 0.0%	100% 0.0%
	150km	0 0.0%	36 33.3%	0 0.0%	100% 0.0%
	250km	0 0.0%	0 0.0%	36 33.3%	100% 0.0%
		100% 0.0%	100% 0.0%	100% 0.0%	100% 0.0%
	Predicted Class	50km	150km	250km	

Fig. 6. Verification Results of DNN algorithm.
그림 6. DNN 알고리즘 검증 결과

Fig. 6은 고장진단을 위한 인공지능 알고리즘의 교차 엔트로피 결과이다. 50km, 150km, 250km의 거리별 고장모의 데이터 True Class와 동일한 거리별로 DNN 인공지능망 알고리즘이 예측된(Predicted) Class를 나타낸다. 각거리별로 36개의 Class를 가지고 테스트를 진행하였으며, 본 논문에서 진행한 고장 모의 데이터 기반 인공지능망 알고리즘에서 거리별 Predicted Class가 오차 없이 거리별 True Class를 정확하게 판단하였다.

또한 Fig. 7과 같이 인공지능망 모델을 Matlab Simulink 기반으로 구성하였고 FPGA의 실시간 동작을 위해 고정 소수점 방식으로 모델링 하였다.

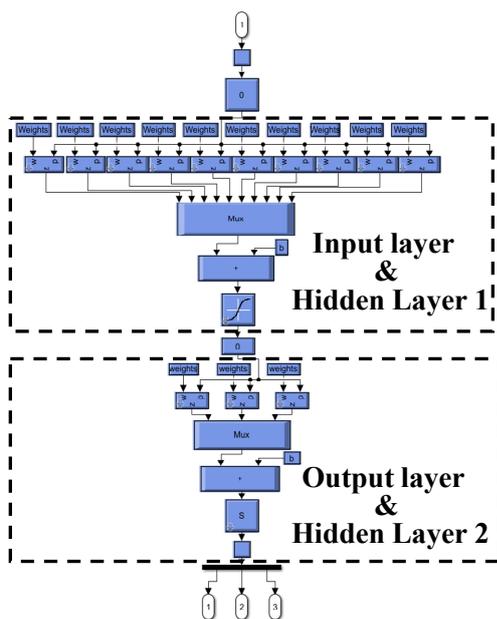


Fig. 7. Matlab Simulink DNN Model.
그림 7. Matlab Simulink DNN 모델

2. 인공지능망 모델 FPGA 구현

본 논문에서 학습된 DC 계통 고장진단 알고리즘 모델을 FPGA Xilinx Zynq XC7Z020기반의 Zynq Start Kit를 통해 구현하였다. FPGA 프로그래밍 방법은 Matlab Simulink 및 Xilinx Vivado를 이용하여 Fig. 8과 같이 진행하였으며, FPGA의 동작클럭은 15MHz로 설정하였다. Table 1은 인공지능망 알고리즘을 FPGA에 구현시 FPGA 사용된 리소스를 나타내며, Table 2는 인공지능망 알고리즘을 동작을 위한 FPGA Timing 결과이다.

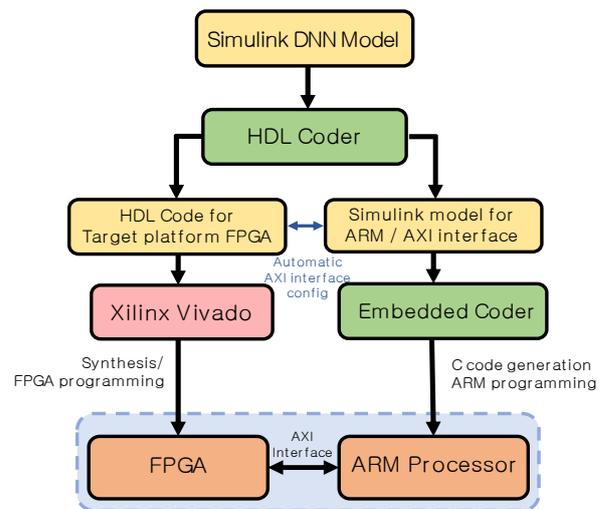


Fig. 8. Matlab/Simulink-based Zynq Programming Workflow.

그림 8. Matlab/Simulink 기반 Zynq 프로그래밍 워크플로

Table 1. FPGA resources and utilization for DNN algorithms.

표 1. DNN 알고리즘에 대한 FPGA 리소스 및 사용비율

FPGA Resource	Available	Usage	Utilization (%)
Slice LUTs	53,200	18,001	33.84 %
Slice Registers	106,400	231	0.22 %
DSPs	220	209	95.00 %
Block RAM Tile	140	3	2.14 %
URAM	0	0	0 %

Table 2. FPGA Timing Results for DNN Algorithms.

표 2. DNN 알고리즘에 대한 FPGA 타이밍 결과

Timing Results	Value
Requirement	66.667 ns (15 MHz)
Data Path Delay	56.306 ns
Slack	10.386 ns
Clock Frequency	17.75 MHz

FPGA 구현과정은 인공지능망 알고리즘 모델을 컴파일하고 FPGA 보드에 비트스트림 파일로 다운로드하여 Matlab Simulink와 연계하였다.

또한 인공지능망 알고리즘 및 FPGA 하드웨어 작동 여부와 알고리즘을 검증하기 위해 Fig. 9와 같이 인터페이스 모델을 구현하였다.

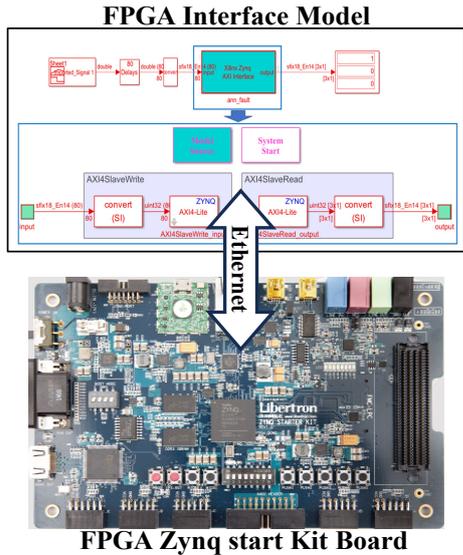


Fig. 9. Configure FPGA and DNN Model Interface.
그림 9. FPGA 및 DNN 모델 인터페이스 구성

인터페이스 모델은 Fig. 2에서 시뮬레이션한 DC계통 지락고장 전류 데이터로 활용하였으며, FPGA 보드와 AXI 인터페이스로 연계하게 된다. FPGA Zynq Board는 PL(Programmable Logic)과 PS(Processing System) 및 ARM 프로세서로 구성된다. PL에서는 인공지능망 알고리즘 모델을 디지털 논리 회로화를 통해 구성하였으며, PS 및 ARM 프로세서에서는 DC 계통의 전류값을 PU(Per Unit) 단위로 입력신호를 받아 PL로 데이터를 전달하도록 하였다. PL과 ARM프로세서는 AXI 인터페이스를 통해서 상호간 통신을 하게되며, PL에서 인공지능망 알고리즘이 동작후 고장판정 결과를 다시 PS로 전달하여 DC 계통의 DC 차단기에 지락고장 신호를 전달하게 된다.

3. FPGA 고장진단 동작 결과 분석

고장진단 알고리즘이 탑재된 FPGA의 성능을 평가하기 위해서 앞서 설명한 AXI 인터페이스 기반으로 테스트 모델을 구성하였으며, 입력 고장데이터는 DC 계통에서 1초에서 1.2초 사이에 정류기측 지락고장 상황으로 가정하였고, 지락고장 지점의 저항은 1000[Ω]으로 설정

하여 고임피던스 지락 고장상황으로 가정하였다. 이때의 측정된 전류 데이터를 샘플당 80개의 데이터를 모아서 AXI 인터페이스를 통해 FPGA에 탑재된 고장진단 알고리즘이 동작하게 된다. 고장진단 알고리즘 출력신호는 정상상태 Flag 신호, Rectifier Side Fault Flag 신호, Inverter Side Fault Flag 신호가 나오게 된다.

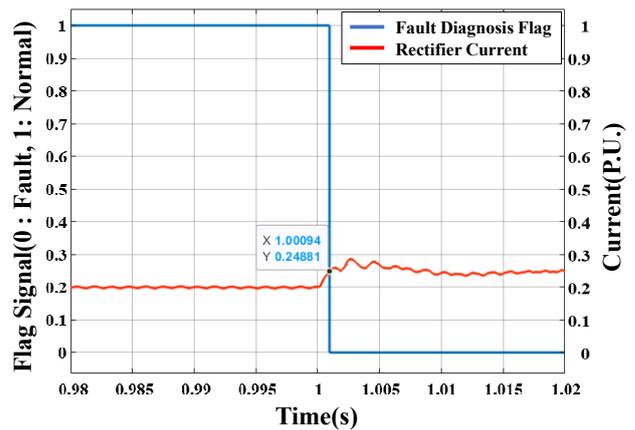


Fig. 10. Fault Diagnosis Algorithm Fault Detection Signal.
그림 10. 고장진단 알고리즘 고장 감지 신호

Fig. 10은 DC 계통에서 Rectifier측 50km에서 고임피던스 지락고장시의 고장판정 결과이며, 고장 발생 직후 0.94ms에 고장진단 감지가 가능하였다.

본 논문에서 제안된 DNN 고장진단 알고리즘이 탑재된 FPGA의 성능을 평가하기 위해 다른 문헌에서 제시한 방법들과 비교를 Table 3과 같이 고장 검출 시간을 비교하였다. 앞서 서론에서 언급한 DC 차단기가 요구되는 릴레이 동작 속도인 1~3[ms] 보다 빠른 지락고장을 감지가 가능함에 따라, 인공지능망기반의 FPGA로 DC 계통의 고장 감지가 가능함을 확인하였다.

Table 3. Fault detection time comparison.

표 3. 고장감지 시간 비교

DC Grid Fault Detection Method	Fault Detection Time [ms]
Proposed FPGA-based DNN Algorithm	0.94 [ms]
WT [5]	3 [ms]
di/dt [10]	1.25 [ms]
STFT [11]	4 [ms]
LS [12]	2 [ms]

Fig. 11과 Fig. 12는 동일한 조건에서 고장 위치에 따른 Rectifier 측과 Inverter 측의 고장판별 결과를 나타

낸다. DC 선로가 총 300km에서 50km 지점의 선로에서 지락고장이 발생하였으므로 Rectifier측에 지락고장이 발생한것으로 인공지능망 알고리즘이 판단하여 Rectifier Side Fault Flag 신호가 1로 출력되었으며, Inverter 측은 Inverter Side Fault Flag 신호가 0에 가까운 신호값을 출력하였다.

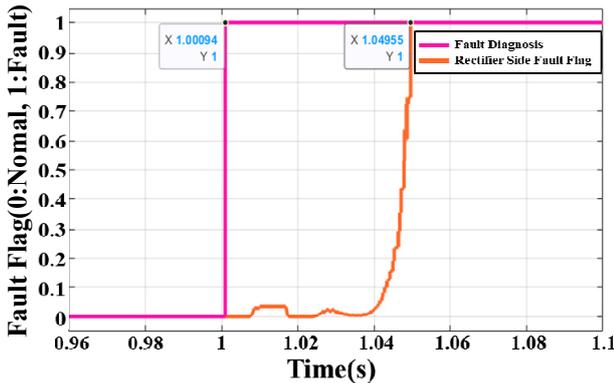


Fig. 11. Rectifier Side Fault Flag Signal.
그림 11. 정류기측 고장 Flag 신호

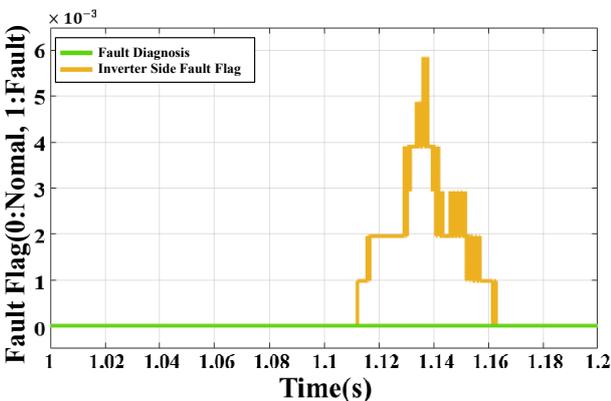


Fig. 12. Inverter Side Fault Flag Signal.
그림 12. 인버터측 고장 Flag 신호

III. 결론

DC 계통의 고장 및 사고시 고장전류의 빠른 상승률과 일정한 에너지를 유지하고 있어 DC 계통 고장을 정확하고 빠른 고장진단 기술이 필요하다. 본 논문에서는 DC 계통의 고속 고장진단을 위해 인공지능 기법중 DNN 인공지능망 알고리즘으로 활용하였고 알고리즘을 FPGA에 탑재하여 고속 고장진단이 가능하게 했다. 인공지능망 알고리즘 구현 및 성능 검증을 위해 DC계통 고장 시뮬레이션 데이터를 Matlab으로 인공지능망 모델링 하였으며, 인공지능망 모델은 많은 연산량과 실시간 처리가 요

구됨으로써 고정 소수점방식으로 FPGA에 구현하였다.

FPGA를 활용한 고장진단 결과, 고압피턴스의 지락고장 상황에서도 1ms 이내로 고장진단이 이루어져, 이를 통해 DC 차단기의 차단 용량을 줄일 수 있을 것으로 예상된다. 또한, 이러한 고속 고장진단이 가능한 인공지능망 알고리즘은 특정한 규칙에 의존하는 것이 아니라 입력 데이터에 따라 학습하는 특성을 가지고 있어, 향후 DC 마이크로 그리드나 기존과는 다른 DC 전력 시스템에 대한 적용이 용이할 것으로 예상된다

추가적으로 인공지능망 알고리즘을 선형회귀 (Linear Regression)를 고려하여 다양한 고장거리에 따른 정확도가 높은 인공지능망 알고리즘 연구가 필요하며, 인공지능망 알고리즘의 최적화를 통한 FPGA의 동작속도를 높일수록 더 빠른 고속 고장진단이 가능하도록 예상된다. 또한 지락고장이 아닌 다양한 고장상황을 고려한 인공지능망 알고리즘을 구현하여 DC 계통의 안정도를 높이는 방안에 관한 연구를 진행할 예정이다.

References

[1] Smeets, Rene PP, and Nadew A. Belda. "High-voltage direct current fault current interruption: A technology review." *High Voltage* 6.2 (2021): 171-192. DOI: 10.1049/hve2.12063

[2] Leterme, W., Jahn, I., Ruffing, P., et al.: "Designing for high-voltage DC protection," *IEEE Power Energy Mag.* 17, 73-81 (2019) DOI: 10.1109/MPE.2019.2897188

[3] Spoor, Darren, and Jian Guo Zhu. "Improved single-ended traveling-wave fault-location algorithm based on experience with conventional substation transducers." *IEEE Transactions on Power Delivery* 21.3 (2006): 1714-1720. DOI: 10.1109/TPWRD.2006.878091

[4] He, Zhengyou, et al. "Improved fault-location system for railway distribution system using superimposed signal," *IEEE transactions on power delivery* 25.3 (2010): 1899-1911. DOI: 10.1109/TPWRD.2010.2041372

[5] Saleh, Khaled A., Ali Hooshyar, and Ehab F. El-Saadany. "Hybrid passive-overcurrent relay for detection of faults in low-voltage DC grids." *IEEE Transactions on smart grid* 8.3 (2015): 1129-1138.

DOI: 10.1109/TSG.2015.2477482

[6] Gilany, Mahmoud, Ahmed Al-Kandari, and Bahaa Hassan. "ANN based technique for enhancement of distance relay performance against open-conductor in HV transmission lines," *2010 The 2nd International Conference on Computer and Automation Engineering (ICCAE)*. Vol.5. IEEE, 2010. DOI: 10.1109/ICCAE.2010.5451527

[7] Rangade, A.N.; Sharma, R. ANN Based Open Conductor Fault Detector for Protection of Two Parallel Circuit Transmission Line. *Int. Res. J. Eng. Technol. (IRJET)* 2019, 6, 87-92.

[8] Che, Junsoo, et al. "Prevention of Wildfires Using an AI-Based Open Conductor Fault Detection Method on Overhead Line." *Energies* 16.5 (2023): 2366. DOI: 10.3390/en16052366

[9] Che, Junsoo, et al. "AI-based Fault Detection Algorithm Using Wavelet Transformation in DC System," *Journal of the Korean Institute of Illuminating and Electrical Installation Engineers*, 2023, 37(1) : 33-44.

[10] Meghwani, A., S. C. Srivastava, and S. Chakrabarti. "A non-unit protection scheme for DC microgrid based on local measurements," *IEEE Transactions on Power Delivery* 32.1 (2016): 172-181. DOI: 10.1109/TPWRD.2016.2555844

[11] Yeap, Yew Ming, et al. "Time-and frequency-domain fault detection in a VSC-interfaced experimental DC test system," *IEEE Transactions on Industrial Informatics* 14.10 (2018): 4353-4364. DOI: 10.1109/TII.2018.2796068

[12] Mohanty, Rabindra, and Ashok Kumar Pradhan. "Protection of smart DC microgrid with ring configuration using parameter estimation approach." *IEEE Transactions on Smart Grid* 9.6 (2017): 6328-6337. DOI: 10.1109/TSG.2017.2708743

BIOGRAPHY

Tae-Hun Kim (Member)



2017 : BS degree in Electrical Engineering, Mokpo National University.

2020 : MS degree in Electrical Engineering, Mokpo National University.

2020~Present : PhD degree course of Electrical Engineering, Mokpo National University.

Jun-Soo Che (Member)



2019 : BS degree in Electrical Engineering, Mokpo National University.

2021 : MS degree in Electrical Engineering, Mokpo National University.

2021~Present : PhD degree course of Electrical Engineering, Mokpo National University.

Seung-Yun Lee (Member)



2020 : BS degree in Electrical Engineering, Mokpo National University.

2022 : MS degree in Electrical Engineering, Mokpo National University.

2022~Present : PhD degree course of Electrical Engineering, Mokpo National University.

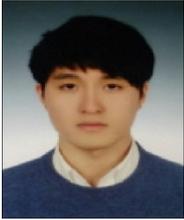
Byeong-Hyeon An (Member)



2019 : BS degree in Electrical Engineering, Mokpo National University.

2021 : MS degree in Electrical Engineering, Mokpo National University.

2021~Present : PhD degree course of Electrical Engineering, Mokpo National University.

Jae-Deok Park (Member)

2019 : BS degree in Electrical Engineering, Mokpo National University.

2021 : MS degree in Electrical Engineering, Mokpo National University.

2021~Present : PhD degree course of Electrical Engineering, Mokpo National University.

Tae-Sik Park (Member)

1996 : MS degree in Electrical Engineering, Korea University.

2000 : PhD degree in Electrical Engineering, Korea University.

2005 : Samsung Advanced Institute of Technology as a Senior Research Engineer

2013~present : Professor, Dept. of Electrical and Control Engineering, Mokpo National University