

# 저면적 디지털 제어 발진기의 양자화 에러 최소화를 위한 추가 서모미터 코드 잠금 기법

## Additional Thermometer Code Locking Technique for Minimizing Quantization Error in Low Area Digital Controlled Oscillators

강 병 석, 김 영 식\*, 김 신 웅\*

Byeongseok Kang, Young-Sik Kim\*, Shinwoong Kim\*

### Abstract

This paper introduces a new locking technique applicable to high-performance digital Phase-Locked Loops (DPLL). The study employs additional thermometer codes to reduce quantization errors in LC-based Digital Controlled Oscillators (DCO). Despite not implementing the entire DCO codes in thermometer mode, this method effectively reduces quantization errors through enhanced linearity. In the initial locking phase, binary codes are used, and upon completion of locking, the system transitions to thermometer codes, achieving high frequency linearity and reduced jitter characteristics. This approach significantly reduces the number of switches required and minimizes the oscillator's area, especially in applications requiring low DCO gain (Kdco), compared to the traditional method that uses only thermometer codes. Furthermore, the jitter performance is maintained at a level equivalent to that of the thermometer-only approach. The efficacy of this technique has been validated through modeling and design at the RTL level using SystemVerilog and Verilog HDL.

### 요 약

본 논문에서는 고성능 디지털 위상 고정 루프(DPLL)에 적용 가능한 새로운 잠금 기법을 소개한다. 이 연구는 LC 기반 디지털 제어 발진기(DCO)에서 발생하는 양자화 오류를 줄이기 위해 추가 서모미터 코드를 사용한다. 본 방식은 전체 DCO 코드를 서모미터 방식으로 구현하지 않음에도 불구하고 높은 선형성을 통해 양자화 오류를 감소시킨다. 초기 잠금 단계에서 바이너리 코드를 사용하고, 잠금이 완료되면 서모미터 코드로 전환하여 높은 주파수 대비 선형성과 낮은 지터 특성을 달성한다. 이 접근법은 낮은 DCO 이득(Kdco) 값을 요구하는 응용에서 서모미터 코드만을 사용하는 기존 방식과 비교하여 스위치의 수를 현저히 줄이고 발진기의 면적을 최소화한다. 또한, 지터 특성은 서모미터 코드만을 사용하는 방식과 동일한 수준을 유지한다. SystemVerilog 및 Verilog HDL을 사용한 모델링과 RTL 수준에서의 설계를 통해 이 기법의 효과가 입증되었다.

*Key words : Digital Phase-Locked Loop(DPLL), Digitally Controlled Oscillator(DCO), LC Oscillator, System Verilog and Verilog HDL, Fractional-N*

---

School of Computer Science and Electrical Engineering, Handong Global University

\* Corresponding author

E-mail : young@handong.edu, Tel : 054-260-1329

E-mail : shinwoong@handong.edu, Tel : 054-260-1372

※ Acknowledgment

The EDA Tool was supported by the IC Design Education Center

Manuscript received Dec. 11, 2023; revised Dec. 20, 2023; accepted Dec. 22, 2023.

## I. 서론

현대 통신 시스템과 전자기기의 발전은 빠른 속도로 진행되며, 그 복잡성 역시 증가하고 있다. 5G와 같은 최신 무선 통신 표준은 초고속 데이터 전송을 가능하게 하여 정확한 타이밍과 주파수 제어의 중요성을 강조한다. 이와 함께, 생체 신호를 측정하는 웨어러블 및 임플란트 칩 분야에서는 센서의 안정적인 작동을 보장하면서도 저 전력 및 소형화된 칩 설계의 필요성이 점차 커지고 있다 [1][2]. 이러한 기술적 진보를 뒷받침하기 위해, 디지털 방식의 위상 고정 루프(DPLL)는 성능, 면적, 그리고 전력 소비 측면에서 점점 더 높은 요구를 충족해야 하는 중요한 분야로 자리 잡고 있다. 특히, DPLL의 핵심 구성 요소인 디지털 제어 발진기(DCO)는 전체 시스템의 출력 신호를 생성하는 중요한 부분이다. DCO는 DPLL의 주파수 설정 및 위상잠음 성능에 직접적인 영향을 미치기 때문에 DCO의 설계는 매우 신중하게 이루어져야 한다.

일반적으로 DCO를 설계할 때, PLL의 지터 특성을 개선하기 위해 주파수의 선형성이 뛰어난 서모미터 코드를 사용한 설계 방식이 채택된다. 하지만, 서모미터 코드 기반 DCO는 주파수 변경을 위한 커패시턴스 조절 스위치의 개수가 바이너리 코드 방식보다 수십 배는 더 많으므로 면적 측면에서 단점이 있다. 반면에, 바이너리 코드 기반 DCO는 면적 측면의 이점이 있지만, 커패시터 크기 불일치로 인한 비선형성 때문에 성능 저하의 원인인 스퍼(Spur)를 유발한다[3][4].

본 논문에서는 서모미터 코드 기반 발진기의 장점과 바이너리 코드 기반 발진기의 장점을 결합한 새로운 잠금 기법을 제안한다. 제안된 구조는 PLL이 잠금 상태(Lock)에 도달하는 동안 10비트 바이너리 코드로 제어하고, 잠금 상태에 도달하면 32비트 서모미터 코드로 전환하여 제어한다. 이 방식을 통해 10비트 바이너리 코드는 작은 면적에서 넓은 주파수 범위를 제공하며, PLL이 잠금된 이후 상태에서는 서모미터 코드를 사용하여 낮은 지터 특성을 확보한다. 이 설계는 System Verilog 및 Verilog HDL을 사용하여 구현되었으며, 시뮬레이션을 통해 그 특성이 검증되었다.

## II. 본론

### 1. 제안하는 추가 서모미터 코드 잠금 기법을 사용한 디지털 위상 고정 루프

가. DCO 주파수 제어 방식 차이에 따른 비교  
 DCO는 기본적으로 이산적인 디지털 코드에 따라 주

파수가 조정되는 방식을 사용하므로 코드당 주파수 변화율인  $K_{dco}(\text{Hz/code})$  값이 클수록 주어진 컨트롤 비트 범위에 대해 넓은 주파수 조정 범위를 가질 수 있다. 하지만 그만큼 주파수 컨트롤 해상도는 떨어지게 되는 것이며 이로 인한 양자화 잡음이 많이 발생하여 위상잠음 성능에 안 좋은 영향을 미친다. 따라서 무선 통신용 고주파 캐리어 신호생성을 위한 디지털 PLL 설계에서는 낮은  $K_{dco}$ 를 갖도록 설계하는 것이 매우 중요하다. 일반적으로 LC 공진 기반의 DCO 설계에서 낮은  $K_{dco}$ 를 갖기 위해서는 주파수 조절에 사용되는 커패시터의 크기 감소를 통해 달성할 수 있는데, 20kHz/code 이하의  $K_{dco}$ 를 달성하기 위해서는 aF 단위의 매우 낮은 커패시턴스 용량이 필요하게 된다. 그러나 이 경우 그림 1에서 보듯이 주파수 조절을 위한 커패시터와 MOSFET 스위치의 면적을 비교했을 때 스위치가 차지하는 면적이 상대적으로 증가하게 된다. 그리고 이 같은 낮은  $K_{dco}$  값으로 인한 부족한 주파수 조정범위를 커버하기 위해 많은 컨트롤 비트 수를 사용하는 경우, 또한 해당 모듈을 이용해 높은 선형성 확보를 위한 서모미터 코드 기반 커패시터 뱅크를 설계하면 결과적으로 실제 필요로 하는 커패시터가 차지하는 면적만큼이나 MOSFET 스위치의 면적이 큰 비중을 차지하게 된다.

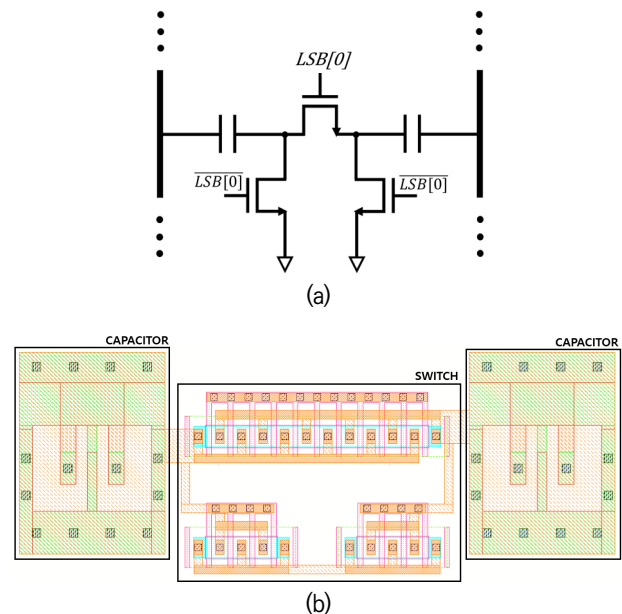


Fig. 1. LSB code configuration of digitally controlled oscillator: (a) schematic and (b) layout.

그림 1. 디지털 제어 발진기의 LSB 코드 구성: (a) 회로도 (b) 레이아웃

한편, 바이너리 코드 기반으로 해당  $K_{dco}$ 를 갖도록

설계하면 사용되는 MOSFET 스위치의 개수가 현저하게 줄어들기 때문에 이로 인한 면적 절감이 가능하게 된다. 그러나 서모미터 방식과는 달리 각 비트가 제어하는 커패시터 용량이 다르므로, 이에 맞춰 스위치 크기를 정교하게 설계해야 하며, 결과적으로 MOSFET 스위치를 고려한 커패시터의 용량이 이전 비트 대비 정확히 2배가 되도록 스케일링하는 과정이 필요하다. 만일 정확하게 매칭이 되지 않으면 그림 2의 (b)와 같이 코드에 따른 주파수 변화량에 비선형적인 특성이 나타난다.

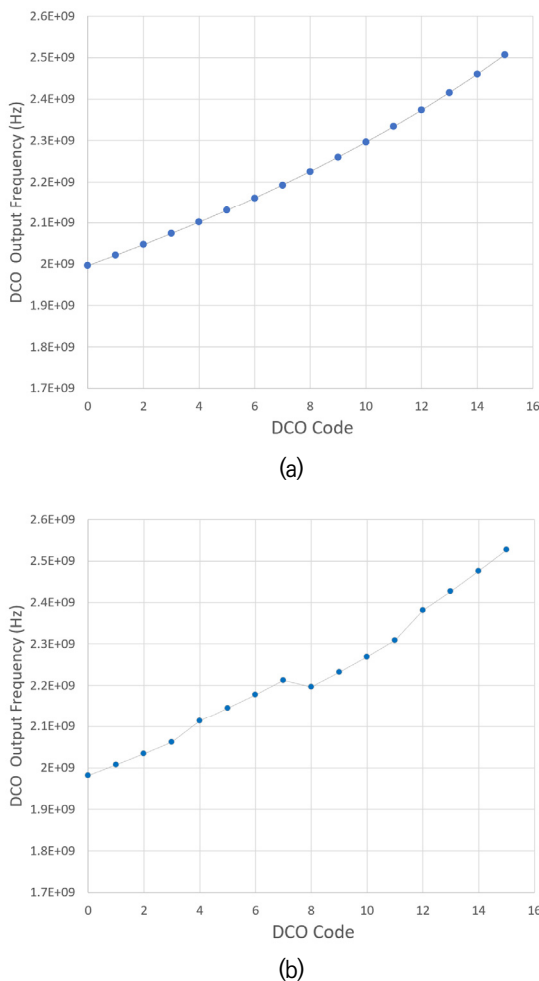


Fig. 2. Frequency tuning curve of DCO: (a) ideal case and (b) nonlinear case due to mismatch.

그림 2. DCO의 주파수 튜닝 곡선: (a) 이상적인 경우와 (b) 미스매치로 인한 비선형적인 경우

따라서 면적과 선형성 모두를 고려하여 최적의 커패시터 뱅크를 설계하기 위해서는 서모미터 코드 방식과 바이너리 코드 방식의 이점을 적절히 활용해야 하며 필요에 따라서는 이 두 방식을 함께 사용하는 것이 요구될 수 있다.

나. 추가 서모미터 코드 잠금 기법

본 논문에서 소개하는 추가 서모미터 코드 잠금 기법은 디지털 위상 고정 루프(DPLL)를 구성하는 DCO의 코드 제어에 새로운 설계 방향을 제시한다. 이 기법은 바이너리 및 서모미터 코드의 효율적인 조합을 통해 작은 면적의 DCO와 높은 선형성 특징을 달성 할 수 있다. 그림 3에서 나타내듯 추가 서모미터 코드 잠금 기법을 사용하는 발진기는 초기 잠금 단계에서 서모미터 코드의 절반을 활성화한 상태로 시작하여 4 비트 바이너리 코드만으로 PLL을 잠근다. PLL이 잠금 상태에 도달하면, Lock detector(LD)를 통해 확인 후, 루프 스위칭을 통해 6 비트 서모미터 코드로 재잠금을 진행한다. 서모미터 코드는 바이너리 코드를 통한 잠금이 진행될 때, 절반이 활성화된 상태였기 때문에, 재잠금도 중간 코드 근처에서 크게 벗어나지 않게 완료된다. 추가된 서모미터 코드를 통해 외부 온도 변화에 따른 주파수 변동을 따라갈 수 있으며, 디더링(dithering)을 통해 Kdco 해상도를 낮춰 양자화 에러를 감소시킬 수 있다.

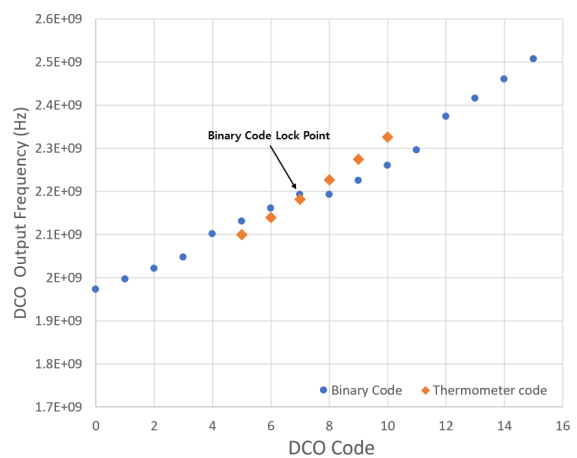


Fig. 3. Frequency tuning curve of DCO with the proposed additional thermometer code locking method.

그림 3. 제안하는 추가 서모미터 코드 잠금 방식의 주파수 튜닝 곡선

제안하는 추가 서모미터 코드 잠금 기법은 바이너리 코드 기반 DCO의 장점인 스위치 개수 감소와 함께 DCO의 면적 절감을 가능하게 하면서, PLL locking 지점에서 서모미터 코드 기반의 장점인 높은 선형성을 보장할 수 있는 장점이 있다. 본 연구에서는 검증을 위해 넓은 주파수 조정 범위를 갖춘 10비트 디지털 제어 발진기를 구현한다. 전통적인 서모미터 방식은 1,024개의 스위치가 필요하지만, 제안된 기법에서는 바이너리 스위치

10개와 서모미터 스위치 32개, 총 42개만을 사용한다. 이 방식으로 전통적인 서모미터 방식 대비 1.89배의 면적 절감을 확인하였다. 전통적인 서모미터 방식 대비 다중 비트 DCO 설계에서 일부 비트를 바이너리로, 일부를 서모미터로 구현하는 방식(예: 10비트 DCO에서 MSB 7비트는 바이너리, LSB 3비트는 서모미터)도 있지만, 이 경우 바이너리와 서모미터 코드 간의 미스매치를 완전히 해결하기 어려워 선형성 문제가 여전히 존재하게 된다.

다. Block Diagram 및 동작 설명

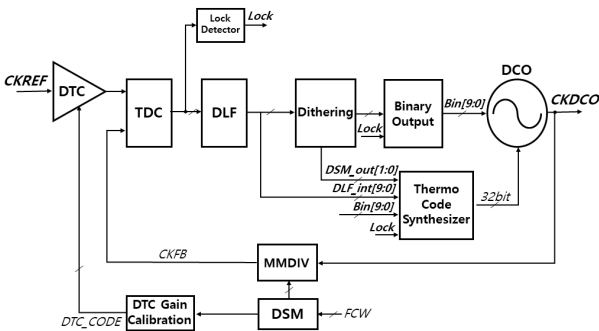


Fig. 4. Digital phase-locked loop utilizing the proposed additional thermometer code locking method.

그림 4. 제안하는 추가 서모미터 코드 잠금 기법을 사용한 디지털 위상고정루프

그림 4는 제안하는 추가 서모미터 코드 잠금 기법을 사용하는 디지털 fractional-N PLL의 블록 다이어그램을 보여준다. 시간-디지털 변환기(TDC)와 디지털-시간 변환기(DTC), 그리고 DTC 이득 보정 회로는 Digital fractional-N PLL의 기본 구조를 형성하며, 이들은 위상 오류를 최소화하고 분수 분주비 잠금을 가능하게 한다. Lock detector는 TDC 출력 코드를 통해 잠금 여부를 확인하여, binary output 블록의 출력을 고정시키고, DCO의 동적 제어 코드를 바이너리 코드에서 서모미터 코드로 전환하는 역할을 한다. 본 논문에서 제안하는 핵심 블록은 Thermo code synthesizer(TCS)이다. 그림 5는 설계된 TCS 회로를 보여준다. Binary output 블록의 고정된 출력 값에서 디지털 루프 필터(DLF)의 출력에 해당하는 정수 부분을 차감한 후, dithering 블록에서

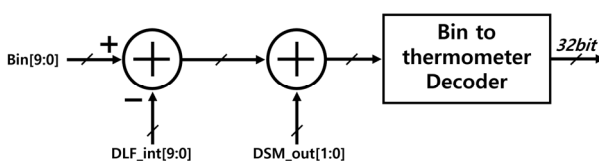


Fig. 5. Proposed thermo code synthesizer circuit.  
그림 5. 제안하는 서모 코드 합성기 회로

생성된 코드를 더하여 이 값을 서모미터 코드로 변환하여 출력한다. 이 변환된 코드를 통해 추가 서모미터 코드를 제어하여 PLL의 재잠금을 수행한다.

### III. 시뮬레이션 결과

본 논문에서 제안된 디지털 위상 고정 루프(DPLL)는 4.418MHz에서 4,438.48MHz에 이르는 주파수 범위에서 동작하며, 입력 레퍼런스 클럭으로는 52MHz를 사용한다. 디지털-시간 변환기(DTC)는 10비트 컨트롤 비트를 갖고 2ps의 해상도를 가진다. 시간-디지털 변환기(TDC)는 10비트 출력을 내어주며, 그 해상도는 1ps이다. 주파수 튜닝 범위가 비교적 좁게 설정된 이유는, 본 논문에서 제안하는 방식이 특히 낮은  $K_{dco}$ 를 활용하여 fine locking을 효과적으로 수행하는 데 초점을 맞추고 있기 때문이다. 넓은 주파수 범위는 별도의 coarse loop을 통해 해결될 수 있다.

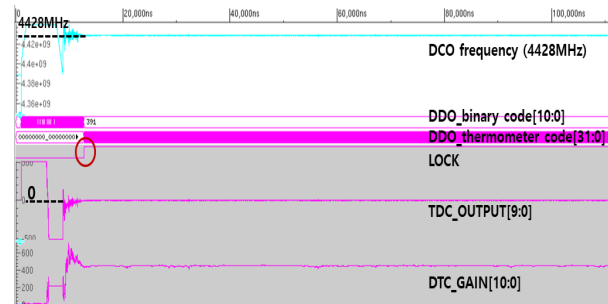


Fig. 6. Simulation result for DPLL locking.  
그림 6. DPLL 잠금 시뮬레이션

그림 6는 Lock detector의 신호에 따라 바이너리 코드를 사용하여 잠금을 진행한 후, 바이너리 코드를 고정하고 서모미터 코드로 전환하는 DPLL의 전체 잠금 과정을 보여준다. 그림 7은 커패시턴스 미스매치가 0.78%일 때 바이너리 코드 방식의 위상 잠금 결과와, 같은 조건에서 제안된 추가 서모미터 코드 잠금 기법을 사용한 결과를 비교하여 보여준다. 그림 7(a)를 통해 커패시턴스의 미스매치가 있을 때 바이너리 코드만을 사용하여 DCO의 주파수를 제어하는 것이 출력 신호의 위상 잠금을 증가시킬 수 있는 위험을 볼 수 있다. 그림 7(b)는 동일한 바이너리 미스매치 상황에서 추가 서모미터 코드 잠금 기법을 적용하여, DCO의 주파수 제어 시 발생할 수 있는 위상 잠금 문제를 효과적으로 완화하는 것을 볼 수 있다. 이는 바이너리 코드 방식에 비해 더 높은 선형성을 가진 서모미터 방식의 커패시터 बैं크를 추가 활용함으로

써 달성된다. 표 1은 제안하는 디지털 PLL의 설계 요약 표이다.

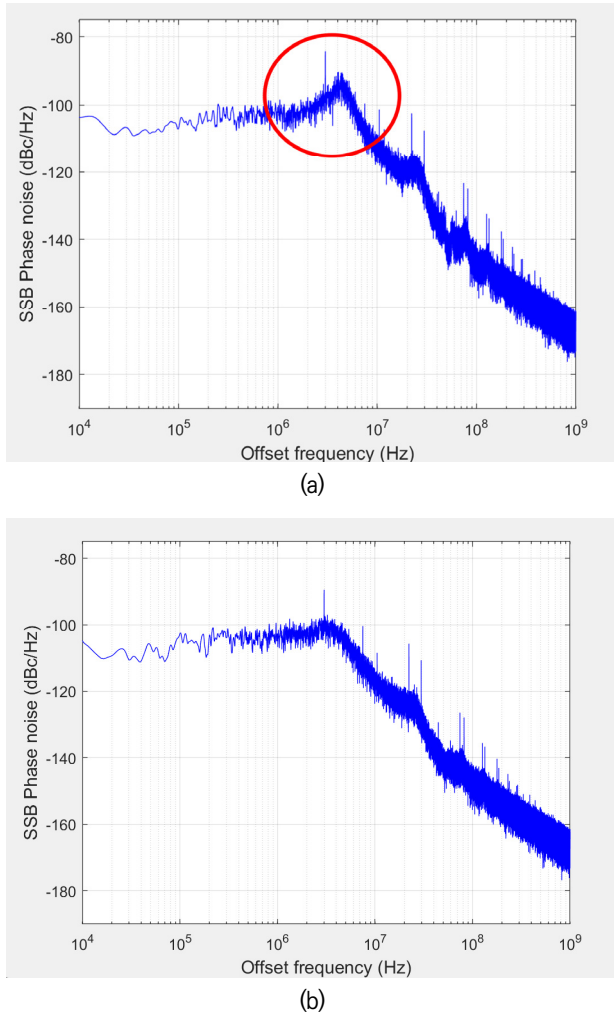


Fig. 7. Simulated phase noise: (a) 10bit binary control with 0.78% capacitance mismatch (b) 10bit binary control with additional 5bit thermometer control.

그림 7. 위상 잡음 시뮬레이션 결과: (a) 0.78%의 커패시턴스 미스매치를 갖는 10bit 바이너리 코드 방식 (b) 추가 서모미터 코드 잠금 방식

Table 1. Design summary of the proposed digital PLL.  
표 1. 제안된 디지털 PLL의 설계 요약표

Parameters	Value
Output frequency	4336MHz ~ 4438.4MHz
Reference frequency	52MHz
Locking time	< 15us
DTC resolution	2ps
TDC resolution	1ps
Loop bandwidth	5MHz
Kdco	20kHz/code
In-band PN @ 100KHz	-106dBc/Hz

#### IV. 결론

본 논문에서 제시된 새로운 디지털 위상 고정 루프 (DPLL) 잠금 기법은 LC 기반 디지털 제어 발진기(DCO)의 성능을 크게 향상시킨다. 이 연구는 양자화 오류를 줄이기 위해 추가 서모미터 코드를 사용하는 방식을 도입함으로써, 전체 DCO 코드를 서모미터 방식으로 구현하지 않고도 높은 선형성을 달성하였다. 이 기법은 초기 잠금 단계에서 바이너리 코드를 사용하고, 잠금이 완료되면 서모미터 코드로 전환하여 주파수 대비 높은 선형성과 낮은 지터 특성을 달성하였다. 본 연구의 접근법은 특히 낮은 DCO 이득(Kdco)을 요구하는 응용 분야에서 중요하다. 서모미터 코드만을 사용하는 기존 방식과 비교하여 스위치의 수를 현저히 줄이고 발진기의 면적을 최소화함으로써, 고성능 DPLL 설계에 있어 큰 이점을 제공하였다. 또한, 지터 특성은 서모미터 코드만을 사용할 때와 동일한 수준을 유지한다. 결과적으로, 이 연구는 SystemVerilog 및 Verilog HDL을 사용한 모델링과 RTL 수준에서의 설계를 통해 새로운 잠금 기법의 효과를 성공적으로 입증하였다.

#### References

[1] E. Wagner, O. Shana'a and G. M. Rebeiz, "A Very Low Phase-Noise Transformer-Coupled Oscillator and PLL for 5G Communications in 0.12 um SiGe BiCMOS," *IEEE Transactions on Microwave Theory and Techniques*, vol.68, no.4, pp.1529-1541, 2020. DOI: 10.1109/TMTT.2019.2957372.

[2] M. R. Yuce, H. C. Keong and M. S. Chae, "Wideband Communication for Implantable and Wearable Systems," *IEEE Transactions on Microwave Theory and Techniques*, vol.57, no.10, pp.2597-2604, 2009. DOI: 10.1109/TMTT.2009.2029958.

[3] J. L. McCreary and P. R. Gray, "All-MOS charge redistribution analog-to-digital conversion techniques. I," *IEEE Journal of Solid-State Circuits*, vol.10, no.6, pp.371-379, 1975. DOI: 10.1109/JSSC.1975.1050629.

[4] A. I. Hussein, S. Vasadi and J. Paramesh, "A 50-66-GHz Phase-Domain Digital Frequency Synthesizer With Low Phase Noise and Low Fractional Spurs,"

*IEEE Journal of Solid-State Circuits*, vol.52, no.12,  
pp.3329-3347, 2017.  
DOI: 10.1109/JSSC.2017.2746669.

---

**BIOGRAPHY**

---

**Byeongseok Kang** (Member)



2022 : BS degree in Computer Science and Electrical Engineering, Handong Global University.  
2022~ : MS degree in Computer Science and Electrical Engineering, Handong Global University.

**Young-Sik Kim** (Member)



1993 : BS degree in Electronic and Electrical Engineering, Pohang University of Science and Technology.  
1995 : MS degree in Electronic and Electrical Engineering, Pohang University of Science and Technology.

1999: PhD degree in Electronic and Electrical Engineering, Pohang University of Science and Technology.

1999~ : Professor, Handong Global University

**Shinwoong Kim** (Member)



2009 : BS degree in Computer Science and Electrical Engineering, Handong Global University.  
2011 : MS degree in Information and communication Engineering, Handong Global University.

2016: PhD degree in Electronic and Electrical Engineering, Pohang University of Science and Technology.

2016~2022 : Senior Engineer, Samsung Electronics.

2022~ : Assistant Professor, Handong Global University