

Partial-isolation LDMOS의 항복전압과 온저항 분석

Breakdown Voltage and On-resistance Analysis of Partial-isolation LDMOS

김 신 욱*, 이 명 진**

Sin-Wook Kim*, Myoung-jin Lee**

Abstract

In this paper, the breakdown voltage of Pi-LDMOS (Partial isolation lateral double diffused metal oxide semiconductor) was analyzed by simulation. Breakdown voltage variation is investigated under various settings of Partial buried oxide(P-BOX) parameters(length, thickness, location) and their mechanism is specified. In addition, the change in on-resistance in the breakdown voltage and trade-off relationship was analyzed according to the change in the P-BOX parameter, and the Figure-of-merit(FOM) was calculated and compared. In proposed structure, $L_{box}=5\ \mu\text{m}$, $t_{box}=2\ \mu\text{m}$, and $L_{bc}=2\ \mu\text{m}$ showed the highest breakdown voltage of 138V, and $L_{box}=5\ \mu\text{m}$, $t_{box}=1.6\ \mu\text{m}$, and $L_{bc}=2\ \mu\text{m}$ showed the highest FOM. Compared to conventional LDMOS, the breakdown voltage is 123% and FOM is 3.89 times improved. Therefore, Pi-LDMOS has a high breakdown voltage and FOM, which can contribute to the improvement of the stable operating range of the Power IC.

요 약

본 논문에서는 Partial isolation lateral double diffused metal oxide semiconductor(Pi-LDMOS)의 항복전압에 대해 시뮬레이션을 통해 분석하였다. 항복전압 변화는 Partial buried oxide(P-BOX)의 다양한 파라미터(길이, 두께, 위치)에 따라 조사되었고, 그 메커니즘에 대해 명기하였다. 또한 항복전압과 trade-off 관계에 있는 온저항의 변화를 P-BOX 파라미터 변화에 따라 분석하였고 Figure of merit(FOM)을 계산하여 비교하였다. 제안된 구조에서 $L_{box}=5\ \mu\text{m}$, $t_{box}=2\ \mu\text{m}$, $L_{bc}=2\ \mu\text{m}$ 일 경우 138V의 가장 높은 항복전압을 나타내었고, $L_{box}=5\ \mu\text{m}$, $t_{box}=1.6\ \mu\text{m}$, $L_{bc}=2\ \mu\text{m}$ 일 경우 가장 높은 FOM을 나타내었다. 이는 conventional LDMOS 대비 항복전압은 123%, FOM은 3.89배 향상된 수치이다. 따라서 Pi-LDMOS는 높은 항복전압과 FOM을 가져 Power IC의 안정적인 동작범위 향상에 기여할 수 있다.

Key words : LDMOS, Pi-LDMOS, P-BOX, Breakdown Voltage, On-resistance, Electric Field

*(Graduate student, Professor) Department of ICT Convergence System Engineering, Chonnam National University, Gwangju 61186, South Korea

★ Corresponding author

E-mail : mjlee@jnu.ac.kr, Tel : +82-62-530-1810

※ Acknowledgment

This research was supported by the MSIT(Ministry of Science and ICT), Korea, under the ICAN(ICT Challenge and Advanced Network of HRD) program(IITP-2023-RS-2022-00156385) supervised by the IITP(Institute of Information & Communications Technology Planning & Evaluation).

This research was supported by the MSIT(Ministry of Science and ICT), Korea, under the Innovative Human Resource Development for Local Intellectualization support program(IITP-2023-RS-2022-00156287) supervised by the IITP(Institute for Information & communications Technology Planning & Evaluation).

This research was supported by the BK21 FOUR Program(Fostering Outstanding Universities for Research, 5199991 714138) funded by the Ministry of Education (MOE, Korea) and National Research Foundation of Korea(NRF). The EDA tool was supported by the IC Design Education Center (IDEC), South Korea.

Manuscript received Dec. 4, 2023; revised Dec. 19, 2023; accepted Dec. 26, 2023.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서론

Laterally Diffused Metal-Oxide Semiconductor (LDMOS)는 높은 항복전압, 저소비 전력 등의 장점을 가지고 이에 더해 쉽게 집적될 수 있다는 특징을 가져 Power IC의 고전압 전력 장치의 유망한 후보로 큰 주목을 받아왔다[1]. 특히 silicon-on-insulator platform에서 제작된 SOI-LDMOS는 래치업 감소, 적은 누설 전류, 빠른 스위칭 속도라는 추가적인 장점을 가지고 있다[2]. 하지만 buried oxide의 낮은 열 전도도로 인해 소자 동작 영역의 열이 방출되지 않아 열이 축적되고, 그로 인해 소자의 성능이 열화되는 Self-heating effect 문제가 발생한다. 한편, 소자 성능을 개선시키기 위해 부분적으로 매립형 산화물을 넣은 Partial isolation(Pi)나 Partial silicon-on-insulator(P-SOI)구조가 연구되었다[3, 4]. 그 중 P-SOI구조는 SOI-LDMOS의 열 문제를 해결하고 높은 항복전압을 가질 수 있어 이를 LDMOS에 적용한 여러 개선 구조들이 연구 되었다[5]-[8]. 하지만 작은 장치 치수($\leq 10\mu\text{m}$)에서 P-SOI와 그 영향에 대한 연구는 부족한 실정이다.

본 논문에서는 Synopsys사의 sentaurus TCAD (Technology computer-aided design) tool을 이용하여 Partial buried oxide(P-BOX)를 삽입한 Partial isolation type LDMOS(Pi-LDMOS) 구조를 제작하고, P-BOX의 위치와 크기에 따라 LDMOS 소자의 항복 전압과 온저항이 어떻게 달라지는지 분석하였다. 이를 위해 시뮬레이션을 통해 소자에서 항복이 일어나는 현상을 재현하여 부분 분리 매립형 산화물이 소자의 항복전압과 온저항에 어떠한 영향을 미치는지 알아보았다.

II. 본론

1. 장치 구조

conventional LDMOS와 Pi-LDMOS의 단면도는 그림 1에 도시하였다. P-BOX는 드레인 끝쪽에 영역에 위치하여 L_{box} , t_{box} , L_{bc} 에 의해 각각 길이, 두께, 위치가 변경된다. L_{box} 는 P-BOX의 수평 방향 길이이고 t_{box} 는 수직 방향 두께로 P-BOX의 수직 방향 가운데 지점을 중심으로 위아래 방향으로 확장한다. L_{bc} 는 y축의 맨 위 쪽을 기준으로 P-BOX 두께 중앙의 점과 연결한 길이이다. P-BOX를 형성하기 위한 공정 순서를 그림 2에 나타내었다. 공정은 (a) SOI wafer (b) 실리콘층과 BOX층 식각 (c) 선택적 에피택셜 성장 순으로 진행된다[9].

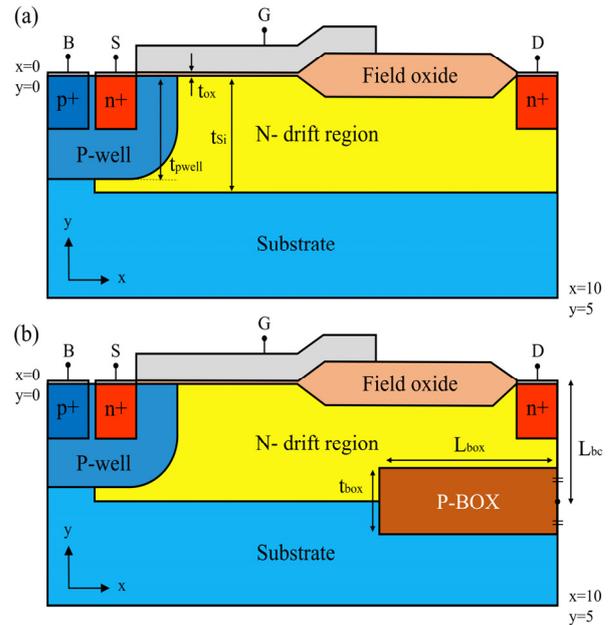


Fig. 1. Schematic cross-sectional view of conventional LDMOS(a), and Pi-LDMOS(b).

그림 1. conventional LDMOS(a)와 Pi-LDMOS의 단면도

드리프트 영역과 채널 영역의 가로 길이는 각각 $8\mu\text{m}$, $0.5\mu\text{m}$ 이다. 기판은 $3 \times 10^{16} \text{ cm}^{-3}$ 으로 도핑되어있고 드리프트 영역과 P웰은 각각 $5 \times 10^{17} \text{ cm}^{-3}$, $3.7 \times 10^{17} \text{ cm}^{-3}$ 으로 도핑하였다. t_{pwell} 과 t_{si} 의 값은 RESURF (Reduced Surface Field)원리를 적용시켜 Y축 방향에서 항복현상이 일어나도록 하기 위해 $1\mu\text{m}$ CMOS process를 가정하여 다음 논문을 참고하여 설정하였다 [10]. 시뮬레이션에 관련한 파라미터는 표 1에 나타내었다. TCAD tool로 소자 Breakdown 현상을 시뮬레이션 하기 위해 Physical 모델로 1) Shockley-Read-Hall recombination(doping and temperature dependent), 2) Auger recombination, 3) Avalanche recombination를 사용하였다.

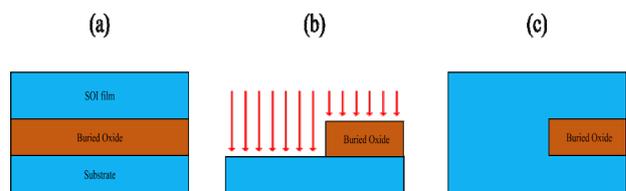


Fig. 2. Fabrication process of P-BOX in LDMOS device. (a) SOI wafer (b) silicon layer and BOX layer etching (c) selective epitaxial growth.

그림 2. LDMOS 소자에서 P-BOX 제작 과정 (a) SOI 웨이퍼 (b) 실리콘층과 BOX층 식각 (c) 선택적 에피택셜 성장

Table 1. Device parameters of simulation.

표 1. 시뮬레이션을 위한 장치 파라미터

Parameters	Value
t_{ox}	40nm
t_{si}	$2\mu m$
t_{pwell}	$1\mu m$
Drift region length	$8\mu m$
channel length	$0.5\mu m$
N-drift region doping concentration	$5 \times 10^{17} \text{ cm}^{-3}$
P-well doping concentration	$3.7 \times 10^{17} \text{ cm}^{-3}$
Substrate p-type doping concentration	$3 \times 10^{16} \text{ cm}^{-3}$

2. 실험 결과 및 분석

본 연구에서 설계한 conventional LDMOS는 소자 동작 시 표면에서의 전계가 임계전계에 도달하기 전에 드리프트 영역이 공핍 되어 표면에서의 전계가 임계전계 보다 낮아지는 값으로 유지되어 그림 1의 X축 방향이 아닌 Y축 방향에서 항복이 일어나도록 하여 항복전압을 증가시킬 수 있는 RESURF 원리를 활용하도록 설계하였다 [11].

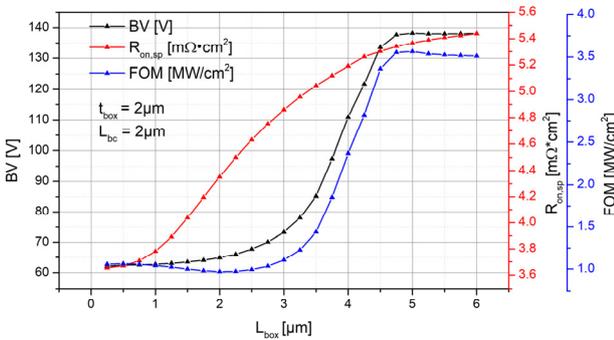


Fig. 3. Breakdown voltage, Ron,sp, FOM according to Lbox for the Pi-LDMOS devices having tbox = 2um, Lbc = 2um.

그림 3. tbox = 2um, Lbc = 2um의 값을 갖는 Pi-LDMOS 장치에서 Lbox에 따른 breakdown voltage, Ron,sp, FOM

그림 3은 L_{box} 변화에 따른 항복전압과 온저항, FOM (Figure of merit)의 변화를 나타낸다. FOM은 $BV^2/R_{on,sp}$ 로 표현된다[12]. t_{box} 와 L_{bc} 는 $2\mu m$ 로 고정하였다. conventional LDMOS는 수직 방향에서 62V의 항복전압을 갖는다. L_{box} 가 커질수록 P-BOX층에 최대로 인가할 수 있는 전계 크기가 상승하여 수직 방향에서의 항복전압이 증가한다. L_{box} 가 $3\mu m$ 이상부터 항복이 일어나

는 지점과 드레인 영역의 물리적인 거리가 충분히 멀어짐에 따라 항복전압은 급격하게 상승한다. L_{box} 가 $5\mu m$ 일때 항복전압이 138V로 최대치를 나타내고, 그 이상부터는 P-BOX층에 인가될 수 있는 전기장의 크기도 최대가 되어 L_{box} 증가에 따른 항복전압 상승이 포화된다. 온저항의 경우 L_{box} 가 증가할 경우 드리프트 영역을 침범한 영역이 늘어나기 때문에 드레인 쪽 저항이 상승하여 증가하다가 P-BOX의 끝단이 드레인 영역과 멀어짐에 따라 온저항 상승도 포화된다. 따라서 L_{box} 가 증가할 때 항복전압과 온저항이 동시에 상승하기 때문에 트레이드 오프 관계에 있으나 $L_{box}=5\mu m$ 에서 FOM의 최적점이 나타난다.

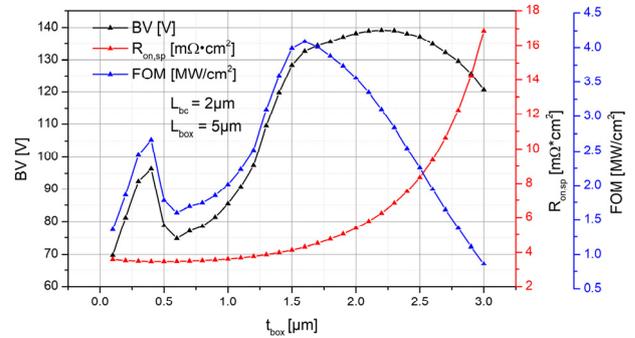


Fig. 4. Breakdown voltage, Ron,sp, FOM according to tbox for the Pi-LDMOS devices having Lbox = 5um, Lbc = 2um.

그림 4. Lbox = 5um, Lbc = 2um의 값을 갖는 Pi-LDMOS 장치에서 Lbox에 따른 breakdown voltage, Ron,sp, FOM

그림 4는 t_{box} 변화에 따른 항복전압과 온저항, FOM의 변화를 나타낸다. L_{box} 와 L_{bc} 는 각각 $5\mu m$, $2\mu m$ 로 고정하였다. t_{box} 의 값이 $0.1\mu m \sim 0.4\mu m$ 로 작을 경우 P-BOX층의 커패시턴스가 상승하여 수직 방향에 있는 P-BOX층에 높은 전계가 인가되어 수직 방향 전계가 강해져 항복전압이 소폭 상승한다. 하지만 이후 P-BOX가 두꺼워질수록 커패시턴스가 감소하여 $t_{box}=0.4\mu m$ 에서 96V의 첫 번째 항복전압 피크값을 나타내고 감소하게 된다. t_{box} 가 $0.5\mu m$ 부터는 P-BOX가 두꺼워질수록 높은 전계가 인가되고 P-BOX의 왼쪽 끝단에서의 전계 피크값을 나타내며 항복이 일어나게 된다. 이후 t_{box} 의 값이 커질수록 드리프트 영역의 공핍 영역이 증가하고 전압 인가 면적이 커지기 때문에 항복전압이 상승한다.

그림 5는 $L_{box} = 5\mu m$, $L_{bc} = 2\mu m$, $t_{box} = 0.4\mu m$, $0.5\mu m$, $1.5\mu m$ 인 경우, 항복 상황에서의 Si-SiO₂ 계면 측면 전기장을 나타낸다. $t_{box} = 0.4\mu m$ 인 경우 전계가

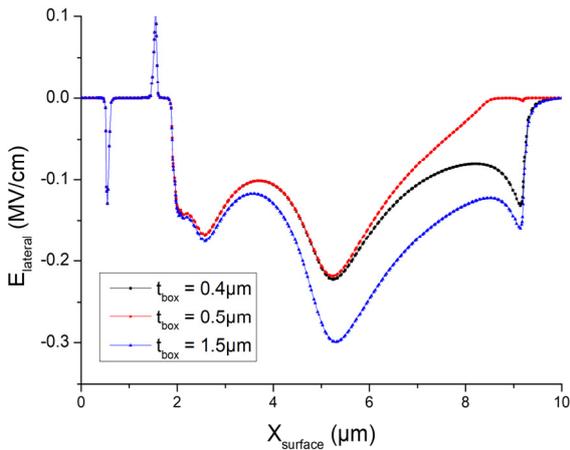


Fig. 5. Breakdown situation Si-SiO₂ interface surface electric field at $t_{\text{box}} = 0.4\mu\text{m}$, $0.5\mu\text{m}$, $1.5\mu\text{m}$ for the device having $L_{\text{box}} = 5\mu\text{m}$, $L_{\text{bc}} = 2\mu\text{m}$.

그림 5. $L_{\text{box}} = 5\mu\text{m}$, $L_{\text{bc}} = 2\mu\text{m}$ 인 장치의 $t_{\text{box}} = 0.4\mu\text{m}$, $0.5\mu\text{m}$, $1.5\mu\text{m}$ 에서의 항복상황 Si-SiO₂ 계면 측면 전기장

P-BOX의 끝단과 드레인 수직 방향에 분산된다. 하지만 $t_{\text{box}} = 0.5\mu\text{m}$ 인 경우 이러한 분산이 일어나기 전에 P-BOX의 끝단에서 항복이 일어나기 때문에 항복전압이 낮다. $t_{\text{box}} = 1.5\mu\text{m}$ 인 경우는 P-BOX가 두꺼워짐에 따라 전계값이 커지므로 전계가 분산되는 정도는 $t_{\text{box}} = 0.4\mu\text{m}$ 인 경우보다 적지만 높은 항복전압을 가질 수 있다. t_{box} 이 $2\mu\text{m}$ 에서 138V의 두 번째 항복전압 피크값을 나타내고 $t_{\text{box}}=2.5\mu\text{m}$ 이상으로 두꺼워질 경우 드레인 영역의 전류밀도가 증가하여 항복전압이 낮아지게 된다. 따라서 $t_{\text{box}}=2\mu\text{m}$ 에서 항복전압이 최대치를 나타내게 된다. t_{box} 가 커질수록 드리프트 영역에 침범하는 정도가

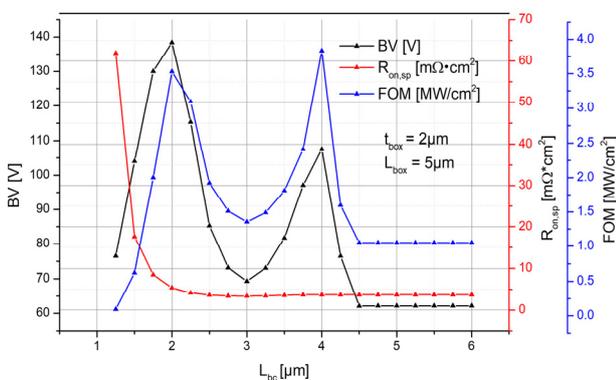


Fig. 6. Breakdown voltage, $R_{\text{on,sp}}$, FOM according to L_{bc} for the Pi-LDMOS devices having $t_{\text{box}} = 2\mu\text{m}$, $L_{\text{box}} = 5\mu\text{m}$.

그림 6. $t_{\text{box}} = 2\mu\text{m}$, $L_{\text{box}} = 5\mu\text{m}$ 의 값을 갖는 Pi-LDMOS 장치에서 L_{bc} 에 따른 breakdown voltage, $R_{\text{on,sp}}$, FOM

커져 드레인 영역의 저항이 상승하고 그로 인해 온저항도 증가한다. 항복전압이 낮지 않고 온저항이 높지 않은 $t_{\text{box}}=1.6\mu\text{m}$ 일 경우 FOM이 최대가 된다.

그림 6는 L_{bc} 변화에 따른 항복전압과 온저항, FOM의 변화를 나타낸다. t_{box} 와 L_{box} 는 각각 $2\mu\text{m}$, $5\mu\text{m}$ 로 고정하였다. L_{bc} 의 값이 작아 P-BOX층이 드레인 전극과 가까울 경우 앞서 설명한 바와 같이 드레인 영역의 전류밀도가 커져 항복전압이 낮다. $L_{\text{bc}}=2\mu\text{m}$ 일 때 드리프트 영역을 최대로 공핍시키고, 최대로 BOX층에 전기장을 인가시킬 수 있기 때문에 항복전압이 138V로 최대치를 보인다. 그 후 L_{bc} 가 증가함에 따라 드레인 전극과 P-BOX층이 멀어지게 되므로 항복전압이 낮아지게 된다. 하지만 $L_{\text{bc}}=3\mu\text{m}$ 이상부터는 P-BOX층이 드리프트 영역과 멀어지면서 항복이 수직 방향에서 일어나게 되는데 동시에 수직 방향의 전계가 완화되면서 항복전압이 증가하게 되고 $L_{\text{bc}}=3\mu\text{m}$ 에서 118V의 피크치를 나타내게 된다. $L_{\text{bc}}=4.5\mu\text{m}$ 이상으로 드리프트 영역에서 P-BOX층이 충분히 멀어지게 되면 P-BOX층은 항복전압에 더 이상 영향을 주지 않게 되고 conventional LDMOS와 동일한 항복전압을 나타내게 된다. L_{bc} 가 커질수록 P-BOX가 드리프트 영역의 저항이 감소하여 온저항이 작아진다. 항복전압과 온저항의 트레이드 오프 관계로 인해 FOM의 피크값은 두 군데에서 나타나지만 온저항이 더 낮은 $L_{\text{bc}}=4\mu\text{m}$ 에서 나타난다.

III. 결론

본 논문에서 Pi-LDMOS의 P-BOX층 파라미터 변화에 따른 항복전압과 온저항, FOM의 변화를 확인하였다. P-BOX가 삽입된 깊이, 두께, 위치에 따라 서로 다른 메커니즘에 의해 항복전압과 온저항의 트레이드 오프 관계가 이루어지는 것을 확인하였고, 최적의 FOM값을 갖는 P-BOX를 도출하였다. $L_{\text{box}}=5\mu\text{m}$, $t_{\text{box}}=2\mu\text{m}$, $L_{\text{bc}}=2\mu\text{m}$ 일 때 항복전압의 최대값을 나타내었다. 이는 conventional LDMOS($BV=62\text{V}$)와 비교하였을 때 123% 정도의 항복전압 향상을 나타낸다. 하지만 FOM은 $L_{\text{box}}=5\mu\text{m}$, $t_{\text{box}}=1.6\mu\text{m}$, $L_{\text{bc}}=2\mu\text{m}$ 일 경우 $4.09\text{MW}/\text{cm}^2$ 으로 최대값을 나타냈고, 이는 conventional LDMOS 대비 3.89배 향상된 수치이다. 분석을 통한 결과로서 최적의 P-BOX를 갖는 Pi-LDMOS는 Power IC에서 유리하게 적용될 수 있을 것이다.

References

- [1] K. S. Nikhil, N. DasGupta, A. DasGupta and A. Chakravorty, "Analysis and Modeling of the Snapback Voltage for Varying Buried Oxide Thickness in SOI-LDMOS Transistors," in *IEEE Transactions on Electron Devices*, vol.63, no.10, pp.4003-4010, 2016.
DOI: 10.1109/TED.2016.2600265.
- [2] K. S. Nikhil, N. DasGupta, A. DasGupta and A. Chakravorty, "SOI-LDMOS Transistors With Optimized Partial n+ Buried Layer for Improved Performance in Power Amplifier Applications," in *IEEE Transactions on Electron Devices*, vol.65, no.11, pp.4931-4937, 2018.
DOI: 10.1109/TED.2018.2867656.
- [3] Myoung Jin Lee et al., "Partial SOI type isolation for improvement of DRAM cell transistor characteristics," in *IEEE Electron Device Letters*, vol.26, no.5, pp.332-334, 2005,
DOI: 10.1109/LED.2005.846590.
- [4] J. H. Park et al., "Row Hammer Reduction Using a Buried Insulator in a Buried Channel Array Transistor," in *IEEE Transactions on Electron Devices*, vol.69, no.12, pp.6710-6716, 2022.
DOI: 10.1109/TED.2022.3215931.
- [5] Y. Hu et al., "Dimension Effect on Breakdown Voltage of Partial SOI LDMOS," in *IEEE Journal of the Electron Devices Society*, vol. 5, no. 3, pp. 157-163, 2017.
DOI: 10.1109/JEDS.2017.2690363.
- [6] A. A. Orouji, S. Sharbati and M. Fathipour, "A New Partial-SOI LDMOSFET With Modified Electric Field for Breakdown Voltage Improvement," in *IEEE Transactions on Device and Materials Reliability*, vol.9, no.3, pp.449-453, 2009.
DOI: 10.1109/TDMR.2009.2024688.
- [7] S. E. Jamali Mahabadi, A. A. Orouji, P. Keshavarzi, S. Rajabi, Hamid Amini Moghadam and Maryam Iranian Pour Haghighi, "A novel step buried oxide Partial SOI LDMOSFET with Triple Drift layer," *2011 International Conference on Signal Processing, Communication, Computing and Networking Technologies*, Thuckalay, India, 2011, pp.174-177.
DOI: 10.1109/ICSCCN.2011.6024538.
- [8] H. Elahipanah and A. A. Orouji, "A 1300-V $0.34\text{-}\Omega \cdot \text{cm}^2$ Partial SOI LDMOSFET With Novel Dual Charge Accumulation Layers," in *IEEE Transactions on Electron Devices*, vol.57, no.8, pp.1959-1965, 2010.
DOI: 10.1109/TED.2010.2050100.
- [9] Garner DM, Ensell G, Bonar J, Blackburn A, Udrea F, Lim HT, et al. The fabrication of a partial SOI substrate. In: *Ninth International Symposium on Silicon-on-Insulator Technology and Devices*, 1999. pp.73-8.
- [10] Houadef, Ali, and Boualem Djeddar. 2022. "Design of an LDMOS Transistor Based on the 1 μm CMOS Process for High/Low Power Applications" *Engineering Proceedings 14*, no.1: 17. <http://doi.org/10.3390/engproc2022014017>
- [11] J. A. Appels and H. M. J. Vaes, "High voltage thin layer devices (RESURF devices)," *1979 International Electron Devices Meeting*, Washington, DC, USA, 1979, pp.238-241,
DOI: 10.1109/IEDM.1979.189589.
- [12] J. Yao et al., "SOI LDMOS With High-k Multi-Fingers to Modulate the Electric Field Distributions," in *IEEE Transactions on Electron Devices*, vol.70, no.5, pp.2204-2209, 2023.
DOI: 10.1109/TED.2023.3262224.

BIOGRAPHY

Sin-Wook Kim (Member)



2023 : B.S. degree in Chemical Engineering, Chonnam National University, Gwanju.
2023~ : Pursuing the M.S. degree in ICT Convergence System Engineering, Chonnam National University, Gwanju.

Myoung Jin Lee (Member)

2001 : B.S. degree in Electrical Engineering, Korea University.

2003~2007 : M.S. and Ph.D. degrees, in Electrical Engineering, Seoul National University.

2007~2011 : Senior Research Engineer, Advanced Circuit Design Team, Hynix Semiconductor Inc. Icheon.

2014~ : Professor, Department of Electronic Engineering and ICT Convergence System Engineering, Chonnam National University, Gwangju, South Korea.