

# 더블게이트 실리콘 나노시트 피드백 전계효과 트랜지스터의 전기적 특성에 미치는 열처리 효과

## Effects of Annealing on Electrical Characteristics of Double-Gated Silicon Nanosheet Feedback Field-Effect Transistors

허효주<sup>a</sup>, 신연우<sup>a</sup>, 손재민<sup>a</sup>, 류승호<sup>b</sup>, 조경아<sup>a\*</sup>, 김상식<sup>a,b\*\*</sup>

Hyojoo Heo<sup>a</sup>, Yunwoo Shin<sup>a</sup>, Jaemin Son<sup>a</sup>, Seungho Ryu<sup>b</sup>,  
Kyoungah Cho<sup>a\*</sup>, Sangsig Kim<sup>a,b\*\*</sup>

### Abstract

In this study, we examined the effects of annealing on electrical characteristics of double-gated silicon nanosheet (SiNS) feedback field effect transistors (FBFETs). When bias stresses were applied for 1000 s, the double-gated SiNS FBFETs were more affected by positive bias stresses than negative bias stresses regardless of the channel mode owing to the increase of interface traps caused by electrons in the inversion layers. After annealing at 300 °C for 10 mins, the devices were completely recovered to their original properties, and the characteristics did not change anymore when bias stresses were applied again for 1000 s.

### 요약

본 연구에서는 더블게이트 실리콘 나노시트 (SiNS) 피드백 전계효과 트랜지스터(FBFET)의 전기적 특성에 열처리가 미치는 영향을 분석하였다. 1000 초 동안 바이어스 스트레스를 인가했을 때 더블게이트 SiNS FBFET는 inversion layer의 전자에 의한 계면 트랩의 증가로 인해 채널 모드와 무관하게 negative bias stress 보다는 positive bias stress의 영향을 더 많이 받았다. 300 °C에서 10 분 동안 열처리를 진행한 이후 소자는 원래의 특성을 완전히 회복하였으며 다시 1000 초 동안 바이어스 스트레스를 인가해도 특성이 변하지 않았다.

*Key words* : Feedback field-effect transistors, silicon nanosheet, bias stress, annealing, interface trap

<sup>a</sup> Dept. of Electrical Engineering, Korea University

<sup>b</sup> Dept. of Semiconductor System Engineering, Korea University

★, ★★ Corresponding author

Email : chochem@korea.ac.kr, sangsig@korea.ac.kr, Tel : +82-2-3290-3909

※ Acknowledgment

This study was partly supported by the Brain Korea 21 Plus Project, a National Research Foundation of Korea (NRF) grant funded by the Korean government (MSIT) (2020R1A2C3004538, 2022M3I7A3046571), Samsung Electronics (IO201223-08257-01), and a Korea University Grant.

Manuscript received Oct. 17, 2023; revised Oct. 31, 2023; accepted Nov. 16, 2023.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

## I. 서론

피드백 전계효과 트랜지스터(FBFET)는 채널 내부의 전하와 전위장벽 사이의 상호작용에 의한 양성 피드백 루프 현상을 이용하여 동작하는 소자이다. FBFET는 이상적인 스위칭 특성과 전하 축적에 의한 메모리 특성을 가져 차세대 전자 소자로써 주목받고 있으며 static random-access memory, quasi-nonvolatile memory, 1T dynamic random-access memory, logic-in-memory 등 다양한 분야에 적용 가능하다[1-7]. 또한 최근에는 FBFET의 oscillation 특성과 spiking 특성을 이용해 뉴런 소자로도 활발히 연구되고 있다[8-10]. 특히  $p^+ - i - n^+$  구조를 갖는 더블게이트 FBFET는 두 개의 게이트에 인가되는 전압에 따라 n-채널 또는 p-채널 모드로 재구성이 가능하여 집적화 측면에서 유리하다[11, 12].

더블게이트 FBFET의 실용화를 위해서는 전기적 안정성이 보장되어야 한다. 현재까지 FBFET의 신뢰성에 관한 연구는 대부분 온도에 따른 FBFET의 전기적 특성을 분석하는 방향으로 이루어졌으나 게이트 바이어스 상황에서 소자의 신뢰성에 관한 연구는 부족한 상황이며 [13-15], 소자의 전기적 안정성을 높일 수 있는 연구는 아직 없다. 소자 미세화에 따라 게이트 절연막 두께가 감소하면 게이트 절연막에는 2-6 MV/cm 수준의 큰 전계가 걸리게 되고 이는 소자의 전기적 특성 열화로 이어진다[16-19]. 따라서 본 연구에서는 실리콘 나노시트(SiNS) 구조를 가지는 더블게이트 FBFET에 게이트 절연막 전계( $E_{ox}$ ) 4 MV/cm에 해당하는 positive bias stress(PBS)와 negative bias stress(NBS)를 인가한 후 전기적 특성을 조사하였다. 또한 열처리를 이용하여 바이어스 스트레스에 의해 열화된 더블게이트 SiNS FBFET의 전기적 특성이 회복될 수 있는지 알아보았다.

## II. 본론

### 1. 소자 구조 및 실험방법

그림 1은 더블게이트 SiNS FBFET의 광학 현미경 이미지 (a)와 단면모식도 및 에너지 밴드 다이어그램 (b)을 나타낸다. 본 FBFET는 100 nm의 상부 실리콘층을 갖는 p-타입 silicon on insulator wafer에서 제작되었다. 활성 영역 위에 25 nm의  $SiO_2$  게이트 절연막을 성장시킨 후 400 nm 두께의 poly-Si을 low-pressure chemical vapor deposition (LPCVD) 공정으로 증착

하였다. 이후 게이트 길이는 2  $\mu m$ , 게이트 사이의 간격은 1  $\mu m$ 가 되도록 poly-Si을 건식 식각하여 더블게이트 구조를 형성하였다. 게이트1과 소스 영역은  $n^+$  도핑을 위해 50 keV의 에너지와  $3 \times 10^{15} \text{ cm}^{-2}$ 의 dose로  $P^+$  이온을 주입하였으며 게이트2와 드레인 영역은  $p^+$  도핑을 위해  $B^+$  이온을 30 keV 에너지와  $3 \times 10^{15} \text{ cm}^{-2}$  dose로 주입하였다. 이후 activation을 위해 1050  $^{\circ}C$ , 30 초 조건에서 급속 열처리 공정을 진행하였다. 마지막으로 Ti/TiN/Al/TiN 금속 합금을 사용하여 소스, 드레인, 그리고 게이트 전극을 형성하였고 본 FBFET를 p-채널 모드로 동작시키기 위해서 게이트2에 음의 전압 ( $V_{G2}$ )을 인가하여 게이트2 아래 영역을 p-타입으로 정전기적으로 도핑하고, n-채널 모드 동작을 위해서 게이트1에 양의 전압 ( $V_{G1}$ )을 인가하였다.

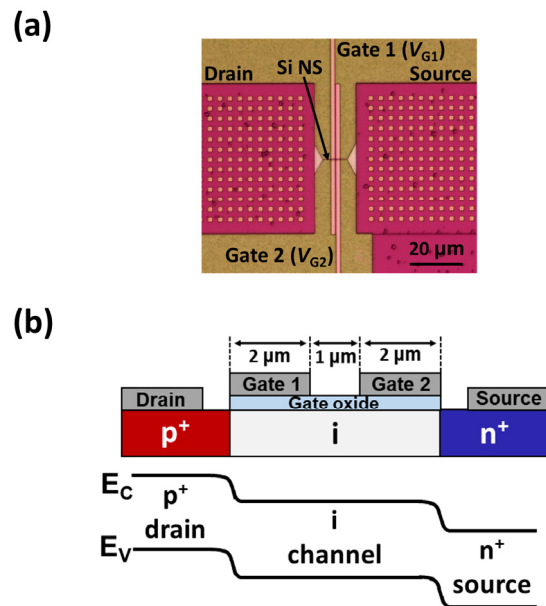


Fig. 1. (a) Optical top-view image, (b) schematic of double-gated SiNS FBFET and energy band diagram.

그림 1. 더블게이트 SiNS FBFET의 (a) 광학 현미경 이미지 및 (b) 단면 모식도와 에너지 밴드 다이어그램

본 연구에서는 NBS와 PBS 실험을 위해 게이트에 각각 -10 V, 10 V를 인가하였다. 바이어스 스트레스 이후 큐어링을 위한 열처리 조건은 본 FBFET 공정 마지막 단계인 게이트 금속 alloy 공정의 400  $^{\circ}C$  30분 간의 열처리 조건을 고려하여 300  $^{\circ}C$  10 분 조건에서 진행하였다. 더블게이트 SiNS FBFET의 전기적 특성은 반도체 파라미터 분석기인 Agilent HP4155C를 이용하여 상온에서 측정하였다.

## 2. 결과 및 고찰

그림 2 (a)는 더블게이트 SiNS FBFET의 p-채널 모드 스위칭 특성을 나타낸다.  $V_{G1}$ 을 3.0 V에서 0.0 V로 스위핑하였을 때  $V_{G1} = 1.3$  V에서 양성 피드백 루프로 인해 전류가 급격히 증가하는 latch-up 현상이 발생하였다.

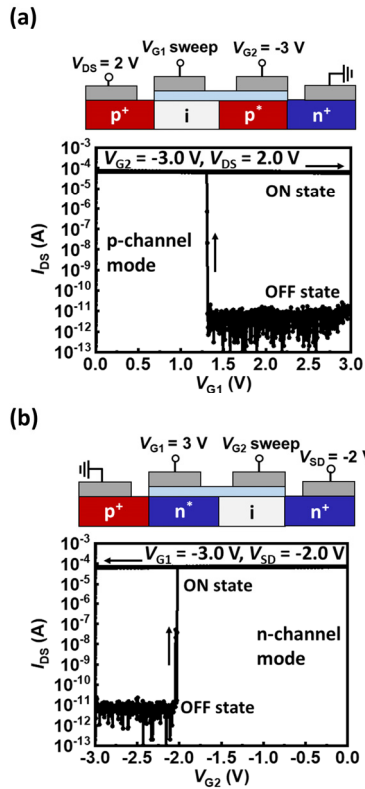


Fig. 2. Switching characteristics of double-gated SiNS FBFET in (a) p-channel mode and (b) n-channel mode.

그림 2. 더블게이트 SiNS FBFET의 (a) p-채널 모드 및 (b) n-채널 모드 스위칭 특성

$V_{G1}$ 을 다시 0.0 V에서 3.0 V로 스위핑하였을 때 채널 내부의 전위 우물에 축적된 전하의 영향으로 소자가 꺼지지 않고 ON 상태를 유지하였다. 그림 2 (b)는 본 FBFET의 n-채널 모드 동작 스위칭 특성을 나타낸다.  $V_{G2}$ 을 -3.0 V에서 0.0 V로 스위핑하였을 때  $V_{G2} = -2.0$  V에서 latch-up 현상이 발생했으며, p-채널 모드와 동일하게 bistable한 특성을 확인할 수 있었다. 두 채널 모드 동작 모두 매우 낮은 subthreshold swing (SS, < 1 mV/dec)과 높은 ON/OFF 전류비 ( $> 10^7$ )를 보였다. 또한, n/p-채널 모드의 ON 상태 전류비는 1.03으로 높은 전기적 대칭성을 보였다. 재구성 소자의 전기적 대칭성은 로직 게이트로 활용하기 위한 필수 전제조건이어서 본 소자는 재구성 로직 소자로 활용될 수 있다[20].

더블게이트 Si NS FBFET에 0 초, 10 초, 100 초, 1000 초 동안 PBS와 NBS를 인가했을 때 p-채널 모드 (a, b) 및 n-채널 모드(c, d) 스위칭 특성을 그림 3에 나타내었다. 채널 모드와 무관하게 본 FBFET는 NBS보다는 PBS의 영향을 많이 받는 것으로 드러났다. 또한 PBS 시간이 길어질수록 소자의 latch-up 특성은 사라지고

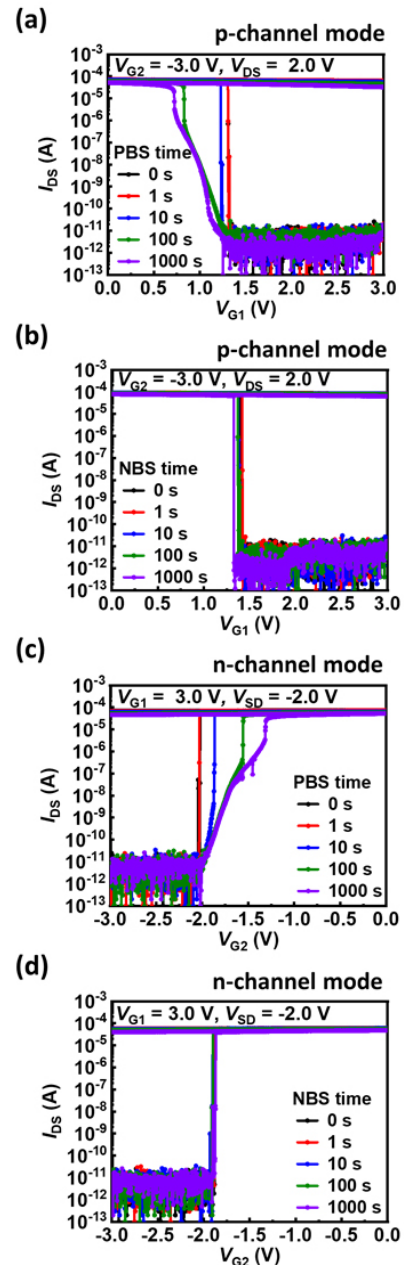
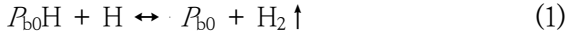


Fig. 3. Switching characteristics of double-gated SiNS FBFET in p-channel mode after (a) PBS, (b) NBS and n-channel mode after (c) PBS, (d) NBS.

그림 3. 더블게이트 SiNS FBFET의 p-채널 모드 동작에서 (a) PBS, (b) NBS 이후 스위칭 특성 및 n-채널 모드 동작에서 (c) PBS, (d) NBS 이후 스위칭 특성

SS가 증가하였다. 이는 게이트 절연막과 채널 사이의 계면 트랩(interface trap)의 증가에 기인하는 것으로 사료된다. 계면 트랩은 Si/SiO<sub>2</sub> 계면의 Si≡Si-H 결합이 깨지면서 생성되며 이 과정은 아래 식과 같이 계면 근처의 수소에 의해 발생할 수 있다[19, 21].



여기서  $R_{b0}$ 은 dangling bond를 의미한다.  $p^+-i-n^+$

구조를 갖는 본 FBFET의 게이트에 PBS로 10 V가 인가 되면 n-채널 모드와 p-채널 모드 모두 채널 영역의 표면에 inversion layer가 형성된다. Inversion layer의 전자가 수소와 결합하면 도펀트와 수소 사이의 결합 에너지는 감소한다[19, 22]. 도펀트에서 분리된 수소는 채널과 게이트 절연막 사이의 계면을 따라 확산하며 Si-H 결합과 반응하여 dangling bond를 만들고 계면 트랩을 형성한다[19, 23]. 반면 NBS 상황에서는 본 FBFET의 채널 영역에 inversion layer가 형성되지 않으므로 소자 특성에 거의 영향을 미치지 않는다.

그림 4 (a)와 (b)는 1000 초 동안 PBS 후 latch-up 특성은 사라지고 SS가 증가하였던 본 FBFET가 열처리 이후 원래의 특성을 완전히 회복한 것을 보여준다. 소자의 recovery는 계면 트랩의 감소와 관련 있다. 계면 트랩의 감소는 식 (1)과 같이 계면 근처의 수소 분자에 의한 dangling bond passivation으로 이루어진다[21, 23]. 수소 분자들은 열처리 과정 동안 Si/SiO<sub>2</sub> 계면으로 확산되어 계면 트랩을 감소시킨다. Passivation 과정에 필요한 수소 분자는 PBS에 의한 dangling bond 형성 과정에서 생성될 수 있으며, poly-Si 게이트의 grain boundary에도 존재한다[24]. 그림 4 (c)와 (d)는 300 °C, 10 분 동안 열처리를 진행한 이후 더블게이트 Si NS FBFET에 다시 0 초, 10 초, 100 초, 1000 초 동안 PBS를 인가했을 때 p-채널 모드 및 n-채널 모드 스위칭 특성을 나타낸다. 열처리 전과 달리 PBS 시간이 길어지더라도 SS가 증가하지 않고 latch-up 현상이 발생하였다. 이를 통해 열처리 과정으로 수소 분자에 의해 게이트 절연막과 채널 사이의 계면 트랩이 감소하여 소자의 계면 특성이 개선되었음을 확인할 수 있었다.

### III. 결론

본 연구에서는 바이어스 스트레스 후 더블게이트 SiNS FBFET의 전기적 특성을 확인하고 열처리를 이용하여 바이어스 스트레스에 의해 열화된 FBFET의 전기적 특성을 회복시킬 수 있는지 알아보았다. 4 MV/cm의  $E_{ox}$ 에 해당하는 게이트 바이어스 스트레스를 1000 초 동안 인가했을 때 본 FBFET는 inversion layer의 전자에 의한 계면 트랩의 증가로 인해 채널 모드와 무관하게 NBS보다는 PBS의 영향을 더 많이 받았다. PBS로 인해 SS가 증가했던 소자는 300 °C, 10 분 조건의 열처리 후 원래의 특성을 완전히 회복했으며 이후 다시 PBS를 인가했을 때 열처리 전과 달리 소자 특성에 변화가 없었다.

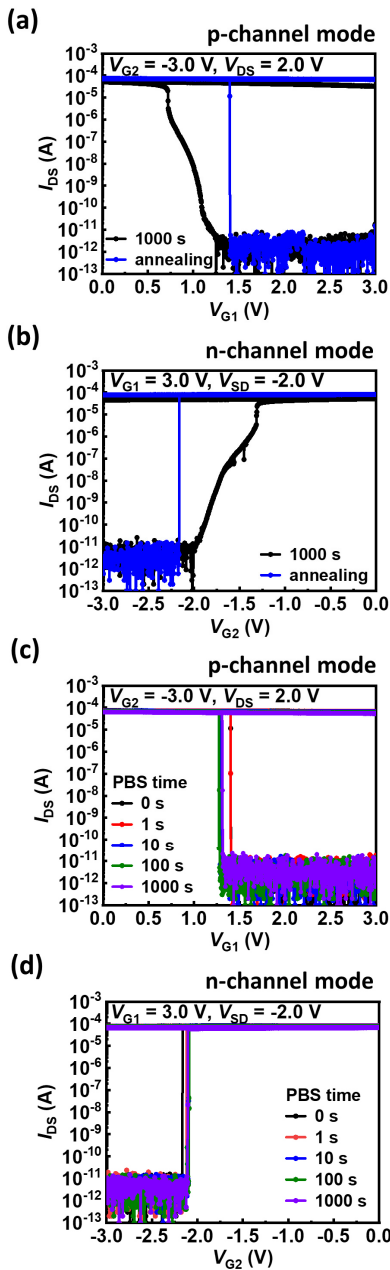


Fig. 4. Recovery characteristics (a, b) and switching characteristics after PBS (c, d) of annealed double-gated SiNS FBFETs.

그림 4. 열처리를 진행한 더블게이트 SiNS FBFET의 recovery 특성(a, b) 및 PBS 인가 후 스위칭 특성(c, d)

본 FBFET의 defect은 열처리를 통해 curing이 가능하며, defect가 curing된 소자는 더 이상 바이어스 스트레스의 영향을 받지 않고 높은 전기적 안정성을 갖는 것을 확인하였다.

## References

- [1] S. Cristoloveanu, K. H. Lee, H. Park, and M. S. Parihar, "The concept of electrostatic doping and related devices," *Solid-State Electronics*, vol.155, pp.32-40, 2019.  
DOI: 10.1016/j.sse.2019.03.017
- [2] H. Kanget *al.*, "Nonvolatile and volatile memory characteristics of a silicon nanowire feedback field-effect transistor with a nitride charge-storage layer," *IEEE Transactions on Electron Devices*, vol.66, no.8, pp.3342-3348, 2019.  
DOI: 10.1109/TED.2019.2924961
- [3] A. Z. Badwan, Q. Li, and D. E. Ioannou, "On the nature of the memory mechanism of gated-thyristor dynamic-RAM cells," *IEEE Journal of the Electron Devices Society*, vol.3, no.6, pp.468-471, 2015. DOI: 10.1109/JEDS.2015.2480377
- [4] S. Cristoloveanu *et al.*, "A review of the Z2-FET 1T-DRAM memory: Operation mechanisms and key parameters," *Solid-State Electronics*, vol.143, pp.10-19, 2018.  
DOI: 10.1016/j.sse.2017.11.012
- [5] D. Lim, J. Son, K. Cho, and S. Kim, "Quasi-nonvolatile silicon memory device," *Advanced Materials Technologies*, vol.5, no.12, pp.2000915, 2020. DOI: 10.1002/admt.202000915
- [6] J. Cho, D. Lim, S. Woo, K. Cho, and S. Kim, "Static random access memory characteristics of single-gated feedback field-effect transistors," *IEEE Transactions on Electron Devices*, vol.66, no.1, pp.413-419, 2018.  
DOI: 10.1109/TED.2018.2881965
- [7] S. Han, Y. Kim, D. Son, H. W. Baac, S. M. Won, and C. Shin, "Study on memory characteristics of fin-shaped feedback field effect transistor," *Semiconductor Science and Technology*, vol.37, no.6, pp.065-006, 2022.  
DOI: 10.1088/1361-6641/ac643e
- [8] Y.-S. Park, S. Woo, D. Lim, K. Cho, and S. Kim, "Integrate-and-fire neuron circuit without external bias voltages," *Frontiers in neuroscience*, vol.15, pp.644-604, 2021.  
DOI: 10.3389/fnins.2021.644604
- [9] D. Lim, K. Cho, and S. Kim, "Single silicon neuron device enabling neuronal oscillation and stochastic dynamics," *IEEE Electron Device Letters*, vol.42, no.5, pp.649-652, 2021.  
DOI: 10.1109/LED.2021.3063954
- [10] S. Woo and S. Kim, "Neural oscillation of single silicon nanowire neuron device with no external bias voltage," *Scientific reports*, vol.12, no.1, pp.3516, 2022.  
DOI: 10.1038/s41598-022-07374-2
- [11] D. Lim and S. Kim, "Polarity control of carrier injection for nanowire feedback field-effect transistors," *Nano Research*, vol.12, pp.2509-2514, 2019. DOI: 10.1007/s12274-019-2477-6
- [12] T. Kim, D. Lim, J. Son, K. Cho, and S. Kim, "Reconfiguration of operation modes in silicon nanowire field-effect transistors by electrostatic virtual doping," *Nanotechnology*, vol.33, no.41, pp.415203, 2022.  
DOI: 10.1088/1361-6528/ac7dae
- [13] M. Kim, Y. Kim, D. Lim, S. Woo, K. Cho, and S. Kim, "Steep switching characteristics of single-gated feedback field-effect transistors," *Nanotechnology*, vol.28, no.5, pp.055205, 2016.  
DOI: 10.1088/1361-6528/28/5/055205
- [14] T. Park. *et al.*, "Temperature-Dependent Electrical Characteristics of p-Channel Mode Feedback Field-Effect Transistors," *IEEE Access*, vol.10, pp.101458-101464, 2022.  
DOI: 10.1109/ACCESS.2022.3208116
- [15] J. Son, K. Cho, and S. Kim, "Electrical Stability of p-Channel Feedback Field-Effect Transistors Under Bias Stresses," *IEEE Access*, vol.9, pp.119402-119405, 2021.  
DOI: 10.1109/ACCESS.2021.3108232
- [16] C. Peng. *et al.*, "Investigation of negative bias temperature instability effect in partially



depleted SOI pMOSFET," *IEEE Access*, vol.8, pp.99037-99046, 2020.

DOI: 10.1109/ACCESS.2020.2997463

[17] S. Navarro *et al.*, "Reliability study of thin-oxide zero-ionization, zero-swing FET 1T-DRAM memory cell," *IEEE Electron Device Letters*, vol. 40, no.7, pp.1084-1087, 2019.

DOI: 10.1109/LED.2019.2915118

[18] A. Ghetti, "Gate oxide reliability: Physical and computational models," in *Predictive simulation of semiconductor processing: status and challenges*. Springer, 2004, pp.201-258.

DOI:10.1007/978-3-662-09432-7\_6

[19] L. Tsetseris, R. D. Schrimpf, D. M. Fleetwood, R. L. Pease, and S. T. Pantelides, "Common origin for enhanced low-dose-rate sensitivity and bias temperature instability under negative bias," *IEEE transactions on nuclear science*, vol.52, no.6, pp.2265-2271, 2005.

DOI: 10.1109/TNS.2005.860670

[20] Y. Shin, J. Son, J. Jeon, K. Cho, and S. Kim, "Logic-In-Memory Characteristics of Reconfigurable Feedback Field-Effect Transistors with Double-Gated Structure," *Advanced Electronic Materials*, pp.2300132, 2023.

DOI: 10.1002/aelm.202300132

[21] P. Samanta, H.-S. Huang, S.-Y. Chen, T.-J. Tzeng, and M.-C. Wang, "Interface trap generation and recovery mechanisms during and after positive bias stress in metal-oxide-semiconductor structures," *Applied Physics Letters*, vol.100, no.20, 2012. DOI: 10.1063/1.4711216

[22] L. Tsetseris, X. J. Zhou, D. M. Fleetwood, R. D. Schrimpf, and S. T. Pantelides, "Hydrogen-related instabilities in MOS devices under bias temperature stress," *IEEE Transactions on Device and Materials Reliability*, vol.7, no.4, pp.502-508, 2007.

DOI: 10.1109/TDMR.2007.910438

[23] S. Rashkeev, D. Fleetwood, R. Schrimpf, and S. Pantelides, "Effects of hydrogen motion on interface trap formation and annealing," *IEEE Transactions on Nuclear Science*, vol.51, no.6, pp.3158-3165, 2004.

DOI: 10.1109/TNS.2004.839202

[24] M. L. Reed and J. D. Plummer, "Chemistry of Si-SiO<sub>2</sub> interface trap annealing," *Journal of applied physics*, vol.63, no.12, pp.5776-5793, 1988. DOI 10.1063/1.340317

## BIOGRAPHY

### Hyojoo Heo (Member)



2023 : BS degree in Electrical Engineering, Korea University.  
2023~present : Ph.D candidate in Electrical Engineering, Korea University.

### Yunwoo Shin (Member)



2021 : BS degree in Biomedical Engineering, Korea University.  
2021~present : Ph.D candidate in Electrical Engineering, Korea University.

### Jaemin Son (Member)



2018 : BS degree in Electrical Engineering, Kookmin University.  
2018~present : Ph.D candidate in Electrical Engineering Korea University.

### Seungho Ryu (Member)



2022 : BS degree in Electrical Engineering, Kookmin University.  
2022~present : Ph.D candidate in Semiconductor System Engineering, Korea University.

**Kyoungah Cho** (Member)



1993 : BS degree in Chemistry,  
Sungshin Women's University.  
1995 : MS degree in Physical  
Chemistry, Sungshin Women's  
University.

2000 : PhD degree in Physical Chemistry, The  
University of Tokyo.

2002~present : Research Professor, Korea University.

**Sangsig Kim** (Member)



1985 : BS degree in Physics, Korea  
University.  
1987 : MS degree in Solid State  
Physics , Korea University.  
1996 : PhD degree in Applied  
Physics, Columbia University.

1996~1998 : Post-Doc, University of Illinois at  
Urbana-Champaign.

1998~1999 : Research Engineer, University of Illinois  
at Urbana-Champaign.

1999~present : Professor, Korea University