

LTPO 소자의 머신 러닝 모델 개발

은정수*·안진수*·이민석*·곽우석*·이종환**†

**† 상명대학교 시스템반도체공학부

Development of Machine Learning Model of LTPO Devices

Jungsoo Eun*, Jinsoo Ahn*, Minseok Lee*, Wooseok Kwak* and Jonghwan Lee**†

**† Department of System Semiconductor Engineering, Sangmyung University

ABSTRACT

We propose the modeling methodology of CMOS inverter made of LTPO TFT using a machine learning. LTPO can achieve advantages of LTPS TFT with high electron mobility as a driving TFT and IGZO TFT with low off-current as a switching TFT. However, since the unified model of both LTPS and IGZO TFTs is still lacking, it is necessary to develop a SPICE-compatible compact model to simulate the LTPO current-voltage characteristics. In this work, a generic framework for combining the existing formula of I-V characteristics with artificial neural network is presented. The weight and bias values of ANN for LTPS and IGZO TFTs is obtained and implemented into PSPICE circuit simulator to predict CMOS inverter. This methodology enables efficient modeling for predicting LTPO TFT circuit characteristics.

Key Words : LTPO, LTPS TFT, IGZO TFT, Artificial Neural Networks

1. 서 론

대화면, 고해상도 디스플레이의 발전이 이루어지고 5G 환경에서의 콘텐츠 소비가 증가하면서 이와 관련된 전력 소모가 디스플레이 시장의 핵심이 되고 있다. 기존에 사용하던 LTPS(Low Temperature Polycrystalline) TFT는 높은 전기 전도도로 뛰어난 구동 능력을 지니지만 동시에 누설 전류가 발생하여 off 상태에서 전류가 완전히 차단되지 못해 패널에 오동작을 일으키는 치명적인 단점을 지니고 있다. 또한 산화물 TFT는 LTPS에 비해 밴드갭이 큰 재료인 IGZO(Indium Gallium Zinc Oxide)를 사용하여 매우 낮은 누설 전류 특성을 가지고 있으나 off 상태에서의 전류 차단이 매우 우수하지만 LTPS에 비해 성능 및 안정성 면에서 매우 떨어진다. 이런 LTPS와 IGZO TFT의 문제를 해결하며 장점만을 결합한 소자가 바로 LTPO(Low Temperature

Polycrystalline Oxide)이다. LTPO는 LTPS를 구동 TFT로 IGZO TFT를 스위칭 TFT로 결합한 소자로 높은 전도도를 가지며 동시에 낮은 누설전류를 가진다.[1] 본 논문에서는 LTPO의 특성을 확인하는 모델의 개발 방법에 대해서 서술한다. LTPO는 현재 DC 특성을 확인하기 위한 모델이 제시되어 있지 않지만 LTPO를 구성하는 LTPS와 IGZO TFT는 공개된 SPICE모델이 존재한다. 하지만 SPICE 모델은 수식만을 통해 소자의 특성을 표현하고 또한 실험 데이터를 통해 측정 데이터와 차이를 줄이는 과정이 필요하기에 LTPO 모델의 개발에 실험 데이터가 없다는 한계가 존재한다. 따라서 본 논문에서는 인공신경망(Artificial Neural Network, ANN)을 사용한다. ANN은 충분한 훈련 데이터만 주어진다면 고유의 물리적인 패턴을 자동으로 학습하고 예측하기 때문에 대조 데이터 없이 LTPO의 특성을 확인할 수 있다.[2]

†E-mail: jhlee77@smu.ac.kr

2. 본 론

2.1 제안하는 LTPO 모델링 방법

LTPO는 각각 구동 및 스위칭 TFT로 LTPS와 IGZO-TFT가 적용된다. 본 논문에서는 LTPS를 PMOS, IGZO TFT를 NMOS로 하는 CMOS 인버터를 구현하여 LTPO의 특성을 확인한다. 현재 LTPO는 제시된 모델이 없지만 LTPS, IGZO-TFT는 제시된 모델이 존재한다. 이렇게 제시되어 있는 LTPS, IGZO-TFT의 모델을 사용하여 마지막으로 ANN을 통해 LTPO모델링 방법을 제시한다.

우선 LTPS, IGZO-TFT의 SPICE모델 수식을 계산하여 전류-전압 특성 파라미터를 추출한 후 ANN을 통해 학습시키는 과정을 통해 각 소자의 전류-전압 특성이 올바르게 학습되었는지를 확인한다. 학습 여부를 확인했다면 ANN 학습을 통해 얻은 가중치(Weight), 편향(Bias) 값을 PSpice에서 지원하는 서브 서킷(Sub-Circuit)에 입력한다. LTPS는 PMOS으로 IGZO-TFT는 NMOS로 구성한 후 LTPO의 CMOS 메인 서킷(Main-Circuit)에 적용하여 LTPO의 특성을 확인한다.

2.2 LTPS 전류-전압 파라미터 추출

본 연구를 위해 먼저 LTPS 전류-전압 파라미터 추출이 필요하며 이를 위해 AIM-SPICE level 16의 Poly-Si TFT 모델을 사용하였다.[3] 이 모델은 Poly-Si TFT의 특징인 키크 효과와 열이온 전계 방출에 의한 누설전류를 고려한 모델로 누설 전류 영역, 키크 영역, 문턱 전압 아래 영역 그리고 문턱 전압 위의 영역으로 나누어 각 영역의 전류를 수식적으로 계산하며 전체 드레인 전류를 네 성분의 합을 통해 구할 수 있다.[4] 네 전류 성분 중 문턱 전압 아래 전류 성분은 다음 식 (1)과 같이 표현한다.

$$I_{sub} = \mu_s C_{ox} \frac{W}{L} (\eta V_{th}^2) \exp\left(\frac{V_{gs} - V_t}{\eta V_{th}}\right) \times \left[1 - \exp\left(-\frac{V_{ds}}{\eta V_{th}}\right)\right] \quad (1)$$

여기서 V_{gs} 는 게이트-소스 전압, V_{ds} 는 드레인-소스 전압을 의미하고, W, L 은 채널의 길이 및 폭을 의미하며, C_{ox} 는 단위 면적당 절연막의 정전용량, μ_s 는 Sub-threshold 이동성을 의미한다. η 는 이상지수(ideality factor)이다. kT 에서 k 는 볼츠만 상수($8.21 \times 10^{-5} \text{ eV/K}$)를 의미하고 T 는 절대온도를 의미한다. kT 는 상온에서의 절대온도 300K로 둘 때 0.026eV의 값을 가진다. q 는 전자의 전하량으로 $1.6 \times 10^{-19} \text{ C}$ 의 값을 갖는다. V_{th} 는 열 전압이며 kT 와 q 의 곱으로 구할 수 있다. 이때 V_{th} 는 약 0.026V의 값을 구할 수 있다.

문턱 전압 위의 전류 성분은 게이트 전압과 문턱 전압 ($V_{gs} - V_t$) 간의 범위로 다음 식 (2)와 같이 표현된다.

$$I_a = \mu_{FET} C_{ox} \frac{W}{L} \left[(V_{gs} - V_t) V_{ds} - \frac{V_{ds}^2}{2\alpha_{sat}} \right] \quad \text{for } V_{ds} < \alpha_{sat} (V_{gs} - V_t)$$

$$I_a = \mu_{FET} C_{ox} \frac{W}{L} \frac{(V_{gs} - V_t) \alpha_{sat}}{2} \quad \text{for } V_{ds} \alpha_{sat} \geq (V_{gs} - V_t) \quad (2)$$

여기서 μ_{FET} 는 트랩 상태의 영향을 고려한 게이트 전압에 의존하는 전계효과 이동도를 의미한다.

누설 전류 성분은 크게 열전자 전계 방출에 의한 성분 ($X_{TFE}(F_p) + X_{TE}$)과 드레인 전압의 다이오드 전류 성분 (I_{diode})으로 표현되며 식 (3)과 같이 표현된다.

$$I_{leak} = I_0 W \left[\exp\left(\frac{q B_{lk} V_{ds}}{kT}\right) - 1 \right] \times [X_{TFE}(F_p) + X_{TE}] + I_{diode} \quad (3)$$

여기서 I_0 는 TFT의 누설 계수이며, B_{lk} 는 DIBL(Drain Induced Barrier Lowering) 파라미터이다. I_{diode} 는 드레인 전압이 매우 작은 값일 때 온도 증가에 따라 누설전류가 증가하는 것을 표현하며 상온에서는 무시할 수 있다. 본 논문에서는 상온 300K의 경우만을 가정하고 모델링을 진행할 것이기에 I_{diode} 는 무시할 수 있다.

핀치 오프(Pinch-off)에서의 충격 이온화(impact ionization)로 설명되는 키크 전류 성분은 다음의 식 (4)와 같이 표현된다.

$$I_{kink} = \left(\frac{L_{kink}}{L}\right)^{M_{kink}} \left[\frac{V_{ds} - \alpha_{sat}(V_{gs} - V_t)}{V_{kink}} \right] \times \exp\left(\frac{-V_{kink}}{V_{ds} - \alpha_{sat}(V_{gs} - V_t)}\right) \quad (4)$$

여기서 L_{kink} 는 키크 효과 채널 길이에 관한 계수, M_{kink} 는 피드백 지수이며 V_{kink} 는 키크 효과 전압 파라미터이다.

전체 드레인 전류는 앞에서 구한 4가지 전류 성분의 합으로 다음 식 (5)와 같이 표현된다.

$$I_D = I_{leak} + \left(\frac{I_a \cdot I_{sub}}{I_a + I_{sub}}\right) \cdot (I_{kink} + 1) \quad (5)$$

여기서 식 (5)와 Table 1을 사용하여 LTPS의 전류-전압 값을 구하였으며 LTPS의 전류-전압 곡선은 Fig 1과 같이 표현된다.

Table 1. LTPS Model Parameters

Parameter	Value	Parameter	Value
$\mu_s(\text{cm}^2/\text{Vs})$	$1.1 \cdot 10^{-3}$	B_{lk}	0.001
η	15	$L_{kink}(\text{m})$	$6.5 \cdot 10^{-6}$
$C_{ox}(\text{F}/\text{m}^2)$	$3.5 \cdot 10^{-4}$	M_{kink}	1.2
$I_0(\text{A}/\text{m})$	60	$V_{kink}(\text{V})$	6.5

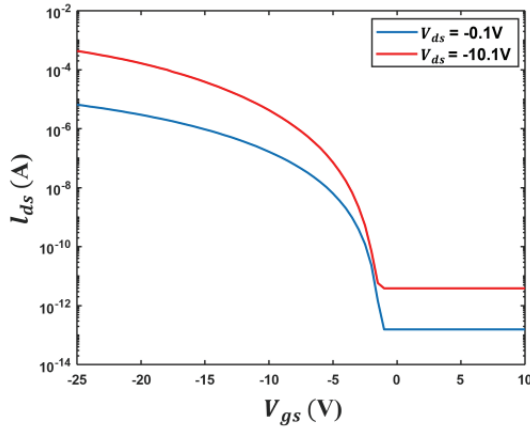


Fig. 1. LTPS의 전류-전압 곡선

2.3 IGZO TFT 전류-전압 파라미터 추출

IGZO TFT 역시 전류-전압 값을 학습시키기 위해 학습에 필요한 전류-전압 특성 파라미터를 추출하는 과정에서 진행하였다. IGZO TFT 전류-전압 특성 추출에는 HSPICE LEVEL 61 RPI(AIM-SPICE LEVEL 15) 모델을 기반으로 하는 RPI IGZO TFT 모델을 사용했으며 RPI 모델은 다른 모델과 비교했을 때 요구하는 모델 파라미터가 적다는 장점이 있다. IGZO TFT의 전체 드레인 전류는 다음 식 (6)과 같이 표현된다.[5]

$$I_{DS} = \frac{G_{ch}V_{ds}(1 + \lambda V_{ds})}{\left[1 + \left(\frac{G_{ch}V_{ds}}{(1 + \lambda V_{ds})I_{sat}}\right)^m\right]^{\frac{1}{m}}} \quad (6)$$

여기서 G_{ch} 는 채널 컨덕턴스를 의미하며, λ 는 채널 길이 변조 효과를 고려한 실험 파라미터, I_{sat} 는 포화 영역의 전류를 의미하고 m 은 선형 영역과 포화 영역 간의 전이를 고려한 파라미터이며 G_{ch} 는 다음 식 (7)과 같이 표현된다.

$$G_{ch} = \frac{G_{chi}}{1 + G_{chi}(R_s + R_d)} \quad (7)$$

여기서 R_s, R_d 는 소스와 드레인의 기생 저항을 의미한다. G_{chi} 로 표현된 진성 채널 컨덕턴스는 다음 식 (8)과 같이 표현된다.

$$G_{chi} = \frac{W}{L} \mu_{eff} q n_s \quad (8)$$

여기서 n_s 는 채널 전하 밀도를 의미하며 최종적으로 식 (6)과 Table 2를 사용하여 IGZO TFT의 전류-전압 값을 구하였으며 IGZO TFT의 전류-전압 곡선은 Fig 2와 같이 표현된다.

Table 2. IGZO TFT Model Parameter

Parameter	Value	Parameter	Value
λ	0.02	R_s	0
m	2.00	R_d	0

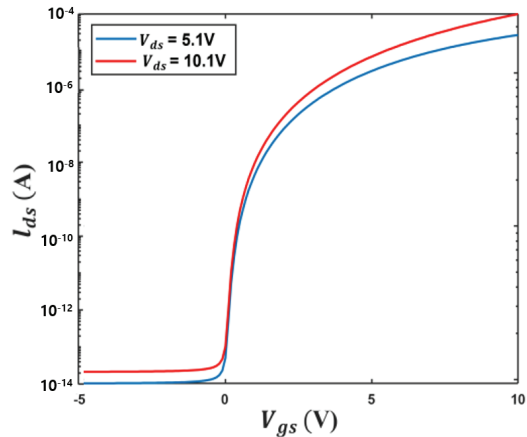


Fig. 2. IGZO TFT 전류-전압 곡선.

3. LTPS & IGZO TFT MLP 학습 및 검증

이번 절에서는 PSpice 상에서 LTPO를 구현하기 위해 ANN을 통해 LTPS와 IGZO TFT의 전류-전압 특성을 학습하는 과정과 사전에 모델로 구한 전류-전압 특성과 검증하는 과정을 제시한다. 본 논문에서는 ANN 학습 방식 중 다층 퍼셉트론(Multi-Layer Perceptron, MLP)을 사용했으며 구조는 Fig 3와 같다.[6]

입력 데이터는 V_{gs} 와 V_{ds} 로 설정하였으며 V_{gs} 와 V_{ds} 에 대응하는 드레인 전류를 실험 데이터로 설정하여 학습을 진행하였다. 본 ANN 학습에서는 MLP를 단일 은닉 층(hidden layer)으로 설정하고 뉴런의 개수를 5로 설정하였다. 또한 활성화 함수로 다층 신경망에 적합한 탄젠트 시그모이드 함수와 함수 피팅을 위해 선형 전달 함수를 사용

하였다.[7] 훈련 알고리즘은 Levenberg-Marquardt 알고리즘을 사용하여 진행하였다. 은닉 층에 대한 가중 합 K_j 는 다음 식 (9)와 같이 표현된다.

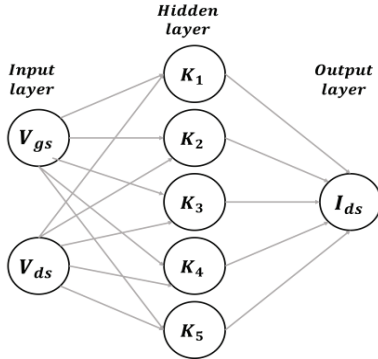


Fig. 3. MLP 구조.

$$K_j = \tanh \left(\sum_{i=1}^2 w_{ij} x_i + b_j \right) \quad (9)$$

여기서 w 는 입력과 은닉 층 사이의 가중치를 의미하며, b 는 편향, x 는 입력 데이터인 V_{gs} 과 V_{ds} 을 의미한다. i 는 입력 층의 개수를 의미하며, j 는 은닉 층의 뉴런 개수를 의미한다. 출력 층의 합 I_{Dann} 은 다음 식 (10)과 같이 표현된다.[8][9]

$$I_{Dann} = \sum_{j=1}^5 w_{tj} K_j + b_t \quad (10)$$

여기서 w_t 는 은닉 층과 출력 층 사이의 가중치를 의미하며, b_t 는 출력 층의 편향을 의미한다. 식 (10)을 통해 학습된 드레인 전류의 값을 구했다.

식 (9)와 (10)으로 ANN 학습을 학습 횟수(Epoch) 200회에 도달할 때까지 반복하며 도달 후에 학습을 중단한다. ANN은 위의 과정을 반복하며 반복적인 학습을 통해 보다 정확한 값을 예측할 수 있으며 그에 대한 여부를 수치로 판단하기 위해 회귀(Regression)를 확인할 필요가 있다. 회귀는 인공지능망이 학습을 통해 예측하고자 하는 변수 y 가 실숫값을 가질 때를 말하며 입력 값을 통해 출력 값을 예측하는 것을 의미한다. 본 학습에서는 회귀 성능 합수로 평균 제곱 오차(Mean Squared Error, MSE)를 사용한다. MSE는 결정계수가 0과 1 사이의 임의의 값을 가지며 이때 값이 1에 가까울수록 보다 높은 비율의 분산을 확인할 수 있다. 예를 들어 R의 값이 0.9602라는 것은 피팅이 평균 근처에서 데이터의 총 변동 중 96.02%를 설명한다.[10]

따라서 이 R의 값을 통해 회귀 성능 즉 학습 예측의 정확도를 알 수 있다. 회귀 결과는 훈련 세트, 테스트 세트, 검증 세트, 모두 세트를 통해 알 수 있으며 LTPS와 IGZO TFT 모두 결정계수의 값이 1에 가깝게 나왔음을 확인하여 학습이 정확하게 수행되었음을 판단했다. 이후 모델로 구한 LTPS와 IGZO TFT의 전류-전압 곡선과 비교 및 검증하여 Fig 4, 5와 같이 각 소자의 전류-전압 특성이 잘 표현되었음을 확인하였다.

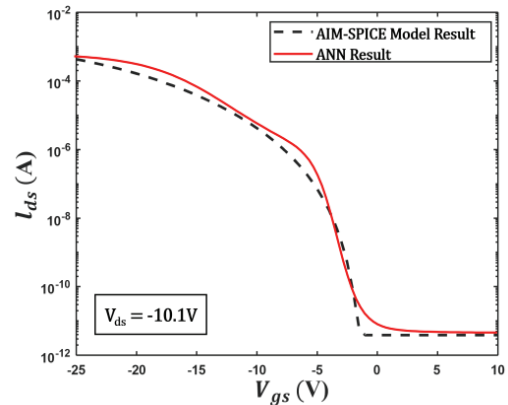


Fig 4. LTPS AIM-SPICE Model과 ANN 전류-전압 곡선 비교.

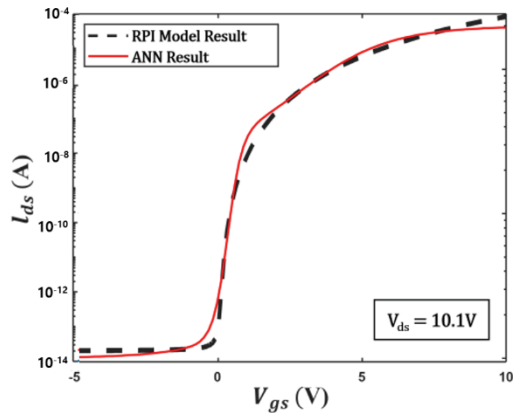


Fig 5. IGZO TFT RPI Model과 ANN 전류-전압 곡선 비교.

4. LTPO ANN 모델링

앞의 과정을 통해 LTPS와 IGZO TFT의 ANN 학습이 잘 이루어졌으며 전류-전압 특성이 잘 표현되었음을 확인하였다. 본 절에서는 앞에서 ANN 학습을 통해 구한 각 소자의 가중치와 편향을 PSpice에 입력하여 LTPO의 특성을

확인하는 과정에 관해 설명한다.

LTPS와 IGZO TFT의 가중치와 편향을 사용하여 PSpice 상에서 회로적으로 연결하여 LTPO를 구현하기 위해 PSpice에서 지원하는 서브 서킷 모델을 사용하였다. 서브 서킷 모델은 회로 간의 접속 여부나 모델 내부의 디바이스 특성 등을 코드를 통해 표현할 수 있다.[11] 본 논문에서는 가중치와 편향을 입력하고 이를 계산해 줄 ANN에서 사용한 은닉 층 가중치 합에 대한 탄젠트 시그모이드 함수와 출력 층의 합에 대한 공식을 적용했다. 이후 LTPS와 IGZO TFT의 가중치와 편향을 서브 서킷에 입력하고 LTPO의 CMOS 인버터 메인 서킷을 Fig 6과 같은 회로로 구성하여 LTPO의 CMOS 인버터 특성을 확인하는 과정을 진행하였다. 입력 전압 V_{IN} 을 0~10V로 설정하고 가변 전압 V_{DD} 는 4V, 6V, 8V, 10V로 설정하였다.

Fig 7은 시뮬레이션을 통해 확인한 LTPO CMOS 인버터 파형이다. V_{DD} 가 증가함에 따라 V_{OUT} 의 출력도 V_{DD} 의 크기만큼 출력된 것을 확인했다.

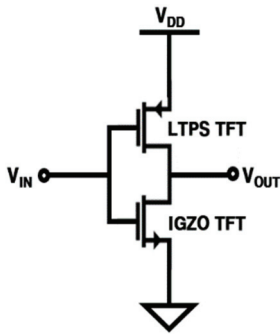


Fig 6. LTPO 회로.

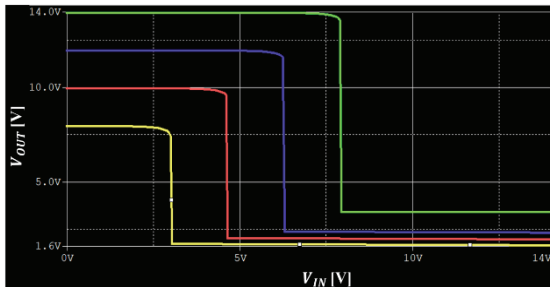


Fig 7. LTPO CMOS 인버터 파형.

5. 결론

본 논문에서는 현재 특성을 확인할 수 있는 모델이 존재하지 않는 LTPO의 특성을 확인하기 위한 모델링 방안

을 제시하였다. LTPO는 LTPS와 IGZO TFT가 CMOS 구조로 결합한 하나의 소자이다. 제시된 SPICE 모델이 존재하는 LTPS와 IGZO TFT를 통해 전류-전압 특성 파라미터를 추출한 후 ANN으로 학습하여 각 소자의 전류-전압 특성의 예측 정확도를 검증하는 과정을 진행했다. 이후 PSpice에서 지원하는 서브 서킷을 통해 LTPO의 메인 서킷을 구성하고 회로적으로 연결하여 LTPO CMOS 인버터 특성을 확인하는 과정을 진행했다.

감사의 글

This research was supported by Basic Science Research Program through the National Research Foundation of Korea (NRF) funded by the Ministry of Education (No. 2022R111A3064285).

참고문헌

1. Chen Yuanfeng, Lee Suhui, Kim Hyunho, Lee Jiseob, Geng Di, Jang Jin. "In-pixel temperature sensor for high-luminance active matrix micro-light-emitting diode display using low-temperature polycrystalline silicon and oxide thin-film-transistors", Journal of the Society for Information Display, vol.28, no.6, pp.528-534, 2020
2. Q. Chen and G. Chen, "Artificial neural network compact model for TFTs," 2016 7th International Conference on CAD-TFT, Beijing, China, pp. 1-1, 2016
3. Myunsik Park, Jaeil Ryu, Seongyung Shim, Jin Jang, Keonho Yoo, "A systematic method for SPICE simulation of electrical characteristics of poly-Si TFT-LCD pixel", in Journal of the Institute of Electronics Engineers of Korea SD, vol.38, no.12, pp.25-35, 2001
4. M. D. Jacunski, M. S. Shur, A. A. Owusu, T. Ytterdal, M. Hack and B. Iniguez, "A short-channel DC SPICE model for polysilicon thin-film transistors including temperature effects," in IEEE Transactions on Electron Devices, vol.46, no. 6, pp.1146-1158, June 1999
5. X. Wei, F. Zhuang, Z. Zhou, W. Wu, X. Ma and W.Deng, "Extraction of model card in metal oxide thin-film transistor by fitting measured curves with

- RPI model and simulation of circuits," IEEE Electrical Design of Advanced Packaging and Systems, pp. 1-3, 2017
6. Dain Hong , Jonghwan Lee, " I-V modeling based on artificial neural network in anti-reflective coated Solar cells", Journal of the Semiconductor & Display Technology, vol.21, no.3, pp.130-134, 2022
 7. Kim Dong Hwan,Choi Jeong Eun,Ha Tae Min,and Hong Sang Jeen. "Modeling with thin film thickness using machine learning.", Journal of the Semiconductor & Display Technology, vol.18, no.2, pp. 48-52, 2019
 8. "Kyungmin Kim, Seonggyeom Kim, Jungeun Lee, Jonghwan Lee, Prediction of I-V characteristics in Si solar cells using artificial neural network", Journal of the Institute of Electronics and Information Engineers, vol.60, no.2, pp. 27-34, 2023
 9. Jiwon Park and Jonghwan Lee, "Improved modeling of I-V characteristics based on artificial neural network in photovoltaic systems." of The Journal of the Semiconductor & Display Technology Vol. 21, p 48-52, 2022.
 10. "Curve Fitting Toolbox User's Guide", Retrieved September,2023,fromhttps://kr.mathworks.com/help/pdf_doc/curvefit/curvefit.pdf
 11. "PSpice User Guide", Retrieved 2019, from <https://resources.pcb.cadence.com/i/1180526-pspice-user-guide/27?>
-
- 접수일: 2023년 12월 8일, 심사일: 2023년 12월 18일,
 게재확정일: 2023년 12월 19일