

# RF 트랜스포머를 사용한 광대역 전력증폭기 설계

## Broadband power amplifier design utilizing RF transformer

김 옥 현\*, 우 제 옥\*, 전 주 영\*\*

Ukhyun Kim\*, Jewook Woo\* and Jooyoung Jeon\*\*

### Abstract

In this paper, a two-stage single-ended power amplifier (PA) with broadband gain characteristics was presented by utilizing a radio frequency (RF) transformer (TF), which is essential for a differential amplifier. The bandwidth of a PA can be improved by designing TF to have broadband characteristics and then applying it to the inter-stage matching network (IMN) of a PA. For broadband gain characteristics while maintaining the performance and area of the existing PA, an IMN was implemented on an monolithic microwave integrated circuit (MMIC) and a multi-layer printed circuit board (PCB), and the simulation results were compared. As a result of simulating the PA module designed using InGaP/GaAs HBT model, it has been confirmed that the PA employing the proposed design method has an improved fractional bandwidth of 19.8% at a center frequency of 3.3GHz, while the conventional PA showed that of 11.2%.

### 요 약

본 논문에서는 차동 증폭기에 필수적으로 필요한 Radio frequency(RF) transformer(TF)을 활용하여 광대역 이득 특성을 가지는 2단 단일 종단 전력증폭기를 제시하였다. RF TF의 특징을 파악하고 광대역 특성을 가지도록 설계한 뒤 2단 전력증폭기의 단간(inter-stage) 임피던스 정합 회로에 적용함으로써 증폭기의 대역폭을 향상시킬 수 있다. 기존의 2단 단일 종단(Single-ended) 증폭기의 성능과 면적을 유지하면서 광대역 이득 특성을 얻을 수 있도록 단간 정합 회로를 Monolithic Microwave Integrated Circuit (MMIC)와 다층 PCB에 구현하고 시뮬레이션을 통해 결과를 비교하였다. InGaP/GaAs HBT 모델을 사용하여 설계한 2단 전력증폭기 모듈을 시뮬레이션 한 결과 중심주파수 3.3GHz에서 기존의 전력증폭기가 11.2%의 fractional 대역폭을 보인 반면 제안된 설계 기법을 적용한 전력증폭기는 19.8%의 개선된 대역폭을 가짐을 확인하였다.

*Key words : Amplifiers, RF transformer, Broadband, inter-stage matching network, Fractional bandwidth*

### 1. 서론

머지않은 미래 사회에서 무선 모바일 통신망은 세계 각지에 흩어져있는 수십억 명의 사람들과 그보다 더 많

은 수의 가상 기기들을 연결할 것으로 예상되며 더욱더 널리 보급될 것으로 기대된다. 동시에 모바일 기기들을 지원하는 데이터 전송률은 계속해서 증가하게 되고 엄청난 양의 데이터 교환이 이루어지는 통신망 상황은 각 모

\* Department of Electronic Engineering, Gangneung-Wonju National University.

★ Corresponding author

E-mail : jyjeon@gwnu.ac.kr, Tel : +82-33-640-2430

※ Acknowledgment

This paper was supported by Haedong Science Foundation and research funds for newly appointed professors of Gangneung-Wonju National University in 2020.

Manuscript received Sep. 13, 2022; revised Sep. 20, 2022; accepted Sep. 22, 2022.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

바일 기기 입장에서 원활한 통신을 수행하기 어려운 환경을 조성할 것으로 예상된다[1]. 또한 6G 시대가 도래하면 초성능, 초대역, 초공간, 초정밀, 초지능, 초신뢰와 관련된 성능들이 필수적으로 요구될 것으로 예상된다[2]. 이를 위해 RF Front-End Module(FEM) 관점에서 이전보다 향상된 고출력, 고효율, 광대역 성능의 RF 전력증폭기의 개발에 대한 요구가 증대되고 있으며 특히 광대역 특성을 가지는 전력증폭기의 개발이 절실히 필요한 상황이다.

광대역 통신 시스템에서 데이터 전송 속도는 신호 대역폭에 직접적으로 비례하기 때문에 고속 전송을 위해서는 광대역 신호가 필요하고 광대역 신호를 적절하게 처리하려면 증폭기의 광대역 이득 특성이 필요하다.

트랜지스터 증폭기에서 대역폭 감소의 원인으로는 마이크로파 트랜지스터의 50ohm 부정합, 6dB/octave 비율로 주파수에 따른 이득 감소, 원치 않게 발생하는 다양한 커패시턴스 등이 있다. 증폭기의 대역폭을 증가시킬 수 있는 설계 및 방법으로는 저항성 매칭 증폭기(Resistive matching amplifier)구조, 부귀환 증폭기(Negative feedback amplifier)구조, 평형 증폭기(Balanced amplifiers) 구조, 분산 증폭기(Distributed amplifiers) 구조가 있다[3]. 저항성 매칭 증폭기 구조는 입출력 정합이 용이하다는 장점이 있는 반면, 이득이 감소되는 단점이 있다. 부귀환 증폭기는 평탄한 이득을 얻을 수 있는 반면, 저항성 매칭 증폭기와 동일하게 이득이 줄어든다는 단점이 있다. 평형 증폭기는 광대역 정합을 개선하고 출력을 두 배로 높일 수 있다는 장점이 있지만, 회로의 크기가 커지고 일반적인 증폭기의 약 2배의 DC 전력을 필요로 한다는 단점이 있다[4]. 분산 증폭기는 기생 커패시턴스를 감소시켜 대역폭을 향상시킬 수 있으나 평형 증폭기와 같이 회로의 크기가 커지고 이득 자체가 낮다는 단점이 존재한다[5].

이러한 기존 방식의 단점들을 해결하고 비교적 광대역과 고이득 동작을 안정적으로 얻을 수 있는 증폭기 설계 방법으로 차동 증폭기 구조가 있다. 차동 증폭기 구조는 가상 접지로 인해 큰 전압 스윙으로 더 높은 이득과 효율을 얻을 수 있으며, 교차된 결합 커패시터를 통해 피드백 커패시턴스를 감소시켜 더 높은 이득과 더 넓은 대역폭을 가질 수 있고, 높은 입력 임피던스를 통해 낮은 변화율을 가지게 되어 손실을 감소시킬 수 있다.

이에 본 연구에서는 차동 증폭기의 구조적 특성상 필수적으로 사용되는 RF TF를 활용하여 전력증폭기의 대역폭을 증가시키는 방법을 제시한다. 몇 개의 리액턴스

소자들로 구성되어 있던 기존의 2단 증폭기의 단단 임피던스 정합 회로를 리액턴스 소자들과 함께 정밀하게 설계된 RF TF로 대체함으로써 공진을 통해 클러스터 형태를 갖는 단단 임피던스를 구현하여, 보다 넓은 주파수 대역에서 일정한 이득 특성을 가지는 증폭기 설계 방법을 다룬다.

## II. 본론

### 1. 2단 단일 종단 전력증폭기

기존의 정합 방법과 제시한 설계 방법의 공정한 성능 비교를 목적으로 증폭기 성능에 영향을 미치는 다른 요인들을 배제한 단순한 2단 단일 종단 전력증폭기를 그림 1과 같은 구조로 설계하였다.

WIN Semiconductors사에서 제공하는 2um InGaP/GaAs HBT 트랜지스터 모델을 사용하여 중심 주파수 3.3GHz에서 일반적인 CW 성능을 가지도록 설계하였으며, Drive단의 이미터 면적은 480um<sup>2</sup>, Main단의 이미터 면적은 3960um<sup>2</sup>이고 각 단별로 독립적인 바이어스 회로들을 구성하였다. Drive단의 입력과 Main단의 출력에는 각각 입력 정합 회로와 출력 정합 회로를 사용하였으며 Main단과 Drive단 사이에는 단단 임피던스 정합 회로를 사용하였다.

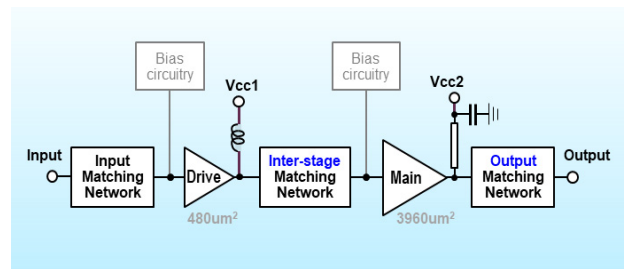


Fig. 1. Block diagram of 2-stage single-ended PA.

그림 1. 2단 단일 종단 전력증폭기 블록도

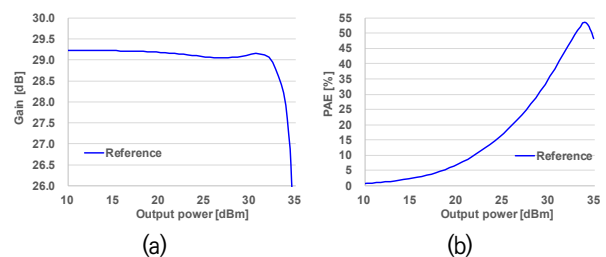


Fig. 2. Power-swept simulation results of 2-stage single-ended PA. (a) Power gain. (b) PAE.

그림 2. 2단 단일 종단 증폭기의 입력전력 변화에 대한 시뮬레이션 결과 (a) 전력이득 (b) 전력효율

그림 2는 설계된 2단 단일 종단 증폭기의 시뮬레이션 결과를 보여준다. 중심주파수인 3.3GHz에서 -20~10 dBm 범위의 입력 전력을 인가하였을 때  $P_{1dB}$ 는 약 33dBm, 소신호 이득은 약 29dB, Peak PAE(Power Added Efficiency)는 약 53%의 성능을 보였다.

**2. RF TF를 이용한 광대역 단간 정합 회로**

단간 임피던스 정합 회로는 다단 증폭기 회로에서 두 단 사이의 부정합을 개선하기 위하여 사용된다. 그림 1과 같은 2단 전력증폭기에서는 주 증폭단인 Main단의 낮은 임피던스를 적절히 높은 임피던스로 변환하여 Drive단이 증폭을 원활하게 할 수 있도록 도와 2단 증폭기의 이득 및 출력을 최적화하는데 기여한다. 단간 정합 회로는 손실을 줄이기 위해 주로 리액턴스 소자를 이용하여 구성하게 되는데 본 연구에서 비교를 위한 기준 전력증폭기의 경우 고대역 필터 형태(Series C-shunt L-Series C)로 구성되었다. Main단 입력 임피던스는 트랜지스터의 특성상 주파수에 따라 변하는 특징을 가지는데 Drive단의 출력 임피던스는 리액턴스 단간 정합 회로

에 의해 주파수 의존도가 더욱 커져 전체 증폭기의 대역폭이 줄어드는 것이 일반적이다. 본 연구에서는 그림 3(a)에서 보는 것과 같이 기존 고대역 필터 형태의 단간 임피던스 정합 회로를 리액턴스 소자들과 RF TF의 조합으로 대체하고 이들의 공진 특성을 이용하여 전력증폭기의 대역폭을 개선시키는 설계를 제안하였다.

그림 3(b)는 제안된 단간 임피던스 정합 회로의 최종 임피던스가 어떤 과정을 통해 클러스터 형태의 임피던스 궤적을 가지게 되는지 각 노드별 임피던스 궤적을 스미스 차트에 표시한 것이다. 적절한 리액턴스 성분의 조합을 통한 공진과 임피던스 변환의 최적화를 통해 주파수 의존도를 낮춤으로써 대역폭을 개선할 수 있다. 또한 단간 정합 회로 중 값이 작은 인덕터들은 전송선로 형태로 구현할 수 있다.

**3. 단간 임피던스 정합 회로 설계**

제안한 RF TF를 활용한 단간 임피던스 정합 회로의 설계 과정은 다음과 같다.

I. 2단 전력증폭기 회로의 단간 정합 회로를 TF 모델(Keysight ADS 모델)을 포함하여 구성하고 전력증폭기의 성능이 충족되도록 단간 정합 회로를 최적화한다.

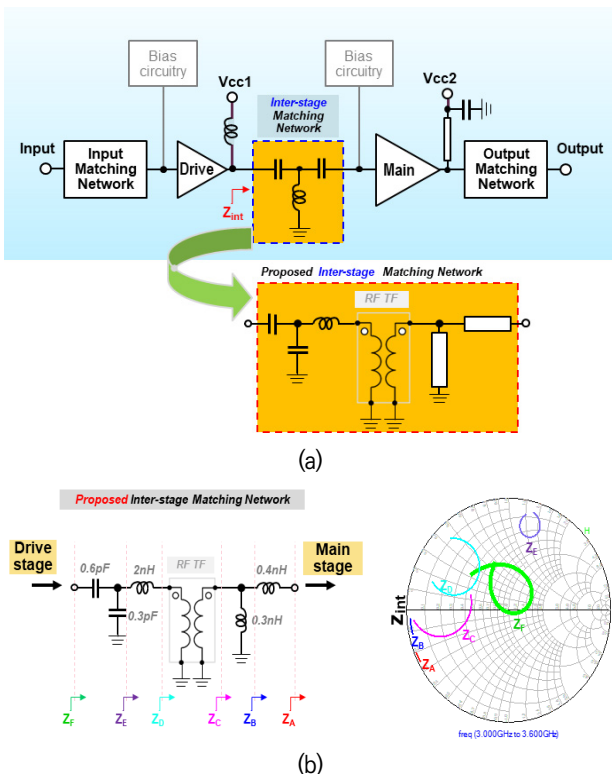


Fig. 3. Proposed inter-stage matching network. (a) Matching network replacement. (b) Impedance locus at each node in inter-stage matching network. 그림 3. 제안된 단간 임피던스 정합 회로 (a) 단간 정합 회로 교체 개념도 (b) 단간 정합 회로 각 노드에서의 임피던스 궤적

Table 1. Parameters of EM simulation TF.

표 1. EM시뮬레이션을 통해 구한 TF 파라미터

TF parameters	Desired features (determined by PA circuit simulation)	Extracted values (from EM simulated TF)
N	1.5-1.7	1.65
k	>0.7	0.75
M (nH)	<0.8	0.54
Lp (nH)	Smaller size	0.44
Ls (nH)	Smaller size	1.2
Rp, Rs (ohm)	<1	0.25, 0.55
Cp, Cs (pF)	Smallest	0.22, 0.22

II. 전력증폭기 성능을 기준으로 TF 모델 파라미터 값들의 목표값 및 범위를 설정한다(표 1).

III. 전 단계에서 사용된 TF를 실제 사용할 9-layer PCB(Printed Circuit Board) 기판 모델을 이용하여 구현하고 Electromagnetic(EM) 시뮬레이션을 통해 구현된 TF의 파라미터를 추출하여 목표값을 달성할 때까지 최적화 과정을 반복한다(그림 4).

IV. 2단 전력증폭기 회로 내 TF 모델(ADS 모델)을 EM 시뮬레이션을 통하여 구현한 TF로 대체하고 전력증

폭기 성능을 확인함으로써 최종 검증을 하며 문제점이 있을 경우, 앞의 과정들을 반복한다.

그림 5는 위의 TF 설계 과정을 순서도로 보여주며 목표 파라미터와 EM 시뮬레이션을 통해 구현한 TF의 파라미터는 표 1에 정리하였다.

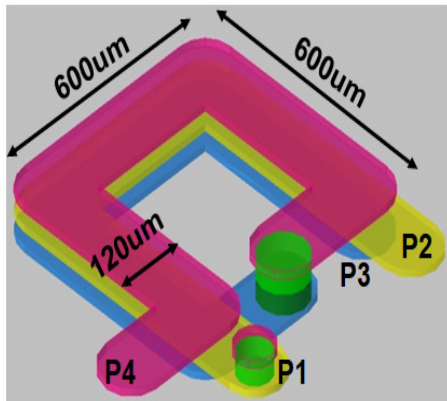


Fig. 4. Realized TF by EM simulation.  
그림 4. EM시뮬레이션에 의해 구현된 TF

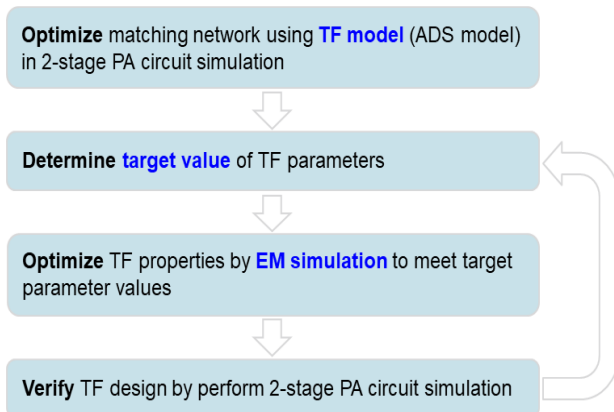


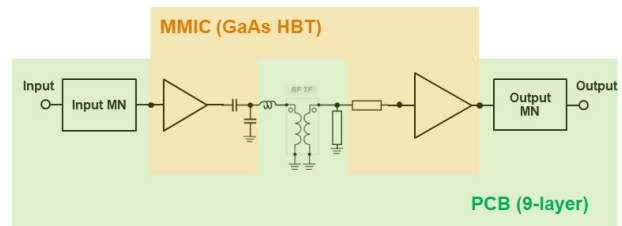
Fig. 5. TF design procedure.  
그림 5. TF 설계 과정

#### 4. 전력증폭기 모듈 구현

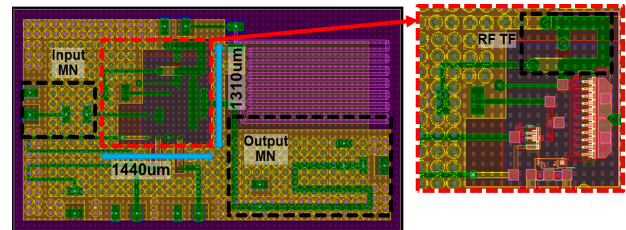
본 연구에서 제시한 단단 임피던스 정합 회로의 효율성을 시뮬레이션으로 검증하기 위해 2단 단일 종단 전력증폭기 모듈을 그림 6과 같이 MMIC와 다층 PCB의 조합으로 구성하였다.

단단 정합 회로 중 TF와 series inductor 및 shunt inductor는 PCB에 구현하고 나머지는 모두 MMIC 내에 구현이 가능하였다.

Series inductor는 상대적으로 큰 값(~2nH)을 가지므로 손실과 면적을 고려하여 SMD로 구현하였고 shunt inductor는 접지와와의 연결을 용이하게 하기 위해 전송선로 형태로 PCB에 구현하였다.



(a)



(b)

Fig. 6. 2-stage power amplifier module using MMIC and multi-layer PCB. (a) Block diagram. (b) PCB layout.  
그림 6. MMIC와 다층 PCB를 이용한 2단 전력증폭기 (a) 블록도 (b) PCB 레이아웃

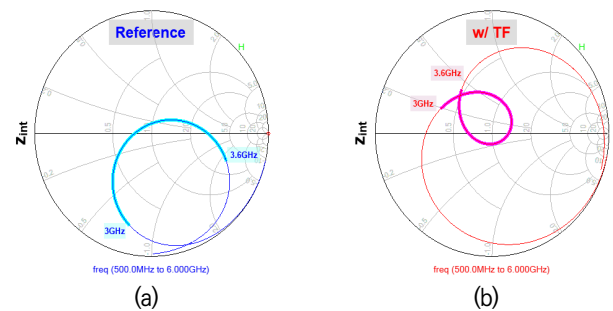


Fig. 7. Simulated Inter-stage impedance of (a) reference PA and (b) Proposed PA.  
그림 7. 단단 임피던스 시뮬레이션 결과 (a) 기준 전력증폭기 (b) 제안한 전력증폭기

#### 5. 성능 비교를 통한 검증

그림 7은 기준 전력증폭기와 제안된 전력증폭기의 Drive단에서 바라본 단단 임피던스를 비교한 것이다. 진하게 표시된 부분은 3.0~3.6GHz 구간을 나타내며 주파수에 대해 넓게 퍼져있는 기준 전력증폭기의 임피던스에 비해 제안된 전력증폭기는 상대적으로 모여있는 형태의 임피던스를 가진다. 이러한 특징은 소신호 이득 특성에도 그대로 반영되어 그림 8 (a)에서와 같이 제안된 전력증폭기가 훨씬 더 넓은 대역폭을 가짐을 확인할 수 있으며 3dB 대역폭 기준으로 기준 전력증폭기의 fractional 대역폭은 11.7%인 반면에 제안된 전력증폭기는 19.8%의 fractional 대역폭을 보인다. 또한, 제안된 전력증폭기는 out band에서 훨씬 작은 이득을 가지므로 spurious 성분을 억제함에 있어 보다 유리함을 그림 8 (b)에서 알 수 있다.

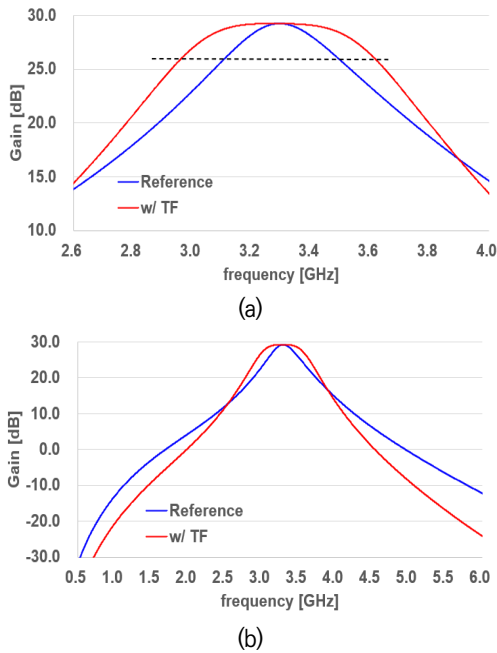


Fig. 8. Comparison of simulated small-signal gain over (a) 2.6-4GHz (b) 0.5-6GHz.  
 그림 8. 시뮬레이션을 통한 소신호 이득 비교 (a) 2.6-4GHz (b) 0.5-6GHz

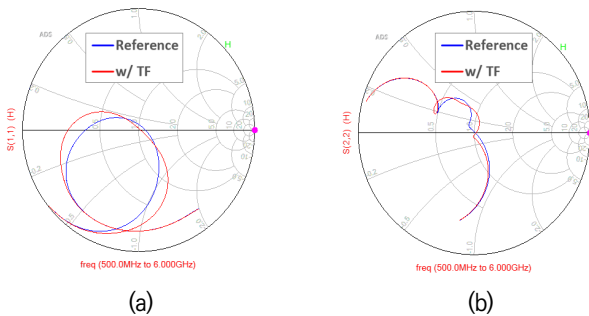


Fig. 9. Simulated input/output return loss comparison. (a) Input RL( $S_{11}$ ). (b) Output RL( $S_{22}$ ).  
 그림 9. 시뮬레이션을 통한 입출력 반사손실 비교 (a) 입력 반사손실( $S_{11}$ ) (b) 출력 반사 손실( $S_{22}$ )

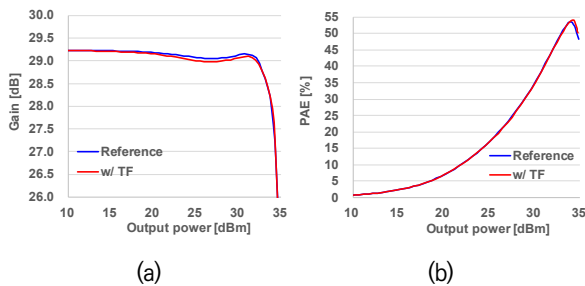


Fig. 10. Comparison of simulated RF performance. (a) Power gain. (b) PAE.  
 그림 10. 시뮬레이션을 통한 RF 성능 비교 (a) 전력이득 (b) 전력효율

제안된 단간 정합 회로가 전력증폭기의 대역폭 개선 이외의 다른 성능에 영향을 미쳤는지 확인하기 위하여 입출력 반사손실 및 입력 전력 변화에 대한 RF 성능을 추가적으로 시뮬레이션하였고 큰 영향을 주지 않음을 그림 9와 그림 10에서 확인할 수 있다. 이 결과들을 통해 제안된 단간 정합 회로는 특별한 성능 저하 없이 대역폭을 개선할 수 있음을 알 수 있다.

### III. 결론

본 연구에서는 차동 증폭기 구조에 필수적으로 사용되는 RF TF를 다층 PCB에서 구현하고 2단 단일 종단 증폭기의 단간 임피던스 정합 회로에 활용하여 증폭기의 성능 저하나 크기 증가 없이 다단 증폭기의 대역폭을 증가시키는 설계 기법을 제시하고 검증하였다. 소신호 전력 이득 기준으로 3.0~3.6GHz에서 8.1% 향상된 대역폭 증가를 확인하였으며 SMD 한 개를 추가하는 수준의 추가 면적이 요구되었다.

본 연구에서 제안된 기술을 보다 안정적으로 사용하기 위해서는 추가적으로 MMIC 및 PCB 공정 과정에서 발생하는 각 구성요소들의 편차에 대해 성능변화를 최소화할 수 있는 설계 기법을 확립하여야 하며 충분한 검증 후 3포트 발문형 TF에 적용하고 광대역 차동 증폭기를 구현하는 데 기여할 것으로 기대된다.

### References

[1] P. Heydari, "Transceivers for 6G Wireless Communications: Challenges and Design Solutions," *2021 IEEE Custom Integrated Circuits Conference (CICC)*, pp.1-8, 2021. DOI: 10.1109/CICC51472.2021.9431450

[2] H. Viswanathan and P. E. Mogensen, "Communications in the 6G era," *IEEE Access*, vol.8, pp.57063-57074, 2020. DOI: 10.1109/ACCESS.2020.2981745

[3] D. M. Pozar, *Microwave Engineering*, New York: John Wiley & Sons, Inc., 2011.

[4] Jongsik Lim, "A balanced power amplifier utilizing the reflected input power," in *2009 IEEE International Symposium on Radio-Frequency Integration Technology(RFIT)*, 2009.

DOI: 10.1109/RFIT.2009.5383733

[5] Elham Amiri, "A distributed power amplifier design with a high power gain," in *2020 28<sup>th</sup> Iranian Conference on Electrical Engineering (ICEE)*, 2020.

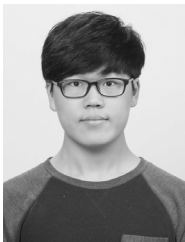
DOI: 10.1109/ICEE50131.2020.9260602

---

## BIOGRAPHY

---

### Ukhyun Kim (Member)



2022 : B.S. degree in Electronic Engineering, Gangneung-Wonju National University.

2022~Present : Master's student in Electronic Engineering, Gangneung-Wonju National University.

### Jewook Woo (Member)



2017~Present : Undergraduate in Electronic Engineering, Gangneung-Wonju National University.

### Jooyoung Jeon (Member)



1999 : B.S. degree in Electrical Engineering, Seoul National University.

2001 : M.S. degree in Electrical Engineering and Computer Science, Seoul National University.

2009 : Ph.D degree in Electrical Engineering and Computer Science, Seoul National University.

2009.01~2020.03 : Research and development engineer, Broadcom Inc.

2020~Present : Professor in Electronic Engineering, Gangneung-Wonju National University.