ISSN : 1226-7244 (Print)
ISSN : 2288-243X (Online)
논문번호 22-03-18
130
j.inst.Korean.electr.electron.eng.Vol.26,No.3,462~467,September 2022
https://doi.org/10.7471/ikeee.2022.26.3.462

Feedback Buffer 구조 및 향상된 Regulation 특성을 갖는 LDO regulator

LDO Regulator with Improved Regulation Characteristics and Feedback Voltage Buffer Structure

정 준 모*, 박 태 룡**★

Jun-Mo Jung*, Tae-Ryong Park**★

Abstract

The feedback buffer structure is proposed to alleviate the overshoot and undershoot phenomenon and the regulation of the output voltage. The conventional LDO regulator undergoes a regulation voltage change caused by a constant load current change. An LDO regulator with a feedback voltage sensing structure operates in the input voltage range of 3.3 to 4.5 V and has a load current of up to 150 mA at output voltage of 3 V. According to the simulation results, a regulation value of 6.2 mV was ensured when the load current uniformly changed to 150 mA.

요 약

피드백 버퍼 구조는 오버슈트 및 언더슈트 현상 및 출력전압의 레귤레이션을 완화하기 위해 제안된다. 기존의 LDO 레귤레이터는 일정한 부하전류의 변화로 인해 발생하는 레귤레이션 전압 변화를 겪는다. 따라서 패스 트랜지스터의 게이트 단자의 전류를 충방전함으로써 패스 트랜지스터의 동작 속도가 향상된다. 피드백 버퍼 구조를 갖는 LDO 레귤레이터는 3.3~4.5V에서 동작하며 출력 전압은 3V이며, 최대 150mA의 부하 전류를 가집니다. 시뮬레이션 결과에 따라 부하전류가 150mA까지 일정하게 변화하였을 때 6.2 mV의 레귤레이션 값을 확보하였다.

Key words : LDO regulator, load transient, load regulation, load current, feedback buffer

Ⅰ. 서론

PMIC(Power Management Integrated Circuit)는 해당 시스템에 필요한 공급 전압을 효율적으로 제어하고 관리하는 방법입니다. PMIC는 모바일 애플리케이션에 사용되며 배터리 시스템에서 관리됩니다. 일반적으로 배터리 시스템은 배터리가 방전되는 시간에 따라 선형적으로 관리된다. 전력 소모를 적절히 관리할 수 없는 상황이 발생하면 배터리를 효과적으로 작동할 수 없습니다. 따라서 LDO 레귤레이터는 주로 각 시스템에서 요구되는 전압의 안정적인 레귤레이션을 통해 요구되는 전압과 전류를 제어하는 데 사용된다. LDO 레귤레이터는 시스템

* Dept. of Electronic Engineering,Seokyeong University
** Dept. of Computer Engineering, Seokyeong University
★ Corresponding author
E-mail : trpark@skuniv.ac.kr, Tel : +82-2-940-7742
※ Acknowledgment
This Reserch was supported by Seokyeong University in 2021
Manuscript received Sep. 14, 2022; revised Sep. 21, 2022; accepted Sep. 22, 2022.
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(http://creativecommons.org/licenses/by-nc/3.0) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

공급 전압 레벨과 일치하도록 여러 블록에 적절한 전압을 제공합니다. LDO 레귤레이터는 가장 일반적이고 널리 사용되는 회로입니다. 그러나 부하에 따라 안정적인 전압 공급을 제공하도록 수정할 수 있습니다. 출력단자에 필요한 전류에 따라 LDO 레귤레이터의 출력전압의 언더슈트와 오버슈트가 많이 발생하면 전압을 공급해야 하는 시스템에 큰 영향을 미치게 된다. 애플리케이션에서 요구하는 동작은 LDO 레귤레이터의 부하 전류가 변동하더라도 안정적이어야 합니다. 오늘날의 PMIC는 그림1과 같이 효율적인 Switching converter와 LDO 레귤레이터의 조합으로 칩 전체에 걸쳐 여러 공급 전원을 생성한다. 일반적으로 전원 관리 장치는 스위칭 레귤레이터를 사용하며, 출력단은 LDO 레귤레이터를 사용한다. 제안된 LDO 레귤레이터는 스마트폰, 스마트 워치, 오디오, 웨어러블처럼 배터리와 같이 저전압으로 구동되는 제품에서 일반적으로 사용될 수 있다. LDO 레귤레이터는 작은 크기의 배터리 구동 모바일 시스템에 주로 사용되며 이 시스템에서 발생하는 과도 응답은 모바일 장치의 소비 전력에 큰 영향을 미치므로 배터리 사용 시간에 영향을 미치는 주요한 변수이다[1, 2].

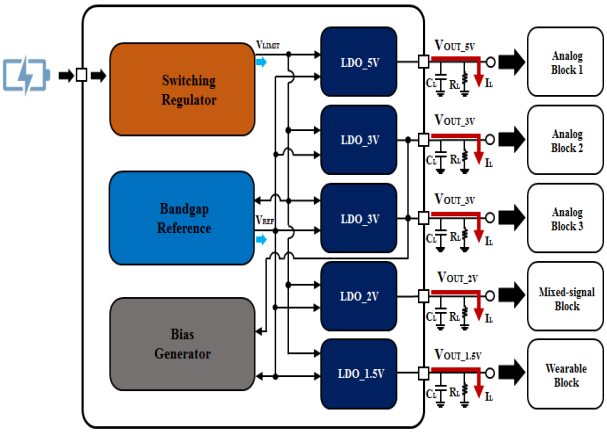

Fig. 1. PMIC(Power Management Integrated Circuit).
그림 1. PMIC 블록에 대한 설명

II. 본론

1. Low Drop-Out 레귤레이터

그림 2는 기존의 LDO 레귤레이터의 블록 다이어그램을 나타낸다. 기존 LDO 레귤레이터는 순간적인 부하전류의 변동에 따라 출력전압 변화량이 크게 발생하는 문제가 있다. 피드백 버퍼 구조를 포함하여 출력전압의 레귤레이션 전압 값을 개선했다. 이 방식은 부하전류에 변화가 발상하게 되면 그로 인한 출력 전압을 감지하여 피

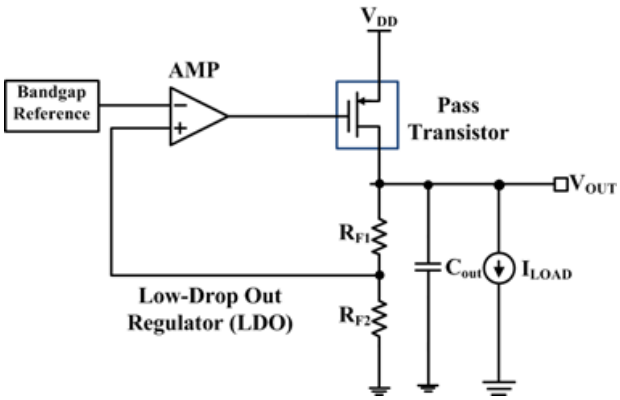

Fig. 2. Block of the LDO regulator.
그림 2. LDO regulator의 블록 다이어그램

드백 버퍼 구조에서 추가적인 전류 경로를 제안하였다. 따라서 제안된 피드백 버퍼 LDO 레귤레이터는 출력 전압의 레귤레이션에 따른 전압 변화량을 효율적으로 개선할 수 있도록 설계되었다. 제안된 LDO 레귤레이터는 피드백 버퍼 구조를 통하여 전류 패스를 두가지 경로로 형성하여 일정하게 출력 전압을 유지할 수 있도록 제안하였다. 그림 3과 같이, 제안된 LDO 레귤레이터는 대전류를 제공하는 패스 트랜지스터, 온도에 따라 일정한 전압 제공을 해주는 밴드갭 전압, 전압 차이를 비교하여 출력하는 오차 증폭기, 피드백 버퍼 감지 구조를 포함한다[3-5].

2. 제안된 피드백 버퍼 LDO 레귤레이터

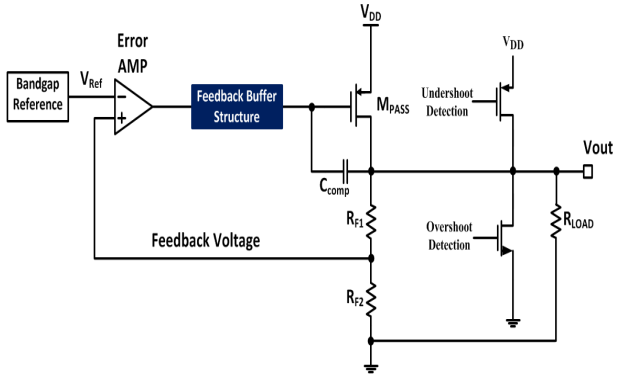

Fig. 3. the proposed LDO regulator.
그림 3. 제안된 피드백 버퍼 LDO 레귤레이터

그림 3과 같이 제안하는 LDO 레귤레이터는 패스 트랜지스터와 오차 증폭기 사이에 피드백 버퍼 구조를 포함한다. 또한 출력 단자에서 추가 전류를 방전 및 공급하기 위해 전류 경로가 제공되었습니다. 그림 4는 부하 전류가 순간적으로 감소하여 출력 전압이 증가할 때 제안하는 LDO 레귤레이터의 피드백 버퍼 구조 동작을 보여

준다. 부하 전류가 순간적으로 감소하면 LDO 레귤레이터의 출력 전압이 증가합니다. 따라서 피드백 전압은 증가된 전압을 출력한다. 부하 전류에 의해 변화하는 피드백 전압은 피드백 버퍼 구조를 통해 감지되어 패스 트랜지스터의 게이트 단자에 공급 전류를 제공한다. 동시에 피드백 버퍼 구조는 제안하는 LDO 레귤레이터의 출력 단자에 전류 방전 경로를 제공한다. 그 결과, 부하 전류로 인한 증가된 출력 전압은 피드백 버퍼 구조의 영향으로 인해 오버슈트 전압을 효과적으로 제어할 수 있었습니다. 그림 5는 부하 전류가 순간적으로 증가하여 출력 전압이 감소할 때 제안하는 LDO 레귤레이터의 피드백 버퍼 구조 동작을 보여준다. 부하 전류가 순간적으로 증가하면 LDO 레귤레이터의 출력 전압이 감소합니다. 따라서 피드백 전압은 감소된 전압을 출력한다. 부하 전류로 인해 변동하는 피드백 전압은 피드백 버퍼 구조를 통해 감지되어 패스 트랜지스터의 게이트 단자에 방전 전류 경로를 제공합니다. 동시에 피드백 버퍼 구조는 제안된 LDO 레귤레이터의 출력 단자에 추가 전류 공급을 제공합니다. 그 결과, 부하 전류에 의해 감소된 출력 전압은 피드백 버퍼 구조의 영향으로 인해 언더슈트 전압을 효과적으로 제어할 수 있었다. 피드백 버퍼 구조는 패스 트랜지스터의 게이트 단자와 LDO 레귤레이터의 출력 단에 추가 전류 및 방전 경로를 공급하여 부하 전류에 의한 출력 전압을 보다 효과적으로 제어하도록 설계되었습니다[6-8].

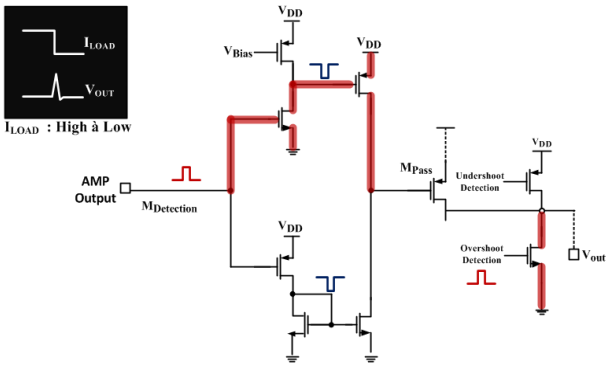

Fig. 4. feedback loop of proposed LDO regulator in overshoot situations.
그림 4. 오버슈트 전압에 따라 제안된 LDO 레귤레이터의 피드백 경로

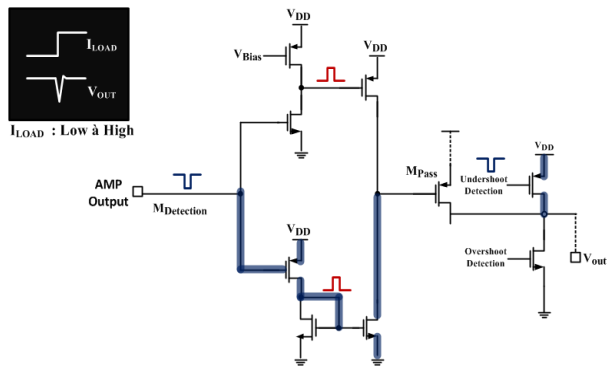

Fig. 5. feedback loop of proposed LDO regulator in undershoot situations.
그림 5. 언더슈트 전압에 따라 제안된 LDO 레귤레이터의 피드백 경로

3. 시뮬레이션 결과

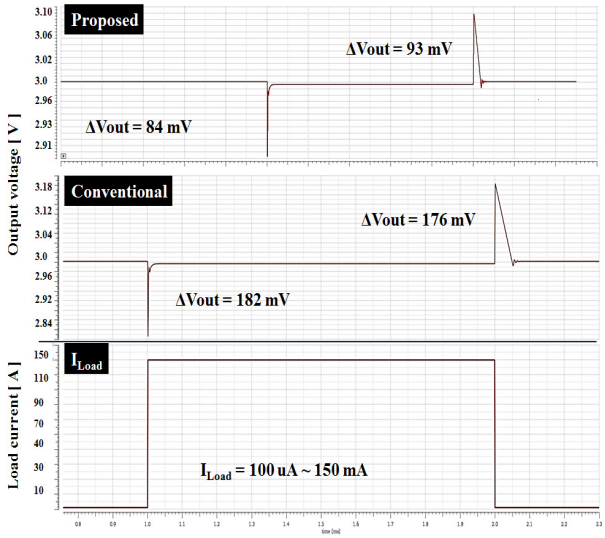

Fig. 6. load transient result of proposed LDO regulator.
그림 6. 제안된 LDO 레귤레이터의 load transient 결과

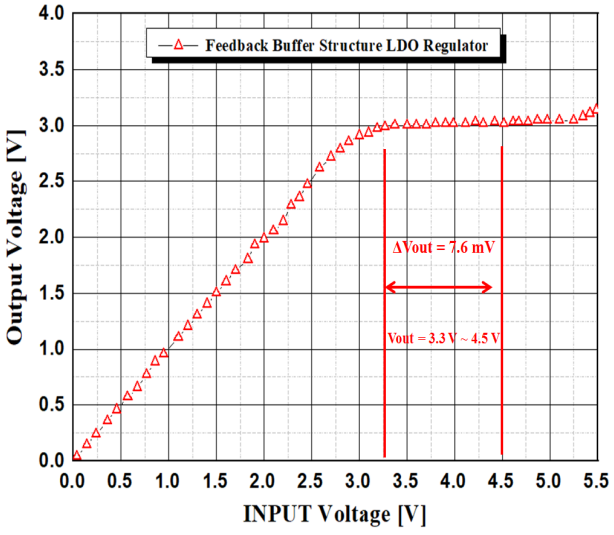

Fig. 7. the line regulation result for proposed LDO regulator.
그림 7. 제안된 LDO 레귤레이터 line regulation 결과

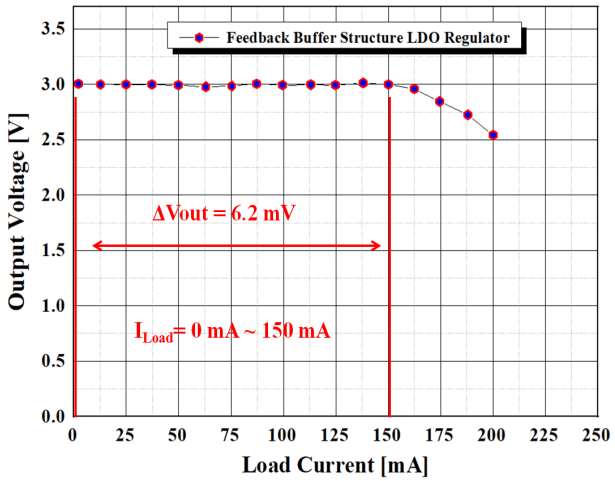

Fig. 8. the load regulation result for proposed LDO regulator.

그림 8. 제안된 LDO 레귤레이터 load regulation 결과

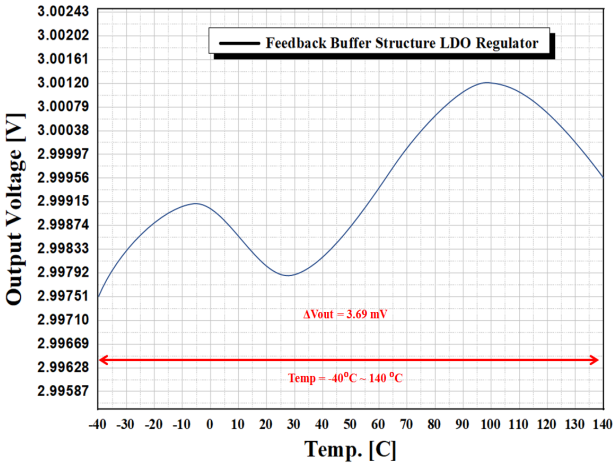

Fig. 9. the output voltage result for proposed LDO regulator temperature.

그림 9. 제안된 LDO 레귤레이터 온도에 따른 출력전압 결과

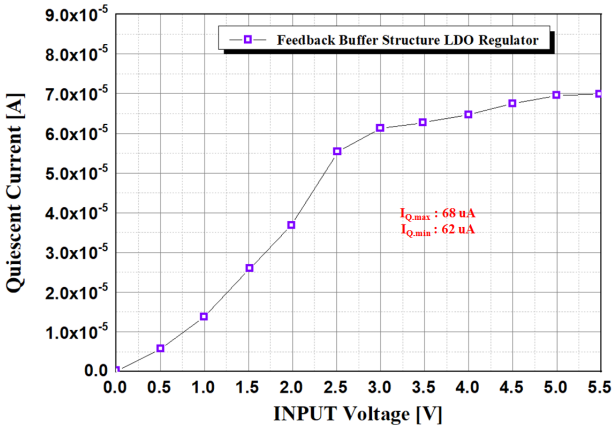

Fig. 10. quiescent current result for proposed LDO regulator.

그림 10. 제안된 LDO 레귤레이터의 대기전류 결과

Table 1. The conventional LDO and proposed LDO circuit data.

표 1. 기본 LDO 레귤레이터 및 제안된 LDO 레귤레이터 데이터

conventional circuit with LDO regulator		
output voltage	3V	3V
input voltage	3.3V	3.3V
reference voltage	1.2V	1.2V
load regulation	△ 12 mV	△ 6.2 mV
load transient	△ 182 mV, 176 mV	△ 84 mV, 93 mV
dropout voltage	300mV	300mV
line regulation	△ 15 mV	△ 7.6 mV

그림 6은 제안된 LDO 레귤레이터의 load transient 시뮬레이션을 보여준다. 부하 전류에 변화에 따라서 기존의 LDO 레귤레이터의 피크전압은 △182 mV, 176 mV의 값을 확인하였다. 반면 제안된 LDO 레귤레이터는 △84 mV, 93 mV 값을 확인 할 수 있었다. 부하 전류의 변화에 따라서 제안된 LDO 레귤레이터는 undershoot 상황에서 98 mV, overshoot 상황시 83 mV의 개선된 전압 값을 확인하였다. 결과적으로 제안된 LDO 레귤레이터는 피드백 버퍼 구조의 효과로 전압의 변화를 제어할 수 있음을 검증하였다. 그림 7은 피드백 버퍼 구조 LDO 레귤레이터의 line regulation 결과이다. 3.3~4.5 V의 입력전압이 변화하였을 때 출력전압의 변화량은 7.6 mV로 확인할 수 있었다. 또한 순간적으로 변하는 부하전류 발생으로 피드백 버퍼 구조를 통해 변화되는 전압을 전류의 제공을 통해 개선된 전압변화를 나타내는 구조이다. 그림 8은 피드백 버퍼 구조 LDO 레귤레이터의 load regulation 시뮬레이션을 나타낸다. 부하전류의 변화에 따른 출력단의 변화를 시뮬레이션하여 확인하였다. 제안된 LDO 레귤레이터의 150 mA의 부하전류에서 출력전압의 변화량이 6.2 mV임을 확인하였다. 그림 9에 나타난바에 따르면 제안된 LDO 레귤레이터는 -40°C ~140°C 온도 범위에서 3.69 mV의 출력 전압을 가져감을 확인 할 수 있었다. 그림 10은 피드백 버퍼 LDO 레귤레이터의 대기전류 시뮬레이션이다. 출력전압에 따라 전류를 적게 소모하는 안정성을 확보하였다.

Ⅲ. 결론

전압 조절 및 제공은 모바일 애플리케이션의 안정적인 작동을 보장함과 동시에 효과적으로 전력관리를 할 수

있다는 점에 있어 중요하다. 안정적인 전압 변화는 부하 전류에 따른 전압 변화가 적다는 것을 나타냅니다. LDO 레귤레이터는 시스템에 안정적인 전압을 제공하는 회로이다. 안정적인 전압의 제공은 각 시스템 레벨에 필수적이다. 외부 부하가 가해지지 않을 때에는 안정적인 전압을 제공하는 데 문제가 없다. 그러나 부하 전류가 발생하더라도 안정적인 출력 전압을 고려해야 합니다. 따라서 제안하는 피드백 버퍼를 포함하는 LDO 레귤레이터가 부하 전류가 변하는 경우에도 출력 전압을 안정적으로 제어할 수 있음을 확인하였다. 추가적인 전류 공급 및 방전 경로를 제공하여 안정적인 출력 전압을 취하는 것을 제안하였다. 본 논문에서 제안한 LDO 레귤레이터는 피드백 버퍼 구조를 통해 부하 전류에 따른 출력 전압의 변화를 안정적으로 조절하였다. 제안된 LDO 레귤레이터는 150 mA의 부하전류가 리니어하게 증가하였을 때에도 6.2 mV의 적은 변화량을 확보하였다. 또한 순간적인 부하에 따른 출력전압의 피크 전압도 기존 LDO 레귤레이터 비해 향상된 피크전압 변화량을 확인하였다. 그 결과, 제안된 피드백 버퍼를 포함하는 LDO 레귤레이터가 부하 전류가 변하는 경우에도 출력 전압을 제어할 수 있음을 확인하였다. 또한 제안된 LDO 레귤레이터의 다른 특성들을 포함하여 안정적인 값을 확인하였다. 본 논문에서는 BCD CMOS 0.18um공정으로 시뮬레이션을 진행하였다.

References

[1] Yong-Seo Koo, et al.: "A design of low-area low drop-out regulator using body bias technique," *IEICE Electronics Express 10*, Vol.0, No.19, pp. 20130300, 2013. DOI: 10.1587/elex.10.20130300

[2] Amir Nakhlestan, et al.: "Low-Power Area-Efficient LDO With Loop-Gain and Bandwidth Enhancement Using Non-Dominant Pole Movement Technique for IoT Applications," *IEEE Transactions on Circuits and Systems II: Express Briefs,* 2021.
DOI: 10.1109/TCSII.2020.3013646

[3] Yan Lu, et al.: "A Fully-Integrated Low-Dropout Regulator with Full-Spectrum Power Supply Rejection," *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2015.
DOI: 10.1109/TCSI.2014.2380644

[4] Xiaofei Ma, et al.: "A Fully Integrated LDO With 50-mV Dropout for Power Efficiency Optimization," *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2020.
DOI: 10.1109/TCSII.2019.2919665

[5] Ka Nang Leun, et al.: "A CMOS Low-Dropout Regulator With a Momentarily Current-Boosting Voltage Buffer," *IEEE Transactions on Circuits and Systems I: Regular Papers,* 2010.
DOI: 10.1109/TCSI.2010.2043171

[6] Jun Tang, et al.: "Low-Power Fast-Transient Capacitor-Less LDO Regulator with High Slew-Rate Class-AB Amplifier," *IEEE Transactions on Circuits and Systems II: Express Briefs,* 2018.
DOI: 10.1109/TCSII.2018.2865254

[7] Sang wook Kwon, et al.: "Design of current detection LDO regulator with silicon controlled rectifier based electrostatic discharge protection circuit to provide optimized voltage and power for system-on-chip applications," *Electronics Letters,* Vol.58, No.19, 2022. DOI: 10.1049/ell2.12577

[8] Sang wook Kwon, et al.: "Design of capacitor-less LDO regulator with SCR-based ESD protection using dual push-pull stage," *International Journal of Electronics,* 2022.
DOI: 10.1080/00207217.2022.2118847

BIOGRAPHY

Jun-Mo Jung (Member)

1985 : BS degree in Electronics Engineering, Hanyang University.
1987 : MS degree in Electronics Engineering, Hanyang University.
1992 : PhD degree in Electronics Engineering, Hanyang University.
1995~presently : Professor in Seokyeong University.
main interesting field : integrated circuit, micro processor, circuit design & test

Tae-Ryong Park (Member)

1985 : Hanyang University, Dept. of Mathmatics(BS)
1987 : Hanyang University, Dept. of Mathmatics(MS)
1995 : Hanyang University, Dept of Mathmatics(Ph.D)
1994~ : Seokyeong University, Dept. of Computer Engineering, Professor