

위성 탑재 영상레이다 칩 신호의 전치왜곡 보상을 위한 포락선 샘플링 및 보간 필터 기반의 설계 기법

이 영 북^{*,1)}

¹⁾ 국방과학연구소 국방우주기술센터

A Design Method for Pre-Distortion Compensation of SAR Chirp Signal based on Envelop Sampling and Interpolation Filter

Young-Bok Lee^{*,1)}

¹⁾ Defense and Space Technology Center, Agency for Defense Development, Korea

(Received 18 March 2022 / Revised 16 May 2022 / Accepted 15 July 2022)

Abstract

The synthetic aperture radar(SAR) is an equipment that can acquire images in all weathers day and night based on radar signals. The on-board processor of satellite SAR generates transmission signal by digital signal processing, converts it into an analog signal and transmits to antenna. Until the transmission signal generated by on-board processor is output, the signal passes the transmission cables and analog devices. At this time, these hardware distort the signal and makes SAR performance worse. To improve the performance, pre-distortion technique is used. But, general pre-distortion using Taylor series is not sufficient to compensate for the distortion. This paper suggests transmit signal design method with improved pre-distortion. This paper uses envelop sampling method and interpolation filter for frequency domain compensation. The proposed method accurately compensates the hardware distortion and reduces resource usage of FPGA. To analyze proposed method's performance, IRF characteristics are compared when the proposed method applies to signal with errors.

Key Words : Synthetic Aperture Radar(합성 개구 레이더), Pre-Distortion(전치 왜곡), Frequency Compensation(주파수 보상), Envelop Sampling(포락선 샘플링), Interpolation Filter(보간 필터)

1. 서론

위성 탑재 영상레이다는 레이더 신호를 기반으로

주야간 전천후로 지상 영상을 획득할 수 있는 장비이다. 영상레이다는 고해상도의 영상을 획득하기 위해 칩으로 불리는 선형 주파수 변조 신호를 송수신에 사용하고 반사되어 들어오는 신호를 수신한다^[1]. 선형 주파수 변조 신호를 생성하기 위해서는 주파수 체배 방식, 메모리 맵 방식, 직접 디지털 합성 방식(DDS:

* Corresponding author, E-mail: ybok@add.re.kr

Copyright © The Korea Institute of Military Science and Technology

Direct Digital Synthesizer) 등이 사용되고 있다^[2,3]. 이때, 발생된 칩 신호는 영상레이다 송수신 경로 상에 포함된 선로 및 시스템 특성으로 인해 크기와 위상이 왜곡될 수 있으며, 이러한 왜곡은 영상레이다 성능을 저하시킨다^[4]. 일반적으로 칩 신호의 대역폭 및 펄스폭이 클수록 왜곡은 더욱 크게 발생하게 되지만, 영상레이다에 대한 해상도 요구 성능이 높아짐에 따라 요구되는 신호의 대역폭이 증가하고 있고, 영상레이다에서 지상으로 전송하는 데이터량을 줄이기 위해 사용되는 디램핑 과정으로 인해, 영상레이다 성능 감소에 미치는 영향이 증가하고 있다. 이러한 칩 신호의 왜곡을 완화하기 위해 오차를 미리 보상하는 전치 왜곡(Pre-distortion) 기법이 필요하다^[5]. 일반적으로 위성 탑재 영상레이다에서 사용되는 전치 왜곡 기법은 영상레이다 장비의 송수신 경로상의 오차를 주파수 영역의 크기와 위상 오차로 도출하여, 신호 생성 시점에서 미리 보상한다^[5]. 위성 탑재 영상레이다에서 이와 같은 방식은 지상에서 테일러 급수 모델링 기법을 이용하여 오차의 크기와 위상을 모델링하고, 영상레이다로 모델링된 계수를 전달하여 연산을 통해 보상한다. 하지만, 테일러 급수의 차수에 따라 연산량이 기하급수적으로 증가하고 통상적으로 영상레이다에서는 2차 또는 3차의 테일러 급수 모델링 방식을 적용하고 있어 정확한 오차 보상이 불가능하다.

본 논문에서는 정확한 오차 보상을 위해 주파수 영역에서 포락선 샘플링 기법을 이용한 전치 왜곡 방식을 제시한다. 이는, 오차를 모델링하기 위해 필요한 연산량을 줄이는 동시에 정확한 오차 모델링이 가능한 장점이 있다. 또한, 위성탑재 영상레이다 내부 메모리에 최대 대역폭에 대한 오차의 포락선 샘플을 미리 저장하여 사용하는 방식을 제안한다. 내부 메모리를 이용하여 미리 저장된 오차 포락선 샘플을 잘라 사용함으로써 오차 보상을 위해 지상으로부터의 데이터 전송량을 감소시키는 장점이 있다. 본 논문에서는 포락선 샘플로부터 전체 송신 신호 샘플 별로 적용될 전치왜곡 값을 계산하는 방식으로 필터를 사용한 인터폴레이션 기법을 함께 제시한다. 일반적으로 다항식 기법(라그랑제 기법, 네빌레 기법, 뉴턴 다항식 기법 등)을 이용한 인터폴레이션 방법이 많이 사용되고 있다^[7,8]. 하지만, 다항식 기법은 샘플이 많을수록 인터폴레이션을 위한 연산량이 기하 급수적으로 증가하는 단점이 있어, 본 논문에서는 필터를 이용한 인터폴레이션 기법을 적용하여 연산량을 감소시키고 정확한

오차 보상을 구현한다. 제시하는 방식의 검증을 위해 시뮬레이션으로 성능 분석을 수행하였다.

2. 배경 연구

2.1 칩 신호 생성과 DDS 방식^[2,3]

영상 레이다에서 고해상도의 영상을 획득하기 위해 넓은 대역폭의 신호가 필요하다. 하지만 장시간 고에너지의 넓은 대역폭 신호의 사용은 전력량을 증가시키는 단점이 있어, 펄스 압축 기법을 활용한 칩 신호가 사용된다. 칩 신호는 주파수가 시간에 따라 선형적으로 변화하는 특성을 이용하여 적은 전력으로도 넓은 대역폭과 좁은 펄스를 갖는 신호를 생성할 수 있다. 칩 신호를 수식으로 표현하면 식 (1)과 같다.

$$s(t) = \text{rect}\left(\frac{t}{T}\right) A \exp(j\pi Kt^2) \tag{1}$$

여기서, t 는 시간, T 는 칩 신호의 펄스폭, K 는 주파수 변화율, 그리고 A 는 신호의 크기를 나타낸다. 식 (1)의 지수 항은 식 (2)와 같이 위상을 의미하고 위상을 시간에 대하여 미분하면 각주파수가 되므로 2π 로 나누면 식 (3)과 같이 주파수를 의미한다.

$$\phi(t) = \pi Kt^2 \tag{2}$$

$$f(t) = Kt \tag{3}$$

직접 디지털 합성 방식(DDS)은 칩 신호를 생성하기 위해 K 값을 적분하는 형태를 이용한다. 이는 Fig. 1과 같이 두 개의 누적기, 위상-크기 변환기인 Look up table 그리고 디지털 아날로그 변환기(D/A 변환기)로 구성된다.

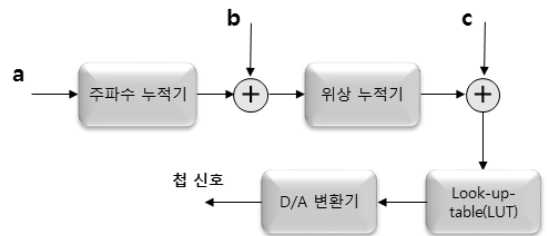


Fig. 1. Structure of DDS chirp signal generator

식 (3)의 주파수를 생성하기 위해 DDS 방식에서는 Fig. 1과 같이 상수 a의 주파수 증가율이 주파수 누적 기로 입력이 되고, 출력된 값에 상수 b의 초기 주파수가 더해진다. 식 (2)의 위상을 생성하기 위해 앞단에서 생성된 주파수는 위상 누적기를 통과하고 c의 초기 위상이 더해져 식 (4)와 같이 칩 위상이 출력된다.

$$\Phi(n) = an^2 + bn + c \quad (4)$$

식 (4)의 위상은 칩 신호 생성을 위해 Look-up-table을 통과하여 크기로 변환되고, DAC 변환기를 통과하여 식 (1)과 같은 아날로그 칩 신호로 생성된다.

2.2 오차 모델링과 보상

일반적으로 영상레이다 장비에 의해 신호에서 발생하는 오차를 모델링하기 위해 오차의 크기와 위상을 이용하는 테일러 급수 모델링 기법을 이용한다. 즉, 영상레이다 장비에 의한 신호 오차를 지상에서 사전에 테일러 급수로 모델링 하고, 운용 모드를 수행할 때 지상 명령을 통해 지상에서 테일러 급수의 계수를 올려주면, 영상레이다에서 그 계수를 이용해 오차를 모델링하고 전체 신호 샘플에 대해 샘플 별로 적용할 전치왜곡 값을 계산한다. 예를 들어, 영상레이다는 계수 a_0, a_1, a_2, \dots 을 전달받아 테일러 급수 표현으로 식 (5)와 같이 다항식으로 코사인 오차를 모사하고 샘플별로 왜곡을 보상한다.

$$\cos x = a_0 + a_2x^2 + a_4x^4 + \dots = \sum_{n=0}^{\infty} \frac{x^{2n}}{(2n)!} \quad (5)$$

$$a_0 = 1, a_1 = 0, a_2 = -\frac{1}{2!}, a_3 = 0, a_4 = \frac{1}{4!}$$

하지만 이러한 방식은 식 (5)에서와 같이 정확한 모사를 위해 테일러급수의 차수가 높아지면 샘플 별 전치왜곡 값을 계산하기 위한 연산량이 기하급수적으로 증가하는 문제가 있다. 영상레이다에서는 사용되는 우주급 소자의 리소스 제한으로 일반적으로 2차 또는 3차의 테일러급수 모델링 방식을 적용하고 있으며, 이에 따라 4차 이상의 장비 오차에 대한 정확한 모델링이 어려워지고 오차에 대한 정확한 보상이 불가능해진다.

본 논문에서는 식 (5)의 계산 대신 데이터 연산량을 줄이고 장비에 의한 신호의 오차를 정확하게 모델링

하는 방법으로 포락선(Envelop) 샘플링 기법을 이용하는 방법을 제시한다. 주파수 영역 오차(크기와 위상)에 대해, 그 오차의 포락선을 샘플링하여 저장하고 영상레이다로 전송하는 방법이다. 통상적으로 장비의 오차를 모델링하기 위해 필요한 샘플 수는, 원 신호 샘플 수의 수십 분의 1 수준으로 가능하다.

3. 제안된 칩 신호 보상 설계 기법

본 논문에서는 샘플링 기법으로 생성된 포락선 샘플들을 모드 수행시 마다 지상에서 영상레이다로 올려주는 대신 미리 영상레이다 내부 메모리에 저장하고 인터플레이션 하는 방식을 제시한다. 신호가 가질 수 있는 최대 대역폭과 최대 펄스폭에 대해 주파수 영역 오차의 포락선 샘플을 도출하여 이를 영상레이다 내부 메모리에 저장하고, 운용모드 수행시 해당 모드에 대한 신호의 대역폭과 펄스폭을 지상에서 올려주면, 영상레이다는 그 대역폭과 펄스폭에 맞게 포락선 샘플을 조정하여 적용하는 방식을 제시한다.

또한, 포락선 샘플로부터 전체 송신 신호 샘플 별로 적용될 전치왜곡 값을 계산하는 방식으로 연산량이 많은 다항식 기법 대신 신호처리 방식인 인터플레이션 필터 기법 적용을 제시한다.

3.1 DDS 방식의 칩 신호 보상 알고리즘

Fig. 2는 DDS 방식에서 크기 및 위상 오차가 보상된 칩 신호를 생성하는 구조를 나타낸다. DDS 방식에서는 모드 수행 전에 지상국 명령생성기가 운용 모드 수행을 위한 칩 파라미터를 영상레이다 제어기에 올려주면, 영상레이다 제어기는 칩 파라미터와 오차 포락선 샘플을 영상레이다 칩 발생기에 전달하고, 모드 수행 중에 영상레이다 칩 발생기는 수신된 정보 기반으로 실시간으로 D/A변환된 아날로그 칩 신호를 생성하는 구조를 갖는다.

Fig. 3은 영상레이다 칩 발생기에서의 전체적인 계산 과정을 나타낸다. 칩 발생기에서는 우선 전치왜곡 보상을 위한 크기 및 위상 보상 샘플을 Fig. 4의 과정으로 생성한다. Fig. 4는 영상레이다 제어기 내부에 미리 저장된 주파수 오차 포락선 샘플을 이용해 전치왜곡 보상 샘플을 생성하는 구조로 3.2절에서 설명한다.

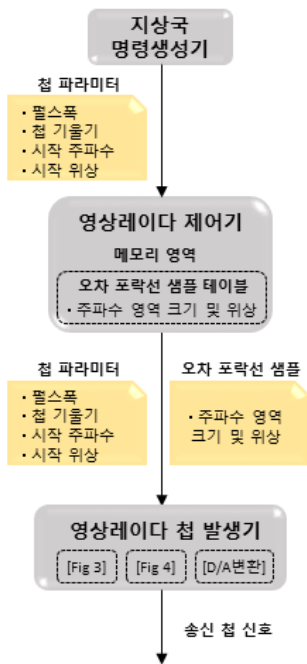


Fig. 2. Chirp signal generation structure compensated for the magnitude and phase error



Fig. 3. Flow chart of chirp samples compensated for the magnitude and phase error

전치왜곡 보상 샘플을 계산 후, 칩 발생기는 지상에서 수신한 칩 파라미터를 가지고 식 (4)의 Ideal 칩에 대한 위상 샘플을 생성한다. 다음으로, 생성된 Ideal 칩 위상 샘플에 전치왜곡 위상 보상 샘플을 더함으로써 위상 오차를 보정한 칩 위상 샘플을 계산한다. 위상 오차가 보상된 칩 샘플의 위상-크기 변환을 위해 위상 샘플을 S/W의 삼각함수 라이브러리에 입력시키

거나 위상에 대한 삼각함수 크기 값이 미리 계산된 Look-up-table을 이용한다. 마지막으로 변환된 샘플에 전치왜곡 크기 보상 샘플을 곱함으로써 위상과 크기가 모두 보상된 칩 샘플이 계산된다. 계산되어 보상된 칩 샘플은 영상레이다 칩 발생기에서 모드 수행 동안 디지털-아날로그 변환(D/A 변환)을 통해 아날로그 칩 신호로 생성된다.

3.2 칩 신호 샘플 별 전치왜곡 값 생성 알고리즘

Fig. 4는 영상레이다 제어기의 내부 메모리에 저장된 주파수 영역 크기(또는 위상)오차 포락선 샘플을 이용하여 전치 왜곡을 위한 크기 및 위상 보상 샘플을 생성하는 구조를 나타낸다. 이 과정은 신호처리 방식인 인터폴레이션 필터 과정으로 처리된다. 먼저, 오차 포락선 데이터 획득을 위해 신호가 가질 수 있는 최대 대역폭과 최대 펄스폭에 대한 칩 발생기 출력을 샘플링하여 수집한다. 샘플링된 출력을 주파수 영역에서 이상적인 출력과 비교하여 계산된 오차 포락선 샘플을 내부 메모리에 저장한다. 운용모드 수행 시 해당 모드에 대한 신호의 대역폭과 펄스폭을 지상에서 올려주면, 영상레이다는 내부 메모리에 저장된 주파수 영역의 오차 포락선 샘플을 업-샘플링(Up-sampling) 과정과 저역 통과 필터를 통해 인터폴레이션 한다. 이때, 업-샘플링 ratio가 M1이면 저역 통과 필터의 통과대역(Pass-band) 대역폭은 $\pi/M1$ 이 된다. 이후 해당 모드에 대한 송신 샘플 수에 맞게 샘플 수를 조정하여 보상 샘플을 생성한다. 생성된 보상 샘플은 Fig. 3의 칩 신호 생성 과정에서 사용된다.

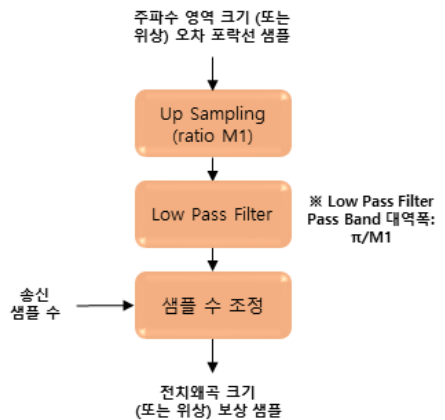


Fig. 4. Pre-distortion magnitude and phase compensation sample generation

4. 제안된 기법의 성능 분석

성능 분석을 수행하기 위해 영상레이다 칩 신호의 파라미터를 가정하여 제안된 방법에 따라 송신 신호를 L-band에서 설계하고 수신 신호는 왜곡 없이 수신됨을 가정한다. 성능 검증을 위해서는 영상레이다의 성능 지표로 활용되는 IRF(Impulse Response Function) 특성인 SR(Spatial Resolution), PSLR(Peak Side Lobe Ratio), ISLR(Integrated Side Lobe Ratio)을 이용한다^[9].

본 논문에서 제안하는 방식은 정확한 오차를 모델링 하는데 기하급수적인 식 (5)와 같은 연산 과정과 다항식 인터폴레이션 기법을 사용하지 않기 때문에 FPGA 내에 곱셈기 및 연산이 적게 필요하다. 이에 FPGA 리소스 사용량이 감소함이 자명하다. 제안하는 방법으로 설계된 파형 생성기의 오차 보상 성능을 검증하기 위해서는 보상 방식에 따른 주파수 영역에서의 칩 신호 특성과 IRF 특성을 비교 분석한다. IRF 분석을 위해, 식 (4)를 통해 생성된 이상적인 신호의 IRF, 임의적으로 오차가 추가된 신호에 기존의 3차 테일러급수 보상이 적용된 IRF, 그리고 제안된 방법으로 보상된 IRF 특성을 비교한다. 크기 또는 위상에 대한 오차의 형태는 다음과 같은 형태로 모의하고 이상적 신호에 추가하였다.

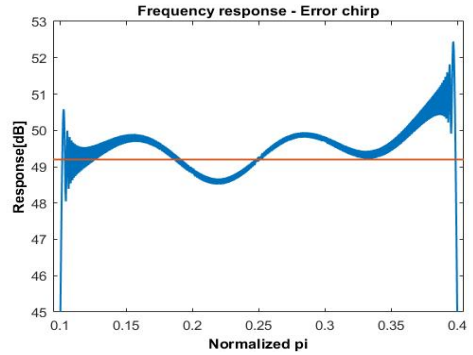
$$Error_{\text{Amp or Phase}}(t) = A_{\text{Linear}}(t/T) + A_{\text{Quad}}(t/T)^2 + A_{\text{Ripple}}\sin(2\pi f_{\text{Ripple}}t) \quad (6)$$

여기서, T 는 칩 신호의 펄스폭, A_{linear} , A_{Quad} , A_{ripple} 는 1차, 2차, Ripple 크기 또는 위상 오차의 계수, f_{Ripple} 는 Ripple 오차의 주파수를 나타낸다.

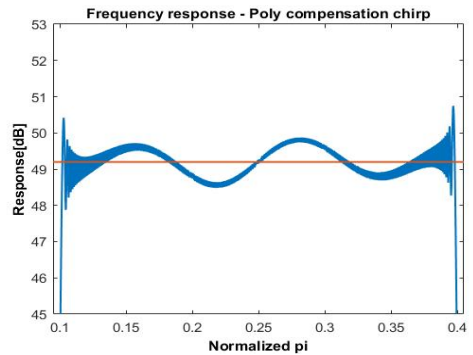
성능 분석을 위해 사용되는 칩 신호의 파라미터는 Table 1과 같다.

Table 1. The parameters of chirp signal

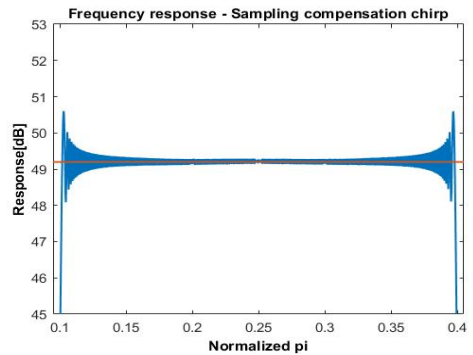
Chirp parameters	Value
Sampling frequency	1 GHz
Bandwidth	0.3π
Pulse duration	50 us
Up-sampling ratio(f-domain)	100



(a) without pre-distortion



(b) with 3rd Taylor compensation



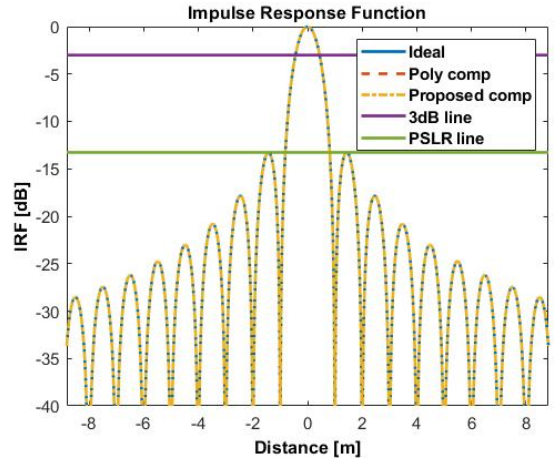
(c) with proposed compensation

	Amplitude/Phase distortion within pulse [dB]
Without Pre-distortion	2.5 dB
With Taylor	1.2 dB
With Proposed	0 dB

Fig. 5. Comparison of Ideal/Taylor/Proposed pre-distortion effect

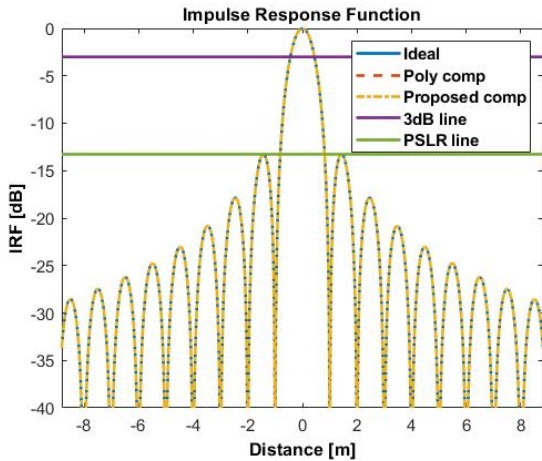
Fig. 5는 식 (6)을 이용하여 1 dB/8 deg의 1차, 2차, Ripple 크기/위상 오차가 모두 존재 할 때, 주파수 영역에서의 첩 파형, 테일러 급수 방식으로 보상한 파형, 제안된 방법으로 보상한 파형을 나타낸다. 각 경우에 따른 왜곡 정도는 Fig. 5의 기준선과 비교하여 가시적으로 확인 할 수 있고, Fig. 5의 표를 통해 정량적인 수치를 확인 할 수 있다. 정량적인 왜곡을 표현하기 위해 Curve fitting 한 결과의 Peak to Peak를 측정 한 결과 사용하였다. 결과와 같이 Taylor 방식에 비해 제안된 보상 기법에서 크기, 위상 오차가 확연히 감소하는 것을 확인 할 수 있다.

Fig. 6은 식(6)을 이용하여 1 dB의 Linear, Quad, Ripple 크기 오차가 존재할 때 첩 파형의 IRF 특성을 비교한 결과이다. Fig. 6의 표에서 알 수 있듯이 Taylor 보상 방식은 1차, 2차 오차에 대하여는 보상이 가능하지만 n차와 같은 Ripple 오차는 정확한 모델링이 불가능하기에 제안된 방식보다 보상 효과가 작은 것을 확인 수 있다. 표를 통해 제안된 보상 기법의 성능은 Ideal 파형과 유사한 성능을 생성할 수 있음을 확인 할 수 있다.



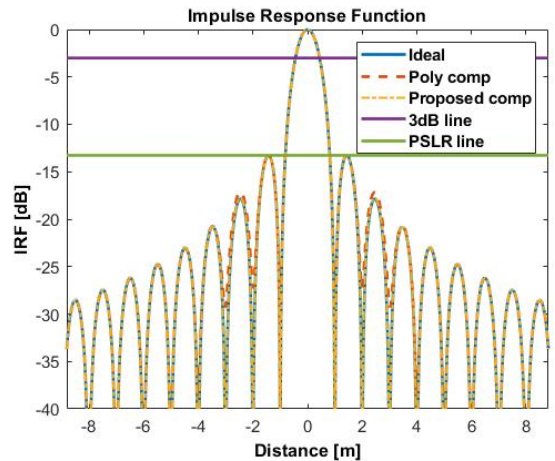
	SR[m]	PSLR [dB]	ISLR [dB]
Ideal	0.8812	-13.2622	-10.1429
Taylor (Poly)	0.8812	-13.2622	-10.1429
Proposed	0.8812	-13.2622	-10.1429

(b) Quad error



	SR[m]	PSLR [dB]	ISLR [dB]
Ideal	0.8812	-13.2622	-10.1429
Taylor (Poly)	0.8812	-13.2622	-10.1429
Proposed	0.8812	-13.2622	-10.1429

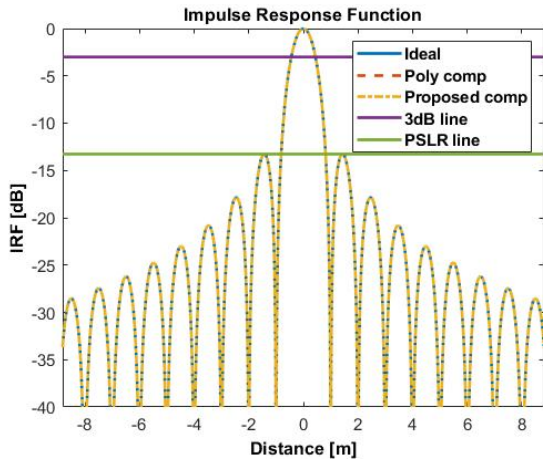
(a) Linear error



	SR[m]	PSLR [dB]	ISLR [dB]
Ideal	0.8812	-13.2622	-10.1429
Taylor (Poly)	0.8812	-13.2646	-10.0701
Proposed	0.8812	-13.2618	-10.1369

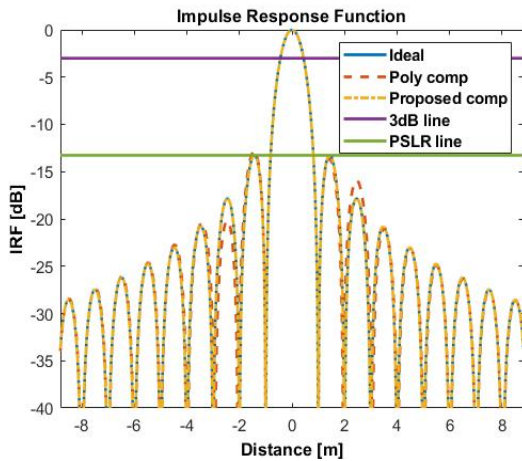
(c) Ripple error

Fig. 6. Linear/Quad/Ripple amplitude error comparison



	SR[m]	PSLR [dB]	ISLR [dB]
Ideal	0.8812	-13.2622	-10.1429
Taylor (Poly)	0.8812	-13.2622	-10.1429
Proposed	0.8812	-13.2622	-10.1429

(a) Quad error



	SR[m]	PSLR [dB]	ISLR [dB]
Ideal	0.8812	-13.2622	-10.1429
Taylor (Poly)	0.8812	-12.8763	-10.0261
Proposed	0.8812	-13.2618	-10.1429

(b) Ripple error

Fig. 7. Quad/Ripple phase error comparison

Fig. 7은 식 (6)을 이용하여 8 deg의 Quad, Ripple 위상 오차가 존재할 때 칩 과형의 IRF 특성을 비교한 결과이다. Fig. 7에서 알 수 있듯이 Taylor 보상 방식은 낮은 차수에서만 유효하고, Ripple과 같은 n차 오차에 대하여는 충분한 보상이 되지 않는다. 반면 제안하는 방식은 위상 오차에서도 기존의 테일러급수 방식보다 개선된 성능을 확인 할 수 있다. 또한, 실제 오차는 1차, 2차, Ripple 외에 Random한 경우도 많아 기존 방식에서의 정확한 오차 모델링이 어렵기 때문에 제안된 방법으로서의 성능 개선 효과는 분명하다.

5. 결론

본 논문에서는 위성 탑재 영상레이다의 성능 향상을 위해 오차 보상 방법으로 포락선 샘플링 기법 및 메모리 저장, 인터플레이션 필터 기법을 이용한 전치왜곡 구현 방안을 제시하였다. 즉, 지상에서의 데이터 전송량을 줄이고 리소스 사용량을 저감하기 위해 샘플링된 포락선 데이터를 미리 영상레이다 제어기에 저장하여 처리하는 방식에 대하여 제시하였고, 인터플레이션 연산량을 줄이기 위하여 신호처리 기법인 인터플레이션 필터를 제시하였다.

제시하는 기법의 성능 분석을 위해 IRF 분석을 활용하여 영상레이다에서 포함된 오차 성분을 정확히 보상하고 이상적인 성능에 가까운 결과가 도출됨을 확인하였다. 이는 위성 SAR 레이다에서 용도, 제작비용, 제작기간 등을 고려하면 성능 개선의 기술은 중요 시되기 때문에 위성 SAR 레이다 구현 측면에서는 의미 있는 결과이다. 또한, 제안한 기법은 위성 탑재 영상레이다 보드 레벨 구현에 대한 FPGA 리소스 소모량 부담을 개선하여 추가적인 리소스 사용을 가능하게 한다. 이에 따라, 제안된 방식을 차기 위성 개발에 적용하여 활용할 계획이다.

References

- [1] Ian G. Cuming, Frank H. Wong, "Digital Processing of Synthetic Aperture Radar Data," Artech House, 2005.
- [2] Ken Gentile and Rick Cushing, "A Technical Tutorial on Digital Signal Synthesis," Analog Devices, 1999.

- [3] Walter C. Carrara, Walter G. Carrara, Ron S. Goodman, Ronald M. Majewski, "Spotlight Synthetic Aperture Radar: Signal Processing Algorithms," Artech House, 1995.
- [4] S.-B. Ryu, J.-P. Kim, J.-H. Yang, Y.-J. Won, and S.-K. Lee, "Study of RF Impairments in Wideband Chirp Signal Generator," The Journal of Korean Institute of Electromagnetic Engineering and Science, Vol. 24, No. 12. pp. 1205-1214, 2013.
- [5] Atoso Hekkala, "Compenastion of Transmitter Nonlinearities Using Predistortion Technique," VTT Science, 2014.
- [6] P. L. Delos, D. A. Leonard and J. M. Spada, "A Pre-Distortion Method to Reduce DDS Spurious," International Microwave Symposium, pp. 1-4, 2014.
- [7] Steffensen, J. F., "Interpolation," Mineola N.Y, 2006.
- [8] Jeffery J. Leader, "Numerical Analysis and Scientific Computation," Pearson Addison Wesley, 2004.
- [9] D. S. Kim, J. P. Kim, J. H. Lee, "IRF Performance Prediction by Analyzing of Amplitude and Phase Errors for the Wideband Chirp Signal," Journal of the Korean Society for Aeronautical & Space Sciences, Vol. 44, pp. 131-138, 2016.