

# 플로팅 커패시터를 갖는 이중 인버터를 위한 향상된 데드 타임 보상 기법

## An Advanced Dead-Time Compensation Method for Dual Inverter with a Floating Capacitor

강 호 현\*, 장 성 진\*\*, 이 형 우\*\*, 황 준 호\*\*, 이 교 범\*\*★

Ho Hyun Kang\*, Sung-Jin Jang\*\*, Hyung-Woo Lee\*\*, Jun-Ho Hwang\*\*, Kyo-Beum Lee\*\*★

### Abstract

This paper proposes an advanced dead-time compensation method for dual inverter with a floating capacitor. The dual inverter with floating capacitor is composed of double two-level inverters and a bulk electrolytic capacitor. The output voltage of the dual inverter is dropped by the conduction voltage of the power semiconductors. The voltage drop and dead-time cause the fundamental and harmonic distortions of output currents. When supplied power for OEW-load is low, the dual inverter operates as single inverter for effective operation. The dead-time compensation method for the dual inverter operated as single inverter is needed for reliability. The proposed method using band pass filter in this paper compensates dead-time, dead-time error and changed voltage drop error of power semiconductors for the dual inverter and dual inverter operated as single inverter. The effectiveness of the proposed method is verified by simulation results.

### 요 약

본 논문은 플로팅 커패시터를 갖는 이중 인버터의 향상된 데드 타임 보상 기법을 제안한다. 플로팅 커패시터를 갖는 이중 인버터는 2-레벨 단일 인버터보다 전력 반도체가 6개가 추가된다. 전력 반도체의 수가 증가로 이중 인버터의 출력 전압은 추가된 전력 반도체의 도통 전압만큼 감소되며 출력 전류 품질은 전력 반도체에 의한 전압 강하와 데드 타임에 의해 저하된다. 본 논문에서 제안하는 기법은 이중 인버터의 데드 타임 및 전력 반도체의 도통 전압을 보상하여 전류 품질을 개선하고 추가적인 대역통과 필터를 이용한 고조파 보상 기법을 통해 데드 타임과 도통 전압 보상에 대한 오차를 추가 보상한다.

*Key words : Dual inverter with a floating capacitor, Power control, Dead-time compensation, Band pass filter, Open-end load*

\* LS Electric Co., Ltd.

\*\* Dept. of Electrical and Computer Engineering, Ajou University

★ Corresponding author

E-mail: kyl@ajou.ac.kr, Tel : +82-31-219-2376

※ Acknowledgment

This research was supported by Korea Electric Power corporation.(Grant number : R21XO01-11)

Manuscript received Apr. 21, 2022; revised May. 26, 2022; accepted Jun. 27, 2022.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

## 1. 서론

최근 지구온난화 문제로 모터의 효율이 중요해지면서 유도 전동기보다 효율을 높은 영구자석 동기 전동기(Permanent Magnet Synchronous Motor, PMSM) 사용이 증가하고 있다[1]-[4]. 영구자석 동기 전동기는 높은 전력 밀도, 높은 토크 밀도 및 고효율의 특성이 있어 전기 자동차 및 가전제품을 위해 사용되고 있다[5, 6]. 영구 자석 동기 전동기를 적용한 전기 자동차 및 가전제품은 작동 범위의 증가를 위해 승압형 컨버터(Boost converter)가 포함되고 있다. 승압형 컨버터 사용은 전체 시스템의 크기 및 무게가 증가하는 단점이 있다. 승압

형 컨버터는 승압을 위해 큰 부피의 인덕터와 커패시터가 필요하며 일반적으로 승압비를 2배 이상 가지기 어렵다. 이러한 승압형 컨버터의 무게와 부피를 개선하고 전압 이용률을 높이기 위해 개방 권선 매입형 영구자석 동기 전동기(Open End Winding Interior Permanent Magnet Synchronous Motor, OEW-IPMSM)와 이를 구동하기 위한 이중 인버터(Dual Inverter) 시스템이 연구되고 있다[7]-[10]. 개방 권선 매입형 영구자석 동기 전동기는 각 상전류가 독립적으로 제어되기 때문에 모터 시스템의 신뢰성이 향상되어 신뢰성이 중요한 전기 자동차 시스템에 연구가 진행되고 있다[11]-[14]. 이중 인버터는 개방 권선 매입형 영구자석 동기 전동기를 동작하기 위한 많은 이점이 존재 한다. 이중 인버터는 2개의 2레벨 인버터로 구성되기 때문에 전력 반도체 정격 전압은 단일 인버터에 비해 2배가 되며 이는 고전압 시스템에 사용하기 적합하다. 이중 인버터는 멀티 레벨의 출력 전압을 출력하여 출력 전류의 전고조파왜율(Total Harmonic Distortion, THD)을 개선하고 멀티 레벨 인버터에 필요한 중성점 제어가 없는 등의 장점이 있다[15]. 이중 인버터는 승압된 전압을 통해 단일 2레벨 인버터보다 더 높은 속도와 더 높은 전력 밀도를 가진다. 이중 인버터는 인버터에 연결된 전원의 종류에 따라 세 종류의 이중 인버터로 분류된다. 이중 인버터는 2개의 독립 전원으로 전원을 공급받는 이중 인버터, 한 개의 독립 전원과 플로팅 커패시터 전원으로 연결된 이중 인버터, 공통으로 연결된 한 개의 독립 전원에서 모든 전원을 인가받는 이중 인버터로 구성된다. 2개의 독립 전원을 갖는 이중 인버터는 개방 권선 매입형 영구자석 동기 전동기 구동이 쉽고 공통 전원을 갖는 이중 인버터에서 발생하는 영상분 전류(Zero Sequence Current, ZSC)가 발생하지 않는다[16]. 전기적으로 독립된 전원을 사용하기 때문에 영상분 전류가 발생하지 않아 이를 저감하는 제어기법이 불필요하다. 그러나 독립 전원을 갖는 이중 인버터는 독립된 전원을 2개를 사용하기 때문에 다른 2개의 이중 인버터보다 전체 시스템의 크기와 비용 측면에서 불리하다. 공통 전원을 갖는 이중 인버터는 한 개의 전원을 사용하기 때문에 가격과 전체 시스템 크기가 감소한다[17]. 그러나 공통의 전원을 사용하기 때문에 영상분 전류 경로가 형성되고 영상분 전류에 의해 이중 인버터에의 스위칭 손실 및 출력 전류의 전고조파왜율이 증가한다[18]. 이러한 영상분 전류는 개방 권선 매입형 영구자석 동기 전동기의 출력 토크 리플 및 소음을 증가시킨다[19]. 플로팅 커패시터를 갖는 이중 인버터는 무효 전력만 출력

하여 커패시터의 방전을 방지하기 위한 전력제어 기법이 필요하다[20]. 플로팅 커패시터를 갖는 이중 인버터는 개방 권선 매입형 영구자석 동기 전동기의 속도 범위를 확장하고 멀티 레벨의 전압을 출력하여 인덕턴스가 작은 영구자석 동기 전동기의 리플 전류를 저감한다[21].

각 인버터 레그의 상단 및 하단 스위치가 동시에 도통되는 것을 방지하기 위해 데드 타임을 적용한다. 출력 전류 방향에 따라 이중 인버터의 출력전압 오차 발생하여 출력전류 왜곡이 발생한다[22]. 이러한 데드 타임을 보상하지 않으면 왜곡된 전류로 인하여 전체 시스템이 불안정해지며 이중 인버터에 추가적인 손실이 발생한다[23]. 이중 인버터의 신뢰성을 보장하기 위해 데드 타임 보상 기법 및 전력 반도체의 도통 전압을 보상하는 기법이 필요하다.

본 논문에서는 플로팅 커패시터를 갖는 이중 인버터의 향상된 데드 타임 보상 기법을 제안한다. 이중 인버터의 데드 타임과 전력 반도체의 전압 강하를 보상하여 출력 전류의 고조파를 저감하고 이중 인버터가 낮은 전력으로 구동할 때, 효율적인 이중 인버터의 구동을 위해 이중 인버터는 단일 인버터로 동작하여 신뢰성 확보한다. 단일 인버터를 위한 데드 타임 및 전력 반도체의 전압 강하 보상 기법을 적용하여 출력 전류의 고조파를 저감한다. 데드타임 및 도통 전압 오차를 보상을 위해 대역 통과 필터를 사용한 데드 타임 보상 기법의 타당성은 시뮬레이션을 통해 검증한다.

## II. 플로팅 커패시터를 갖는 이중 인버터의 모델링과 전력 제어기법

### 1. 플로팅 커패시터를 갖는 이중 인버터 모델링

개방 권선 부하를 구동하기 위한 플로팅 커패시터를 갖는 이중 인버터는 그림 1과 같다. 이러한 이중 인버터는 1개의 전원과 플로팅 커패시터로 구성되고 개방 권선 부하 각 양단에 걸리는 전압은 인버터 1 인버터2의 극전압의 차로 다음 식 (1)과 같이 나타낼 수 있다.

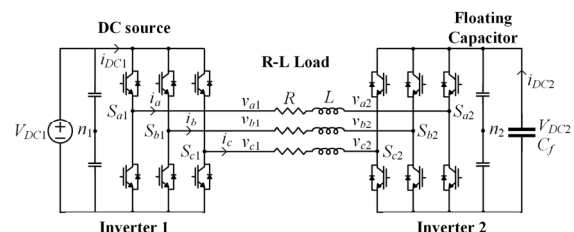


Fig. 1. Dual inverter with a floating capacitor.

그림 1. 플로팅 커패시터를 갖는 이중 인버터

$$\begin{bmatrix} v_{a12} \\ v_{b12} \\ v_{c12} \end{bmatrix} = \begin{bmatrix} v_{an1} - v_{an2} - v_{an1n2} \\ v_{bn1} - v_{bn2} - v_{bn1n2} \\ v_{cn1} - v_{cn2} - v_{cn1n2} \end{bmatrix} \quad (1)$$

$$\begin{bmatrix} v_{an1} \\ v_{bn1} \\ v_{cn1} \end{bmatrix} = \begin{bmatrix} V_{DC1}(S_{a1} - 0.5) \\ V_{DC1}(S_{b1} - 0.5) \\ V_{DC1}(S_{c1} - 0.5) \end{bmatrix}, \begin{bmatrix} v_{an2} \\ v_{bn2} \\ v_{cn2} \end{bmatrix} = \begin{bmatrix} V_{DC2}(S_{a2} - 0.5) \\ V_{DC2}(S_{b2} - 0.5) \\ V_{DC2}(S_{c2} - 0.5) \end{bmatrix}$$

여기서,  $v_{a12}$ ,  $v_{b12}$ ,  $v_{c12}$ 는  $a$ ,  $b$ ,  $c$ 축 개방 권선 부하의 상전압을 의미하며  $v_{an1}$ ,  $v_{bn1}$ ,  $v_{cn1}$ 는 인버터1의  $a$ ,  $b$ ,  $c$ 축 출력 극전압을 의미하며  $v_{an2}$ ,  $v_{bn2}$ ,  $v_{cn2}$ 는 인버터 2의  $a$ ,  $b$ ,  $c$ 축 출력 극전압을 의미하며  $S_{a1}$ ,  $S_{b1}$ ,  $S_{c1}$ ,  $S_{a2}$ ,  $S_{b2}$ ,  $S_{c2}$ 는 각각 인버터1, 2의  $a$ ,  $b$ ,  $c$ 축의 스위칭 상태를 의미하며  $V_{DC1}$ ,  $V_{DC2}$ 는 각각 입력 전압과 플로팅 커패시터 전압의 크기를 의미한다.

### 2. 플로팅 커패시터 초기 충전 및 구동 기법

플로팅 커패시터가 무효 전력을 공급하기 위해 플로팅 커패시터를 일정 전압으로 충전하는 초기 충전기법이 필요하다. 그림 2(a)는 플로팅 커패시터의 초기 충전할 때 전력 흐름도를 나타낸다. 플로팅 커패시터가 초기 충전할 때, 인버터1은 개방 권선 부하를 위한 유효전력( $P_{OUT(i)}$ )과 무효전력( $Q_{OUT(i)}$ )을 공급하고 플로팅 커패시터 충전을 위한 유효 전력( $P_{INV2(i)}$ )을 공급한다. 이러한 초기 충전 과정에서 이중 인버터가 출력하는 유효 및 무효 전력은 다음 식 (2)와 같이 나타낼 수 있다.

$$P_{INV1(i)} = P_{OUT(i)} + P_{INV2(i)}, Q_{INV1(i)} = Q_{OUT(i)} \quad (2)$$

$$P_{INV2(i)} = -P_{fc(i)}, Q_{INV2(i)} = 0$$

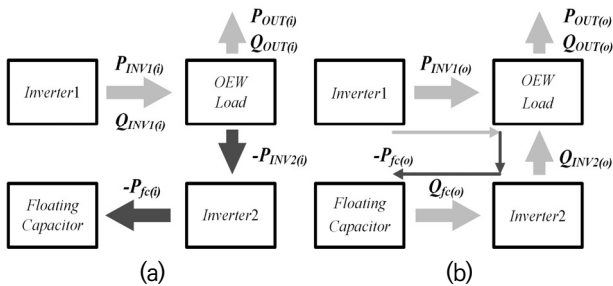


Fig. 2. Power flow diagram of dual inverter with a floating capacitor: (a) when charging floating capacitor (b) when operating OEW load.

그림 2. 플로팅 커패시터를 갖는 이중 인버터의 전력 흐름도: (a) 플로팅 커패시터를 초기 충전할 때 (b) 개방 권선 부하를 구동할 때

여기서,  $P_{INV1(i)}$ ,  $Q_{INV1(i)}$ 은 인버터1이 출력하는 유효 및 무효 전력을 의미하며  $-P_{fc(i)}$ 는 플로팅 커패시터를 충전하기 위한 유효전력을 의미하며  $Q_{INV2(i)}$ 는 인버터2가

출력하는 무효전력을 의미한다. 인버터1에서 출력한 유효전력을 인버터2가 공급받아 플로팅 커패시터를 충전한다.

### 3. 이중 인버터의 전력 제어 기법

개방 권선 부하에 필요한 유효전력( $P_{OUT(o)}$ ) 및 무효전력( $Q_{OUT(o)}$ )을 공급하고 플로팅 커패시터의 전압을 유지하기 위해 그림 2(b)와 같이 인버터1은 유효전력( $P_{INV1(o)}$ )을 출력하고 인버터2는 무효전력( $Q_{INV2(o)}$ )을 출력한다. 인버터2는 무효전력을 출력하여 플로팅 커패시터는 방전되지 않고 커패 시터는 등가저항 및 스위칭 손실에 의한 방전이발생한다. 이러한 방전을 방지하기 위해 인버터1은 유효전력( $-P_{fc(o)}$ )을 인버터2에 공급한다. 개방 권선 부하의 구동을 위한 이중 인버터의 출력전력은 다음 식 (3)과 같이 나타낼 수 있다.

$$P_{INV1(o)} = P_{OUT(o)} + P_{INV2(o)}, Q_{INV1(o)} = 0 \quad (3)$$

$$P_{INV2(o)} = -P_{fc(o)}, Q_{INV2(o)} = Q_{OUT(o)}$$

여기서,  $Q_{INV1(o)}$ 은 인버터1이 출력하는 무효 전력을 의미한다. 인버터2가 출력할 수 없는 무효 전력이 발생할 때, 인버터1은 인버터2가 출력할 수 없는 추가 무효 전력을 출력한다.

### 4. 플로팅 커패시터를 갖는 이중 인버터의 단일 인버터 동작

개방 권선 부하에 낮은 전력을 공급하기 위해 이중 인버터를 구동하면 이중 인버터는 단일 인버터와 비교하여 전류 전고조파왜율 및 시스템의 전체 스위칭 손실이 증가된다. 또한 플로팅 커패시터에 불필요한 리플 전류로 인해 커패시터의 수명이 저감되어 전체 시스템의 영향을

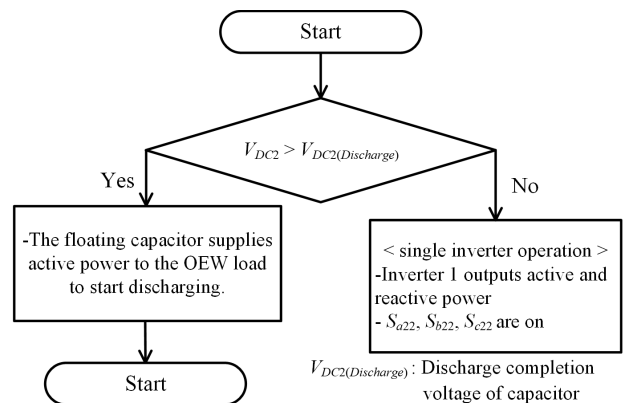


Fig. 3. Flowchart for single inverter operation of dual inverter.

그림 3. 이중 인버터의 단일 인버터 동작을 위한 순서도

준다. 이러한 문제점을 개선하기 위해 이중 인버터를 단일 인버터로 동작한다. 단일 인버터로 동작할 때, 그림 3과 같은 순서로 플로팅 커패시터의 충전된 전력을 개방 권선형 부하에 회생하고 방전이 완료되면 인버터2는 영전압 벡터를 출력한다.

### III. 플로팅 커패시터를 갖는 이중 인버터의 향상된 데드 타임 보상기법

#### 1. 데드 타임을 고려한 극전압 오차 분석

출력 전류의 부호에 따라 출력되는 극전압의 파형은 그림 4와 같다. 이러한 전류 부호에 따라 데드 타임에 이상적인 출력신호와 실제로 출력 극전압에 오차가 발생한다. 데드 타임 및 전력 반도체의 전압 강하로 극전압의 오차( $V_{dead}$ )가 발생하고 오차는 다음 식 (4)과 같이 나타낼 수 있다.

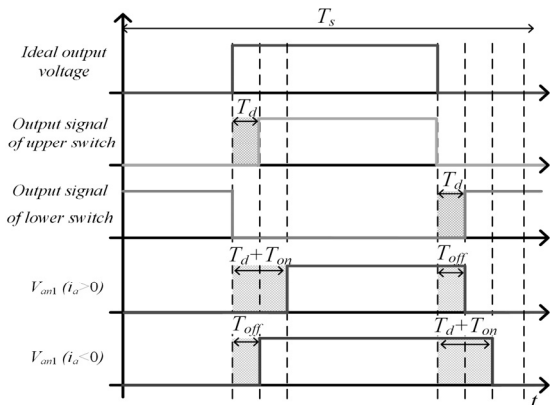


Fig. 4. Switching and pole voltage waveform according to output current polarity.

그림 4. 전력 반도체 구동을 위한 출력 신호 및 출력 전류 극성에 따른 극전압 파형

$$V_{dead} = \left( \frac{T_{dead} + T_{on} - T_{off}}{T_s} \right) (V_{DC} - V_{CE} + V_F) - 0.5(V_F + V_{CE}) \quad (4)$$

여기서,  $T_{dead}$ ,  $T_{off}$ ,  $T_{on}$ ,  $T_s$ 는 각각 데드 타임, 전력 반도체의 턴 오프 시간, 전력 반도체의 턴 온 시간, 스위칭 주기를 의미하며  $V_{DC}$ ,  $V_{CE}$ ,  $V_F$ 는 각각 입력 전압의 크기, 전력 반도체의 도통 전압, 환류 다이오드의 도통 전압을 의미한다.

#### 2. 플로팅 커패시터를 갖는 이중 인버터의 데드 타임 보상 기법

이중 인버터는 단일 인버터보다 2배의 전력 반도체 소자로 구성되며 추가된 인버터2에 대한 데드 타임 보상이 필요하다. 인버터1과 인버터2의 출력 전류의 부호가 반대이며 이를 보상하기 위해 보상전압의 부호는 반대가 된다. 인버터1의 a, b, c상의 데드 타임 보상 전압( $v_{ca1}$ ,  $v_{cb1}$ ,  $v_{cc1}$ )과 인버터2의 a, b, c상의 데드 타임 보상 전압( $v_{ca2}$ ,  $v_{cb2}$ ,  $v_{cc2}$ )은 다음 식 (5)와 같이 나타낼 수 있다.

$$\begin{bmatrix} v_{ca1} \\ v_{cb1} \\ v_{cc1} \end{bmatrix} = \frac{1}{3} \begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \\ -1 & -1 & 2 \end{bmatrix} \begin{bmatrix} \text{sign}(i_a) V_{dead} \\ \text{sign}(i_b) V_{dead} \\ \text{sign}(i_c) V_{dead} \end{bmatrix} \quad (5)$$

$$\begin{bmatrix} v_{ca2} \\ v_{cb2} \\ v_{cc2} \end{bmatrix} = -\frac{1}{3} \begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \\ -1 & -1 & 2 \end{bmatrix} \begin{bmatrix} \text{sign}(i_a) V_{dead} \\ \text{sign}(i_b) V_{dead} \\ \text{sign}(i_c) V_{dead} \end{bmatrix}$$

여기서,  $\text{sign}(i_a)$ ,  $\text{sign}(i_b)$ ,  $\text{sign}(i_c)$ 은 이중 인버터 출력 전류의 부호를 의미한다. 식(5)을 이용한 보상 전압은 인버터1과 인버터2의 공통모드 전압에 의한 데드 타임 보상 오차를 제거할 수 있다.

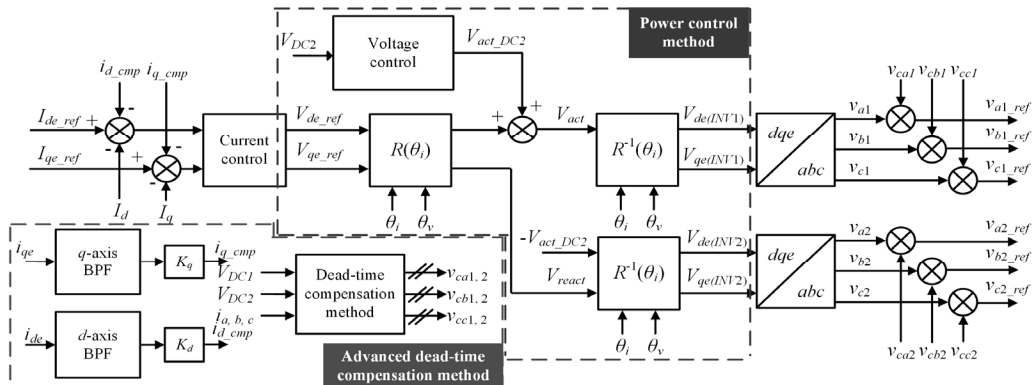


Fig. 5. Block diagram of power control method for dual inverter and advanced dead-time compensation method.

그림 5. 향상된 데드 타임 보상 기법과 이중 인버터의 전력 제어 기법 블록도

### 3. 대역 통과 필터를 이용한 데드 타임 보상 기법

전력 반도체의 도통 전압 변화 및 데드 타임 오차로 인해 이중 인버터의 동 기화된  $d, q$ 축 전류에서 추가적인 6차 고조파가 발생한다. 그림 5와 같은 향상된 데드 타임 보상 기법은 이러한 도통 전압 변화와 데드 타임 오차로 발생한  $d, q$ 축 6차 고조파를 대역통과필터를 통해 보상한다. 제안 기법에 사용된 대역통과필터는 다음 식 (6)과 같이 나타낼 수 있다.

$$y[n] = Ay[n-1] + By[n-2] + Cx[n] + Dx[n-1] \quad (6)$$

실제 동기화된  $d, q$ 축 전류는 DC성분( $I_{de}, I_{qe}$ ), 6차( $i_{de\_6th}, i_{qe\_6th}$ ), 12차( $i_{de\_12th}, i_{qe\_12th}$ ) 성분의 합으로 나타낼 수 있다. 12차 성분은 6차 성분보다 작아서 식 (7)과 같이 나타낼 수 있다.

$$i_{de} = I_{de} + i_{de\_6th} + i_{de\_12th} \approx I_{de} + i_{de\_6th} \quad (7)$$

$$i_{qe} = I_{qe} + i_{qe\_6th} + i_{qe\_12th} \approx I_{qe} + i_{qe\_6th}$$

대역 통과 필터를 통과한  $d, q$ 축 보상 전류( $i_{d\_cmp}, i_{q\_cmp}$ )는 다음 식 (8)과 같이 나타낼 수 있다.

$$i_{d\_cmp} \approx i_{de\_6th} \quad (8)$$

$$i_{q\_cmp} \approx i_{qe\_6th}$$

전류 제어기는 6차 고조파가 제거된 DC 성분( $I_{de}, I_{qe}$ )을 통해 전체 시스템을 제어하므로 안정성이 확보된다.

### 4. 단일 인버터로 동작하는 이중 인버터의 데드 타임 보상 기법

그림 6과 같이 단일 인버터로 동작하는 인버터1 데드 타임 보상 전압( $v_{ca1}, v_{cn1}, v_{cc1}$ )과 인버터2의 a, b, c 상의 데드 타임 보상 전압( $v_{ca2}, v_{cn2}, v_{cc2}$ )은 다음 식 (9)과 같이 나타낼 수 있다.

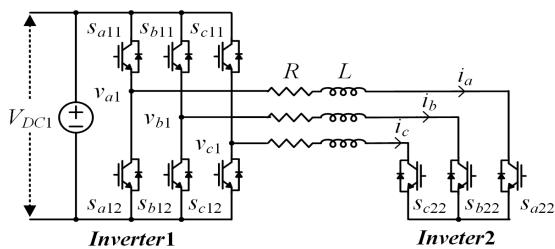


Fig. 6. Dual inverter operated as single inverter.  
그림 6. 단일 인버터로 동작하는 이중 인버터

$$[v_{ca1} \ v_{cb1} \ v_{cc1}] = V_{dead} [sign(i_a) \ sign(i_b) \ sign(i_c)] \quad (9)$$

$$v_{cx2(x=a,b,c)} = \begin{cases} V_{CE} & (i_x(x=a,b,c) > 0) \\ V_F & (i_x(x=a,b,c) < 0) \end{cases}$$

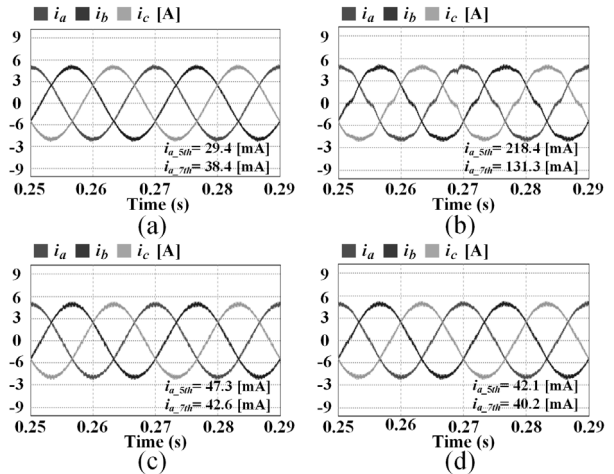


Fig. 7. Simulation results of a, b, c phase current comparison in dual inverter operation: (a) Ideal condition, (b) with dead-time and the voltage drop, (c) with conventional dead-time compensation, (d) with proposed dead-time compensation.

그림 7. 이중 인버터의 a, b, c상 전류 시뮬레이션 결과 비교: (a) 이상적인 조건인 경우, (b) 데드 타임과 전압 강하가 있는 경우, (c) 기존 데드 타임 보상기법을 적용한 경우, (d) 데드 타임 및 대역통과 필터를 이용한 보상기법을 적용한 경우

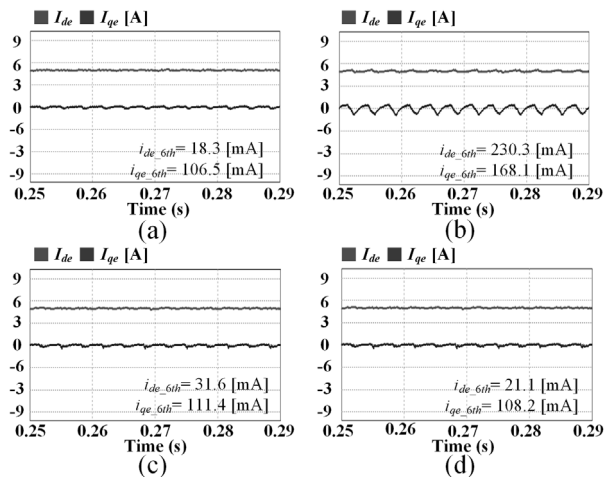


Fig. 8. Simulation results of d and q-axis current comparison: (a) Ideal condition, (b) with dead-time and the voltage drop, (c) with conventional dead-time compensation, (d) proposed dead-time compensation

그림 8.  $d, q$ 축 전류의 시뮬레이션 결과 비교: (a) 이상적인 조건인 경우, (b) 데드 타임과 전압 강하가 있는 경우, (c) 기존 데드 타임 보상기법을 적용한 경우, (d) 데드 타임 및 대역통과 필터를 이용한 제안보상기법을 적용한 경우

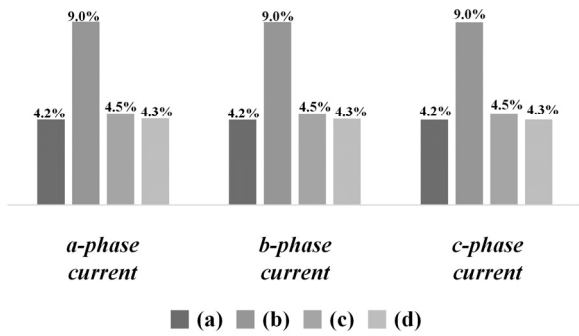


Fig. 9. Total harmonic distortion results of a, b, c phase current among four situations.

그림 9. 네 가지 경우에서 a, b, c상 전류의 전고조파왜율 비교

Table 1. Simulation parameters.

표 1. 시뮬레이션 파라미터

	Parameter	Value
Simulation parameters	Inverter1 input voltage, $V_{DC1}$	150 V
	Inverter2 reference voltage, $V_{DC2}$	75 V
	Control period, $T_s$	100 $\mu$ s
	dead-time, $T_{dead}$	4 $\mu$ s
	Conduction voltage of power semiconductor, $V_{CE}$	2 V
	Conduction voltage of freewheeling diode, $V_f$	1 V
	Resistive load, $R$	6.8 $\Omega$
	Inductive load, $L$	2 mH

#### IV. 시뮬레이션 결과

제안하는 보상기법의 유효성을 확인하기 위해 네 가지 경우로 나누어 PSIM 시뮬레이션을 진행하였으며, 시뮬레이션 회로도도 그림 1과 같고 파라미터는 표 1과 같다. 세뮬레이션에서 진행한 네가지 경우는 데드 타임과 전력반도체 도통 전압이 없는 이상적인 경우, 데드 타임과 도통 전압을 고려한 경우, 기존 기법인 데드 타임과 도통 전압을 보상한 경우, 제안 기법인 데드 타임과 도통 전압의 오차가 발생할 때 대역통과 필터를 이용한 보상 기법을 적용한 경우로 진행하였다. 그림 7은 네 가지 경우에 따른 출력 전류를 시뮬레이션 결과이다. 이러한 결과로 제안 기법을 적용할 때, 5차 고조파 전류( $i_{a,th5}$ ) 및 7차 고조파( $i_{a,th7}$ ) 전류가 저감된다. 그림 8은 네 가지 경우에 따른 동기화된  $d$ ,  $q$ 축 출력 전류의 시뮬레이션 결과이다. 제안 기법을 적용한 경우 동기화된  $d$ ,  $q$ 축에 발생하는 6차 고조파( $i_{de,6th}$ ,  $i_{qe,6th}$ )는 저감된다. 제안기법

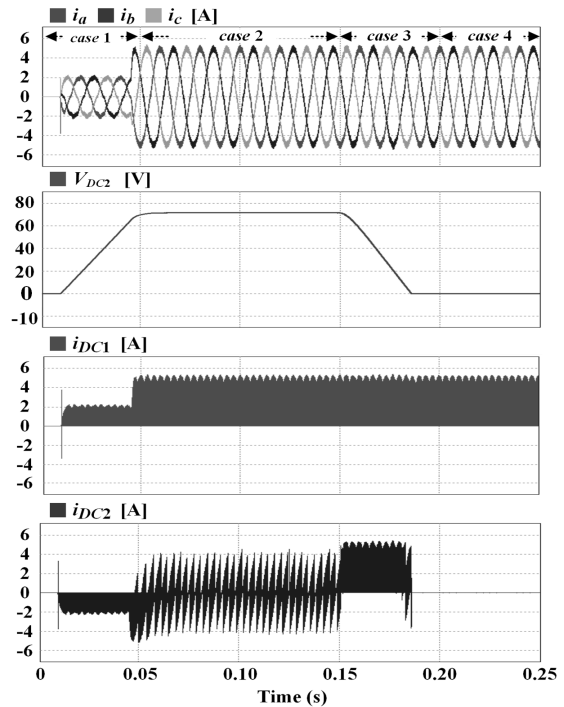


Fig. 10. Waveform of dual and single inverter.

그림 10. 이중 및 단일 인버터 동작에 따른 동작 파형

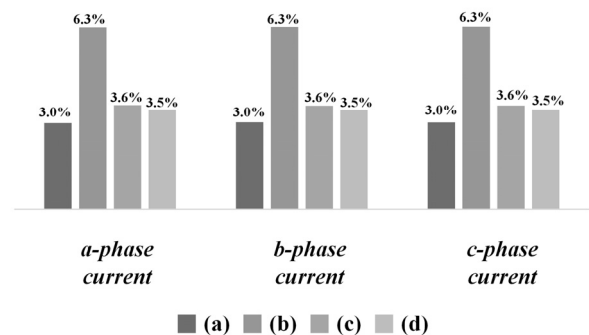


Fig. 11. Total harmonic distortion results of a, b, c phase current among four situations.

그림 11. 네 가지 경우에서 a, b, c상 전류의 전고조파왜율 비교

을 적용하면 그림 9와 같이 출력전류의 전고조파왜율이 4.5%에서 4.3%로 개선되었다. 그림 10은 커패시터 초기충전 동작할 때(case1), 이중 인버터로 구동할 때(case2), 플로팅 커패시터 회생 동작(case3), 단일 인버터로 동작할 때(case4)의 시뮬레이션 결과를 나타낸다. 플로팅 커패시터의 초기 충전 동안(case1) 커패시터의 전압( $V_{DC}$ )은 충전되었다. 이중 인버터에서 단일 인버터로 동작을 위해 플로팅 커패시터의 충전된 유효 전력을 부하로 회생시켜 플로팅 커패시터의 전압( $V_{DC}$ )의 감소되고 출력 전류가 case 3동안 양수였다. 플로팅 커패시터의 방전이 완료되면 단일 인버터로 동작했다. 이중 인

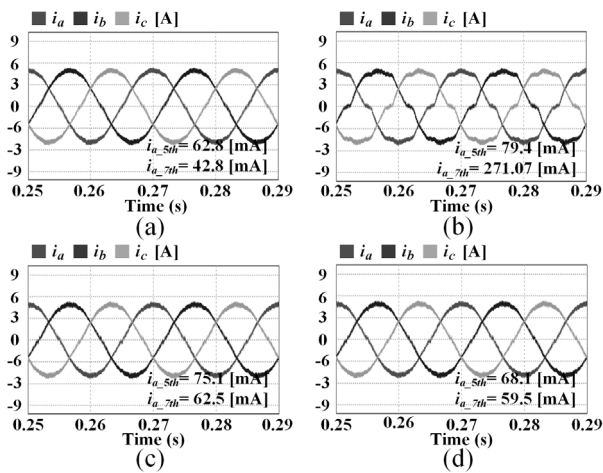


Fig. 12. Simulation results of a, b, c phase current comparison in single inverter operation: (a) Ideal condition, (b) with dead-time and the voltage drop, (c) with applied conventional dead-time compensation, (d) with applied proposed dead-time compensation.

그림 12. 단일 인버터의 a, b, c상 전류 시뮬레이션 결과 비교: (a) 이상적인 조건인 경우, (b) 데드 타임과 전압 강하가 있는 경우, (c) 기존 데드 타임 보상기법을 적용한 경우, (d) 데드 타임 및 대역통과 필터를 이용한 보상 기법을 적용한 경우

버터는 단일 인버터로 동작하기 때문에 인버터1에서만 전력을 공급됨을 입력전류( $i_{DC}$ )를 통해 확인하였다. 제안기법을 적용하면 그림 11과 같이 출력전류의 전고조파 왜율이 3.6%에서 3.5%로 개선되었다. 그림 12는 이중 인버터가 단일 인버터로 동작할 때 네 가지 경우의 출력 전류 시뮬레이션 결과를 나타낸다. 제안 기법을 적용할 때, 5차 고조파 전류( $i_{a,5th}$ ) 및 7차 고조파( $i_{a,7th}$ ) 전류가 저감됨을 시뮬레이션 결과를 통해 검증 하였다. 플로팅 커패시터를 갖는 이중 인버터 구동 및 단일 인버터로 동작할 때 제안하는 데드 타임 보상기법을 통해 출력 전류의 전고조파왜율, 출력 전류의 5차, 7차 고조파,  $d$ ,  $q$ 축에 발생하는 6차 고조파는 기존 기법보다 저감됨을 확인하였다. 이러한 시뮬레이션 결과로 제안 기법을 적용하면 기존 기법보다 전고조파왜율이 개선되었다.

## V. 결론

본 논문은 플로팅 커패시터를 갖는 이중 인버터를 위한 향상된 데드 타임 보상 방법을 제안하였다. 플로팅 커패시터를 갖는 이중 인버터는 단일 인버터보다 추가적인 6개의 전력 반도체의 전도 전압에 의해 출력 전압이 감

소된다. 전압 강하 및 데드 타임은 출력 전류의 왜곡을 유발하는 원인이 되었다. 기존의 데드 타임 보상 방식에 추가적인 대역 통과 필터를 적용하여 데드 타임 오차로 발생하는 출력 전류 왜곡을 개선하였다. 본 논문에서 제안하는 기법은 이중 인버터와 단일 인버터로 동작하는 이중 인버터에 대한 전력 반도체의 전압 강하와 데드 타임을 보상하고 추가적인 대역 통과 필터를 이용하여 데드 타임과 전력 반도체의 전압 강하에 대한 오차를 추가 보상하는 기법을 제안하였다. 제안한 데드 타임 보상 기법의 효과는 시뮬레이션 결과로 검증하였다.

## References

- [1] K.-B. Lee, *Advanced Power Electronics*, munundang, 2019, ISBN 979-11-5692-402-9.
- [2] Y. Cho, K.-B. Lee, J.-H. Song, and Y. I. Lee, "Torque-ripple minimization and fast dynamic scheme for torque predictive control of permanent-magnet synchronous motors," *IEEE Trans. Power Electron.*, vol.30, no.4, pp.2182-2190, 2015. DOI: 10.1109/TPEL.2014.23261
- [3] X. Zhou, J. Sun, H. Li, M. Lu, and F. Zeng, "PMSM Open-Phase Fault-Tolerant Control Strategy Based on Four-Leg Inverter," *IEEE. Trans. Power Electron.*, vol.35, no.3, pp.2799-2808, 2020. DOI: 10.1109/TPEL.2019.2925823
- [4] D.-W. Seo, Y. Bak, and K.-B. Lee, "An Improved Rotating Restart Method for a Sensorless Permanent Magnet Synchronous Motor Drive System Using Repetitive Zero Voltage Vectors," *IEEE Trans. Ind. Electron.*, vol.67, no.5, pp.3496-3504, 2020. DOI: 10.1109/TIE.2019.2914647
- [5] G. Wang, L. Yang, B. Yuan, B. Wang, G. Zhang, D. Xu, P. Xu., and Z. Q. Zhu, "Pseudo-Random High-Frequency Square-Wave Voltage Injection Based Sensorless Control of IPMSM Drives for Audible Noise Reduction," *IEEE Trans. Ind. Electron.*, vol.63, no.12, pp.7423-7433, 2016. DOI: 10.1109/ITEC.2019.8790628
- [6] H.-W. Lee, D.-H. Cho, and K.-B. Lee, "Rotor Position Estimation over Entire Speed Range of Interior Permanent Magnet Synchronous Motors," *J. Power Electron.*, vol.21, no.4, pp.639-702, 2021.

DOI: 10.1007/s43236-021-00217-9

[7] N. K. Nguyen, F. Meinguet, E. Semail, and X. Kestelyn, "Fault-Tolerant Operation of an Open-End Winding Five-Phase PMSM Drive with Short Circuit Inverter Fault," *IEEE Trans. Ind. Electron.*, vol.63, no.1, pp.595-605, 2016.

DOI: 10.1109/TIE.2014.2386299

[8] Z. Song, X. Ma, and Y. Yu, "Design of Zero-Sequence Current Controller for Open-End Winding PMSMs Considering Current Measurement Errors," *IEEE Trans. Power Electron.*, vol.35, no.6, pp.6127-6139, 2020. DOI: 10.1109/TPEL.2019.2952402

[9] M. Priestley, D. Xiao, N. A. M. Said, R. Dutta, and J. E. Fletcher, "Post Fault Control Strategy for IPMSMs with Non-Sinusoidal Back-EMFs in an Open-Ended Winding Configuration," in Proc. 42nd Annu. Conf. IEEE Ind. Electron. Soc., pp. 28792884, 2016.

[10] W. Zhao, B. Wu, Q. Chen, and J. Zhu, "Fault-Tolerant Direct Thrust Force Control for a Dual Inverter Fed Open-End Winding Linear Vernier Permanent Magnet Motor Using Improved SVPWM," *IEEE Trans. Ind. Electron.*, vol.65, no.9, pp.7458-7467, 2018.

DOI: 10.1109/TIE.2018.2795557

[11] A. Tani, M. Mengoni, M.; L. Zarri, G. Serra and D. Casadei, "Control of Multiphase Induction Motors with an Odd Number of Phases Under Open-Circuit Phase Faults," *IEEE Trans. on Power Electronics*, vol.27, no.2, pp.565-577, 2012.

DOI: 10.1109/TPEL.2011.2140334

[12] E. Levi, I.N.W. Satiawan; N. Bodo and M. Jones, "A Space-Vector Modulation Scheme for Multilevel Open-End Winding Five-Phase Drives," *IEEE Trans. on Energy Conversion*, vol.27, no.1, pp.1-10, 2012. DOI: 10.1109/TEC.2011.2178074

[13] V. T. Somasekhar, M. R. Baiju, and K. Gopakumar, "Dual Two-Level Inverter Scheme for an Open-End Winding Induction Motor Drive with A Single DC Power Supply and Improved DC Bus Utilization," *Proc. IEEE Electr. Power Appl.*, vol.151, no.2, pp.230-238, 2004.

DOI: 10.1049/ip-epa\_20040023

[14] D. Casadei, G. Grandi, A. Lega, and C. Rossi, "Multilevel Operation and Input Power Balancing for a Dual Two-Level Inverter with Insulated DC Sources," *IEEE Trans. Ind. Applicat.*, vol.44, no.6, pp.1815-1824, 2008.

DOI: 10.1109/TIA.2008.2006323

[15] V. T. Somasekhar, K. Gopakumar, E. G. Shivakumar, and S. K. Sinha, "A Space Vector Modulation Scheme for a Dual Two Level Inverter Fed Open-End Winding Induction Motor Drive for The Elimination of Zero Sequence Currents," *EPE J.*, vol.12, no.2, pp.26-36, 2002.

DOI: 10.1080/09398368.2002.11463502

[16] Y. Zhou and H. Nian, "Zero-Sequence Current Suppression Strategy of Open Winding PMSG System with Common DC Bus Based on Zero Vector Redistribution," *IEEE Trans. Ind. Electron.*, vol.62, no.6, pp.3399-3408, 2015.

DOI: 10.1109/TIE.2014.2366715

[17] H. Zhan, Z. Q. Zhu, and M. Odavic, "Analysis and Suppression of Zero Sequence Circulating Current in Open Winding PMSM drives with Common DC Bus," *IEEE Trans. Ind. Appl.*, vol.53, no.4, pp.3609-3620, 2017.

DOI: 10.1109/ECCE.2016.7854872

[18] J. Kim, J. Jung, and K. Nam, "Dual-Inverter Control Strategy for High Speed Operation of EV Induction Motors," *IEEE Trans. Ind. Electron.*, vol.51, no.2, pp.312-320, 2004.

DOI: 10.1109/IECON.2002.1187500

[19] Z. Huang, T. Yang, P. Giangrande, S. Chowdhury, M. Galea and P. Wheeler, "Enhanced Performance of Dual Inverter with a Floating Capacitor for Motor Drive Applications," *IEEE Trans. Power Electron.*, vol.36, no.6, pp.6903-6916, 2021. DOI: 10.1109/TPEL.2020.3040029

[20] Z. Shen and D. Jiang, "Dead-time effect compensation method based on current ripple prediction for voltage-source inverters," *IEEE Trans. Power Electron.*, vol.34, no.1, pp.971-983, 2019. DOI: 10.1109/TPEL.2018.2820727

[21] S. Y. Kim, W. Lee, M. S. Rho, and S. Y. Park, "Effective dead-time compensation using a simple



vectorial disturbance estimator in PMSM drives,” *IEEE Trans. Ind. Electron.*, vol.57, no.5, pp.1609-1614, 2010. DOI: 10.1109/TIE.2009.2033098

---

## BIOGRAPHY

---

### Ho Hyun Kang (Member)



2004 : BS degree in Electrical Engineering, Soongsil University.  
2006 : MS degree in Electrical Engineering, Soongsil University.  
2018~present : PhD student in Electrical and Computer Engineering, Ajou University.

### Sung-Jin Jang (Member)



2019 : BS degree in Electronic Engineering, Kookmin University.  
2021~present : MS student in Electrical and Computer Engineering, Ajou University.

### Hyung-Woo Lee (Member)



2020 : BS degree in Electrical and Computer Engineering, Ajou University.  
2022 : MS degree in Electrical and Computer Engineering, Ajou University.  
2022~present : PhD student in Electrical and Computer Engineering, Ajou University.

### Jun-Ho Hwang (Member)



2021 : BS degree in Electronic Engineering, Myongji University.  
2021~present : MS student in Electrical and Computer Engineering, Ajou University.

### Kyo-Beum Lee (Member)



1997 : BS degree in Electrical and Electronic Engineering, Ajou University.  
1999 : MS degree in Electrical and Electronic Engineering, Ajou University.

2003 : PhD degree in Electrical Engineering, Korea University.  
2003~2006 : Research Associate, Institute of Energy Technology, Aalborg University.  
2006~2007 : Assistant Professor, Chonbuk National University.  
2007~present : Professor, Dept. of Electrical and Computer Engineering, Ajou University.