

3D NAND Flash Memory의 Remnant Polarization(P_r)과 Saturated Polarization(P_s)에 따른 Retention 특성 분석

The Analysis of Retention Characteristic according to Remnant Polarization(P_r) and Saturated Polarization(P_s) in 3D NAND Flash Memory

이재우*, 강명곤**

Jaewoo Lee*, Myounggon Kang**

Abstract

In this paper, retention characteristics of lateral charge migration according to parameters of 3D NAND flash memory to which ferroelectric (HfO₂) structure is applied and ΔV_{th} were analyzed. The larger the P_s , the greater maximum polarization possible in ferroelectric during programming. Therefore, the initial V_{th} increases by about 1.04V difference at P_s 70 μ C/cm² than at P_s 25 μ C/cm². Also, electrons trapped after the program operation causes lateral charge migration over time. Since ferroelectric maintains polarization without applying voltage to the gate after programming, regardless of P_s value, polarization increases as P_r increases and the ΔV_{th} due to lateral charge migration becomes smaller by about 1.54V difference at P_r 50 μ C/cm² than P_r 5 μ C/cm².

요약

본 논문에서는 ferroelectric(HfO₂)구조가 적용된 3D NAND flash memory의 parameter에 따른 lateral charge migration의 retention과 V_{th} 를 분석하였다. P_s 가 클수록 program 시 ferroelectric에서 가능한 최대 polarization이 크기 때문에 초기 V_{th} 는 P_s 25 μ C/cm²보다 P_s 70 μ C/cm²에서 약 1.04V차이로 커진다. 또한 Program 이후 trap된 전자는 시간이 지남에 따라서 lateral charge migration이 발생한다. Program 이후 gate에 전압을 가하지 않고 ferroelectric은 polarization을 유지하기 때문에 P_s 와 크게 관계없이 P_r 이 클수록 polarization이 커지고 lateral charge migration에 의한 ΔV_{th} 는 P_r 5 μ C/cm²보다 P_r 50 μ C/cm²에서 약 1.54V차이로 작아진다.

Key words : 3D NAND flash memory, lateral charge migration, ferroelectric, polarization, threshold voltage

* Dept. of Electronics Engineering, Korea National University of Transportation

★ Corresponding author

E-mail : mgkang@ut.ac.kr, Tel : +82-43-841-5164

※ Acknowledgment

This work was supported in part by the Institute of Information and Communications Technology Planning and Evaluation (IITP) funded by the Korea government (MSIT) under Grant 2021-0-01764 and in part by the MOTIE(Ministry of Trade, Industry & Energy (10085645) and KSRC(Korea Semiconductor Research Consortium) support program for the development of the future semiconductor device and in part by Korea Institute for Advancement of Technology (KIAT) grant funded by the Korea Government (MOTIE) (N000P0008500, The Competency Development Program for Industry Specialist).

Manuscript received Apr. 25, 2022; revised Jun. 21, 2022; accepted Jun. 23, 2022.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서론

오늘날의 3D NAND flash memory [1-3]는 SiO₂를 대체해 높은 유전상수를 가진 ferroelectric material이 주목받고 있다. 기존 silicon은 metal에 비해 전도도가 낮아 불리하지만 ferroelectric material의 높은 유전율은 저전압 구동을 가능하게 할 수 있다. 또한 이는 silicon과의 접촉에서 열역학적으로 안정성을 가질 수 있어 전력손실 예방에 좋은 특성을 가진다[4-6]. 프로그램 이후 nitride층에 trap된 전자는 시간이 지남에 따라서 nitride층 수직 방향의 전계에 의한 vertical charge loss현상과 인접한 셀의 전위차와 band-to-band tunneling에 의해 lateral charge migration이 발생한다[7]. 본 논문에서는 ferroelectric물질이 적용된 3D NAND flash memory의 program 후 경과된 시간에 따른 ONF구조의 P_r(Remanent polarization), P_s(Saturation polarization)의 parameter 변화에 의한 retention특성을 lateral charge migration의 영향을 고려하여 분석하였다.

II. 본론

3D NAND flash의 O/N/F 구조는 TCAD로 설계하였으며 파라미터값과 시뮬레이션 timing diagram은 이전의 논문을 참고하였다[8].

1. Characteristics of P_s value

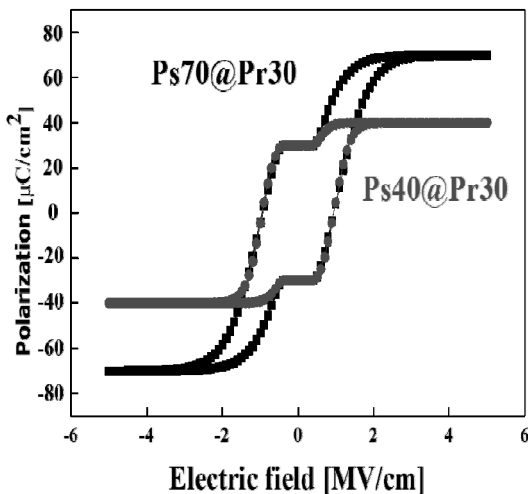


Fig. 1. Hysteresis loop according to P_s.
그림 1. P_s에 따른 Hysteresis loop

그림 1은 P_r 30μC/cm²에서 P_s 40 μC/cm²와 70 μC/cm²의 hysteresis loop이다. 외부 전기장이 가해짐

에 따라 polarization값이 증가하고, 일정한 전기장 이상이 되면 polarization 값이 포화된다.

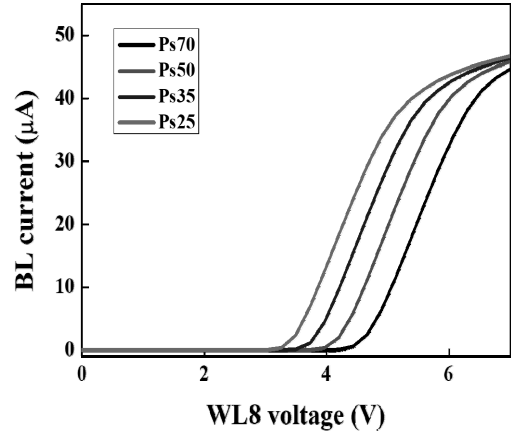


Fig. 2. I_d-V_d simulated by varying P_s.
그림 2. P_s를 가변하여 시뮬레이션한 I_d-V_d

그림 2는 P_s를 가변하여 O/N/F 구조의 WL8에 program pulse를 인가한 이후 측정된 I_d-V_d이다. P_r은 20 μC/cm²로 고정하고 P_s만 가변하여 시뮬레이션 했으며 P_s는 클수록 최대 polarization이 커지기 때문에 프로그램 했을 시 V_{th}는 P_s 25μC/cm²에서 3.19V, P_s 70μC/cm²에서 4.23V로 약 1.04V 증가했다.

2. Characteristics of P_r value

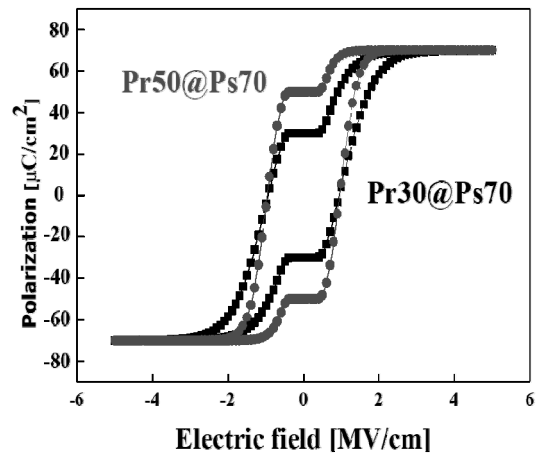
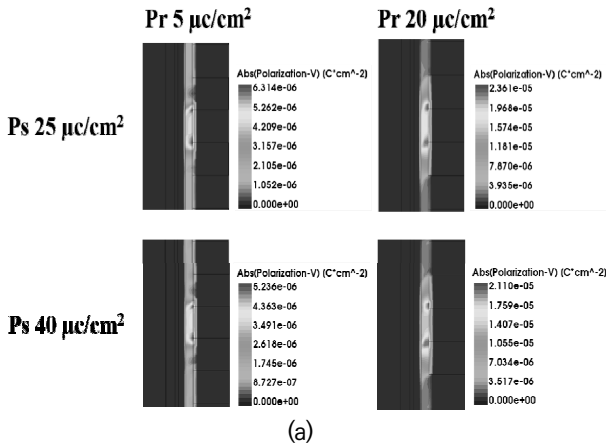
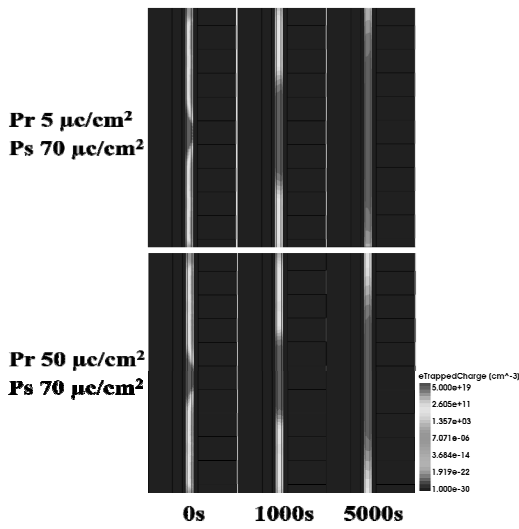


Fig. 3. Hysteresis loop according to P_r.
그림 3. P_r에 따른 Hysteresis loop

그림 3은 P_s 70 μC/cm²에서 P_r 30 μC/cm²와 50 μC/cm²의 hysteresis loop이다. 외부전기장이 가해짐에 따라 증가된 polarization값이 전기장을 가하지 않았을 때 polarization값은 0으로 돌아가지 않고 일정한 polarization값을 유지하게 된다.



(a)



(b)

Fig. 4. (a) Polarization of HfO_2 after 10^7 seconds after programming. (b) Lateral charge migration of electrons trapped in nitride according to P_r value.
 그림 4 (a) 프로그램 후 10^7 초 경과 후 HfO_2 의 polarization
 (b) P_r 값에 따른 nitride에 trap된 전자의 lateral charge migration

그림 4(a)는 프로그램 후 10^7 초 경과 후 HfO_2 의 polarization이다. 프로그램 후 gate에 전압을 인가하지 않았기 때문에 polarization이 유지된다. P_r 이 클수록 polarization이 커지고 P_s 는 P_r 과의 차이가 커질수록 polarization이 작아진다. 그림 4(b)는 $P_s = 70 \mu C/cm^2$ 에서 $P_r = 5 \mu C/cm^2$ 와 $50 \mu C/cm^2$ 의 프로그램 후 nitride에 trap된 전자의 lateral migration을 보여준다. 시뮬레이션 결과로부터 $P_r = 5 \mu C/cm^2$ 에 비해 $50 \mu C/cm^2$ 에서 polarization이 더 커짐에 따라 nitride에 trap된 전자의 lateral charge migration이 적게 발생한다.

Table 2는 P_r , P_s 파라미터 값에 따른 프로그램 후 10^7 초 경과 후 ΔV_{th} 이다. P_r 이 P_s 보다 작을 수는 없기 때문

에 프로그램이 되지 않는다. P_r 이 클수록 ΔV_{th} 는 작아지고 P_s 는 클수록 ΔV_{th} 는 커진다.

Table 2. ΔV_{th} according to Parameter values.

표 2. 파라미터 값에 따른 ΔV_{th}

($P_r, P_s \mu C/cm^2$)

$P_s \backslash P_r$	5	15	30	50
25	4.56	4.01		
35	4.72	4.12	3.26	
50	4.83	4.28	3.38	
70	4.91	4.36	3.44	3.37

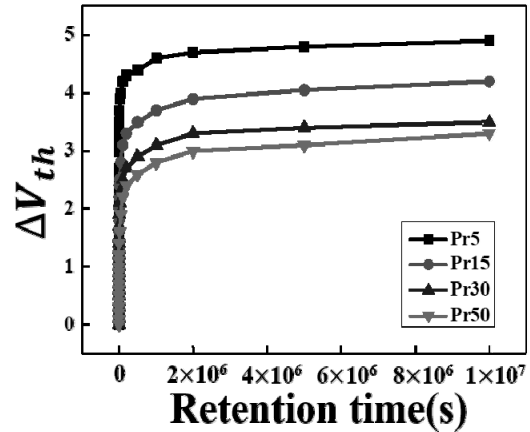


Fig. 5. Retention characteristics according to P_r of WL8 in ONF structure.

그림 5. ONF 구조의 WL8에 P_r 에 따른 retention 특징

그림 5는 ONF구조의 $P_s = 70 \mu C/cm^2$ 에서 $P_r = 5 \mu C/cm^2$ 부터 $50 \mu C/cm^2$ 까지 가변하여 확인한 WL8의 10^7 초 동안의 ΔV_{th} 이다. $P_s = 25 \mu C/cm^2$ 에서 4.56V, $P_s = 70 \mu C/cm^2$ 에서 4.91V로 약 0.35V 차이가 발생했다. 그림 2에서 나타난 것처럼 프로그램 직후 초기의 V_{th} 가 $P_s = 70 \mu C/cm^2$ 에서 더 크기 때문에 오차범위 내로 P_s 에 의한 retention의 영향은 거의 없는 반면 P_r 은 프로그램 후 전압이 인가되지 않을 때 polarization이 유지되기 때문에 P_r 이 클수록 lateral charge migration에 의한 ΔV_{th} 는 $P_r = 5 \mu C/cm^2$ 에서 4.91V, $P_r = 50 \mu C/cm^2$ 에서 3.37V로 약 1.54V차이로 줄어들었다.

III. 결론

시뮬레이션을 통해 3D NAND Flash Memory에 trap된 전자를 oxide-nitride-ferroelectric(ONF) 구

조에서 ferroelectric material의 parameters(P_r , P_s)에 따른 프로그램 후 V_{th} 와 lateral charge migration에 의한 ΔV_{th} 의 차이와 특징을 확인했다. P_s 는 클수록 최대 polarization이 커지기 때문에 프로그램 했을 시 V_{th} 값이 커진다. 또한 ferroelectric물질 HfO_2 는 프로그램 후 gate에 전압을 인가하지 않았기 때문에 polarization을 유지하며 P_s 는 retention에 큰 영향을 미치지 않는 반면 P_r 은 커질수록 lateral charge migration이 적게 발생하게 되기 때문에 lateral charge migration에 의한 retention특성은 향상됨을 보였다.

References

- [1] M. Kang, et al. "Improving read disturb characteristics by using double common source line and dummy switch architecture in multi level cell nand flash memory with low power consumption," *Japanese Journal of Applied Physics*, Vol.50, 2011. DOI: 10.1143/JJAP.50.04DD03
- [2] Y. Kim, et al. "Three-dimensional NAND flash architecture design based on single-crystalline stacked array," *IEEE Transactions on Electron Devices*, Vol.59, No.1, pp.35-45. DOI: 10.1109/TED.2011.2170841
- [3] Y. Kim, and M. Kang, "Down-coupling phenomenon of floating channel in 3D NAND flash memory," *IEEE Electron Device Letters*, Vol.37, p.12, 1566-1569, 2016. DOI: 10.1109/LED.2016.2619903
- [4] K.-T. Park, et al. "Three-dimensional 128 Gb MLC vertical NAND flash memory with 24-WL stacked layers and 50 MB/s high-speed programming," *IEEE Journal of Solid-State Circuits* Vol.50, No.1, pp.204-213, 2014. DOI: 10.1109/JSSC.2014.2352293
- [5] Jeong, Y., S. J. Baik, and M. Kang. "Study of program scheme using ferroelectric material in 3D NAND flash memory," *Proceedings of the International Conference on Electronics, Information, and Communication*, 2020.
- [6] Choi, Seonjun, et al. "Floating filler (FF) in an indium gallium zinc oxide (IGZO) channel improves the erase performance of vertical channel NAND flash with a cell-on-peri (COP) structure," *Electronics*, Vol.10, No.13, pp.1561, 2021. DOI: 10.3390/electronics10131561
- [7] J.-K. Jeong, et al. "Charge Migration Analysis of 3D SONOS NAND Flash Memory Using Test Pattern," *JOURNAL OF SEMICONDUCTOR TECHNOLOGY AND SCIENCE*, Vol.20, No.2, pp.151-157, 2020. DOI: 10.5573/JSTS.2020.20.2.151
- [8] Jae-Woo Lee, Jong-Won Lee, and Myeong-Gon Kang. "The Analysis of Lateral Charge Migration at 3D-NAND Flash Memory by Tapering and Ferroelectric Polarization," *Journal of IKEEE*, Vol.25, No.4, pp.770-773, 2021. DOI: 10.7471/ikeee.2021.25.4.770