

# 기본 모드를 침해하는 과도 고장이 존재하는 입력/출력 비동기 순차 회로에 대한 내고장성 제어

양정민\* · 박성우\*\*

## Fault-Tolerant Control of Input/Output Asynchronous Sequential Circuits with Transient Faults Violating Fundamental Mode

Jung-Min Yang\* · Seong-Woo Kwak\*\*

### 요 약

본 논문에서는 기본 모드 원리를 침해하는 과도 고장이 존재하는 입력/출력 비동기 순차 회로의 내고장성 교정 제어 시스템을 제안한다. 비동기 순차 회로의 과도 천이 과정에서 발생하는 비-기본 모드 고장을 극복하기 위해서는 고장에 의한 상태 천이가 종료되는 시점을 알아야 하며, 회로를 고장 상태에서부터 원래 도달해야 하는 상태와 출력 등가적인 상태로 보내기 위한 교정 동작을 구현해야 한다. 본 논문에서는 이러한 고장 탐지 및 극복을 구현할 수 있는 출력 피드백 교정 제어기의 존재 조건을 규명한다. FPGA 실험을 통해 제안된 제어 시스템의 설계 과정을 제시하고 응용 가능성을 검증한다.

### ABSTRACT

This paper proposes a corrective control system to achieve fault-tolerant control for input/output asynchronous sequential circuits vulnerable to transient faults violating fundamental mode operations. To overcome non-fundamental mode faults occurring in transient transitions of asynchronous sequential circuits, it is necessary to determine the end of unauthorized state transitions caused by the faults and to stably take the circuit from the faulty state to a desired state that is output equivalent with the normal next stable state. We address the existence condition for a proper output-feedback corrective controller that achieves fault diagnosis and fault-tolerant control for these non-fundamental mode faults. The corrective controller and asynchronous sequential circuit are implemented on field-programming gate array to demonstrate the synthesis procedure and applicability of the proposed control scheme.

### 키워드

Input/output Asynchronous Sequential Circuit, Corrective Control, Non-fundamental Mode Fault, Fault Tolerance, FPGA  
입력/출력 비동기 순차 회로, 교정 제어, 비-기본 모드 고장, 내고장성, FPGA

\* 경북대학교 전자공학부(jmyang@ee.knu.ac.kr)

\*\* 교신저자 : 부경대학교 제어계측공학과

• 접수일 : 2022. 03. 19

• 수정완료일 : 2022. 05. 03

• 게재확정일 : 2022. 06. 17

• Received : Mar. 19, 2022, Revised : May. 03, 2022, Accepted : Jun. 17, 2022

• Corresponding Author : Seong-Woo Kwak

Dept. of Control and Instrumentation Engineering, Pukyong National University

Email : ksw@pknu.ac.kr

## 1. 서 론

전역 클럭 없이 동작하는 비동기 시스템은 1950년대 처음 개발된 이후로 최근까지 활발하게 사용되고 있다. 비동기 변조[1], 비동기 통신[2], 비동기 스트림트 결합[3] 등 비동기 시스템이 적용되는 분야도 제어 공학, 통신, 컴퓨터 등 다양하다. 교정 제어(corrective control)는 비동기 순차 회로를 제어 대상 시스템으로 놓고 상태 또는 출력 피드백을 이용하여 제어 대상 회로의 안정 상태 동작을 비동기적으로 개선한다. 교정 제어는 특히 설계 결함이나 고장이 존재하는 비동기 순차 회로에 대한 내고장성 제어를 구현하는 데 유용하게 활용되었다[4-6].

이번 논문에서는 기본 모드(fundamental mode) 원리를 위배하는 과도 고장(transient fault)이 존재하는 입력/출력 비동기 순차 회로에 대한 내고장성 교정 제어를 다룬다. 입력/출력 비동기 순차 회로란 회로의 출력 값이 현재 상태 값과는 다른 회로로서[7], 입력/상태 비동기 순차 회로보다 더 일반적인 모델이라 할 수 있다.

‘기본 모드 원리’[8]는 전역 클럭이 없는 비동기 순차 회로가 예측 불가능한 동작을 보이는 현상을 방지하기 위해 회로가 안정 상태에 있을 때만 내부 변수가 변경될 수 있다는 설정이다. 이 원리가 준수되기 위해서는 회로에 원하지 않는 상태 천이를 일으키는 과도 고장 역시 회로가 안정 상태에 있을 때만 발생해야 한다. 하지만 일반적으로 지능적인 공격자나 무작위적으로 발생하는 고장 신호 등 고장의 요인은 회로의 동작과는 독립적으로 움직인다. 따라서 기본 모드 원리를 위배하는 고장에 대한 극복 방안을 마련하는 일이 더 현실적이며 시스템의 내고장성 증대를 위해서 반드시 필요하다.

이번 연구에서는 비-기본 모드 과도 고장의 발생을 탐지하고 고장이 일어난 입력/출력 비동기 순차 회로를 정상적으로 되돌리는 교정 제어기를 제안한다. 입력/상태 비동기 순차 회로에서 발생하는 비-기본 모드 고장에 대한 내고장성 교정 제어는 이전 연구에서 수행되었다[9, 10]. 이전 연구[9, 10]와 비교하여 본 연구는 다음과 같은 차별성을 가진다.

(i) 이전 연구에서 제안한 교정 제어기는 상태 피드백을 이용하였으나 이번 연구에서는 회로의 출력이 빠른 시퀀스 형태로 연속해서 나오는 출력 버스트

(burst)[7]를 피드백으로 사용한다.

(ii) 이전 연구에서 교정 제어의 목표는 회로를 고장이 발생했을 때 머물렀던 원래 상태로 되돌리는 일이었다. 하지만 입력/출력 비동기 순차 회로는 출력만 동일하면 회로가 등가적인 동작을 한다고 간주하기 때문에 이번 연구에서는 원래 상태와 출력 등가적인(output equivalent) 임의의 상태로 회로를 되돌리는 일이 제어 목적이 된다.

(iii) 입력/출력 비동기 순차 회로에서는 회로의 현재 상태를 알 수 없기 때문에 상태 불확실성이 상존한다. 따라서 이전 연구와 달리 고장 탐지와 극복 과정에서 이러한 상태 불확실성을 고려해야 한다.

본 논문의 2장에서는 먼저 입력/출력 비동기 순차 회로를 모델링하고 교정 제어기가 결합된 페루프 시스템에서 비-기본 모드 과도 고장을 기술한다. 그 다음 3장에서 비-기본 고장을 탐지하고 극복할 수 있는 출력 피드백 교정 제어기의 존재 조건을 밝히고 제어기의 동작을 약속한다. 또한 4장에서 제안한 교정 제어기의 설계 과정과 응용 가능성을 보이기 위해 FPGA 실험을 수행한다. 마지막으로 5장에서 논문의 결론을 내린다.

## II. 모델링 및 문제 설정

### 2.1 입력/출력 비동기 순차 회로

입력/출력 비동기 순차 회로  $\Sigma$ 는

$$\Sigma = (A, Y, X, X^b, f, h) \quad (1)$$

로 모델링된다. 여기서  $A$ 는 입력 집합,  $X$ 는  $|X|=n$ 인 상태 집합,  $X^b \in X$ 는 가능한 초기 상태 집합,  $f: X \times A \rightarrow X$ 는 상태 천이 함수,  $h: X \rightarrow Y$ 는 출력 함수이다.  $A$ 는 다시

$$A = A_n \cup A_d \quad (2)$$

로 나뉘는데  $A_n$ 은 정상 입력,  $A_d$ 는 고장 입력 집합이다.

$f$ 가 정의된 임의의 상태/입력 조합  $(x_0, v) \in X \times A$ 는 안정(stable) 조합과 과도(transient) 조합으로 분류된다.  $f(x_0, v) = x_0$ 이면  $(x_0, v)$ 는 안정 조합으로, 입력이 바뀌지 않는 한  $\Sigma$ 는  $x_0$ 에 계속 머무른다.  $f(x_0, v) \neq x_0$ 이면  $(x_0, v)$ 는 과도 조합으로,  $\Sigma$ 는  $x_0$ 에서 시작하여 아

래와 같이 연쇄적인 과도 상태를 거치는 과도 천이를 한다(과도 천이 동안 입력  $v$ 는 바뀌지 않는다).

$$f(x_0, v) = x_1 \rightarrow f(x_1, v) = x_2 \rightarrow \dots \rightarrow f(x_{k-1}, v) = x_k \quad (3)$$

$\Sigma$ 가 무한 사이클을 가지지 않는다면  $\Sigma$ 는  $f(x_k, v) = x_k$ 인 '다음 안정 상태'  $x_k$ 에 도달한다( $1 \leq k \leq n-1$ ).  $\Sigma$ 가 순간적으로 과도 천이를 하기 때문에 보통 중간 과도 상태를 생략하고 안정 상태 간의 동작만으로 위의 연쇄 상태 천이를 표현하는데 이를 위해 stable recursion 함수[11]  $s: X \times A \rightarrow X$ 를 다음과 같이 정의한다.

$$s(x, v) = x' \quad (x' \text{는 } (x, v) \text{의 다음 안정 상태}) \quad (4)$$

$s$ 의 정의구역은 아래와 같이 길이 2 이상의 정상 입력 스트링(string)으로 확장된다.

$$s(x, v_1 v_2 \dots v_k) = s(s(x, v_1), v_2 \dots v_k), \quad v_1 v_2 \dots v_k \in A_n^+ \quad (5)$$

$s(x, t) = x'$ 인 입력 스트링  $t \in A_n^+$ 이 존재하면  $x'$ 는  $x$ 로부터 '안정적으로 도달 가능하다(stably reachable)'라고 부른다[11].

$\Sigma$ 가 과도 조합  $(x, v)$ 에서 시작하여 다음 안정 상태  $s(x, v)$ 에 도달하기까지 거치는 모든 중간 과도 상태를  $\tau(x, v) \subset X$ 로 표시한다. 앞의 예에서

$$\tau(x_0, v) = \{x_0, x_1, \dots, x_{k-1}\} \quad (6)$$

이다.

$\Sigma$ 가  $x_0$ 에서  $x_1, \dots, x_{k-1}$ 를 거치면서 다음 안정 상태  $s(x_0, v) = x_k$ 로 상태 천이하는 동안 출력은  $h(x_0), h(x_1), \dots, h(x_k)$ 로 바뀌면서 버스트 형태로 나온다. 비동기 순차 회로의 특성상 출력 버스트 안에 같은 문자(character) 값이 연속해서 나오면 하나의 문자로 압축되어 인식된다. 그러한 압축 과정을 수행하는 함수를  $\gamma: Y^* \rightarrow Y^*$ 로 정의하자. 예를 들어  $y_1 y_1 y_2 y_2 \in Y^*$ 이면  $\gamma(y_1 y_1 y_2 y_2) = y_1 y_2$ 이다. 기술의 편의성을 위해  $\Sigma$ 가  $(x, v)$ 에서 시작하는 상태 천이를 거치면서 내는 출력 버스트를

$$\beta(x, v) \in Y^* \quad (7)$$

로 표기한다. 앞의 예에서

$$\beta(x_0, v) = \gamma(h(x_0)h(x_1) \dots h(x_k)) \quad (8)$$

이다. 또  $\Sigma$ 가  $x$ 에서 시작하여 과도 상태  $x' \in \tau(x, v)$ 를 통과할 때까지 생기는 출력 버스트를

$$\beta(x, x', v) \in Y^* \quad (9)$$

라고 하자. 앞의 예에서

$$\beta(x_0, x_i, v) = \gamma(h(x_0)h(x_1) \dots h(x_i)) \quad (1 \leq i \leq k-1) \quad (10)$$

이다. 또  $\beta_{-1}(x_0, v)$ 를 다음과 같이 정의한다.

$$\beta_{-1}(x_0, v) = \begin{cases} \gamma(h(x_0)h(x_1) \dots h(x_{k-1})) & k > 1 \\ \emptyset & k = 1 \end{cases} \quad (11)$$

입력의 출력 시퀀스  $y_1 \dots y_k \in Y^*$ 에 대해서도  $\beta_{-1}(y_1 \dots y_k)$ 를  $\beta_{-1}(x_0, v)$ 과 유사하게 정의하자.

출력 버스트  $b$ 의 맨 마지막 값을 편의상  $h(b) \in Y$ 로 표기한다. 예를 들어  $b = y_1 y_2 y_3 \in Y^*$ 이면

$$h(b) = h(y_1 y_2 y_3) = y_3 \quad (12)$$

이다.  $h(\cdot)$ 의 정의구역은  $Y^*$ 에서  $Y^*$ 의 멱집합(power set)  $P(Y^*)$ 로 확장된다. 출력 버스트 집합  $B \subset Y^*$ 이 주어질 때  $h(B)$ 는

$$h(B) = \{h(b) \mid b \in B\} \quad (13)$$

로 정의된다.

$x \in X$ 와 동일한 출력을 가지는 상태는  $x$ 와 출력 등가적이다.  $x$ 에 대한 출력 등가 상태 집합을  $E(x) \subset X$ 라 하면

$$E(x) = \{x' \in X \mid E(x') = E(x)\} \quad (14)$$

로 표현된다.

## 2.2 페루프 시스템 및 비-기본 모드 고장

그림 1은 비-기본 모드 고장이 존재하는 입력/출력 비동기 순차 회로  $\Sigma$ 에 대한 내고장성 교정 제어 시스템을 도시한다.  $C$ 는 교정 제어기이며  $v \in A_n$ 은 외부 입력,  $u \in A_n$ 은  $C$ 가 만드는 제어 입력,  $y^* \in Y^*$ 는 버스트 형태의 출력 피드백이고  $w \in A_d$ 는 과도 고장 입력이다.  $\Sigma_c$ 는  $\Sigma$ 와  $C$ 가 결합된 페루프 시스템이다.  $C$ 는 아래와 같은 입력/출력 비동기 순차 회로로 기술된다.

$$C = (A_n \times Y^*, A_n, \epsilon, \xi_0, \phi, \eta) \quad (15)$$

$A_n \times Y^*$ 는 입력 집합,  $A_n$ 은 출력 집합이며  $\epsilon$ 는 상태 집합,  $\xi_0 \in \epsilon$ 는 초기 상태,  $\phi: \epsilon \times A_n \times X \rightarrow \epsilon$ 와  $\eta: \epsilon \rightarrow A_n$ 은 각각 상태 천이 함수와 출력 함수이다.

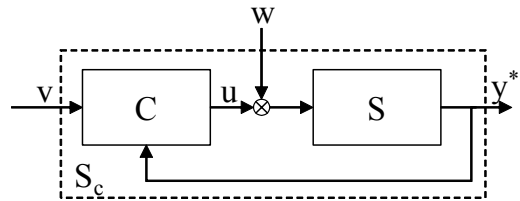


그림 1. 비-기본 모드 고장이 존재하는 입력/출력 비동기 순차 회로에 대한 내고장성 제어 시스템  
Fig. 1 Fault-tolerant control system for an input/output asynchronous sequential circuit with non-fundamental mode faults

w가  $\Sigma_c$ 에 침투하면 현재의 제어 입력 u는 무시되고  $\Sigma$ 는 w에 의한 원하지 않는 상태 천이를 겪는다. 보통 w의 발생 여부와 종류는  $\Sigma$ 가 가지는 현재 상태에 의존적이다. 본 논문에서는  $\Sigma$ 가 상태 x를 가질 때 발생할 수 있는 모든 고장 입력 집합을  $W(x) \subset A_d$ 로 표기한다. 또 임의의  $X_1 \subset X$ 에 대해서

$$W(X_1) = \bigcup_{x \in X_1} W(x) \quad (16)$$

라고 하자.

비-기본 모드 고장은  $\Sigma$ 가 과도 천이를 할 때 거치는 과도 상태에서 발생한다.  $\Sigma$ 가 (x,v)에서 출발하는 과도 천이를 한다면  $\tau(x,v)$  중의 어떤 상태에서 고장 입력이 들어온다는 뜻이므로

$$W(\tau(x,v)) \neq \emptyset \quad (17)$$

라는 조건이 성립된다.

이번 연구에서는 모든 비-기본 모드 과도 고장을 탐지하고  $\Sigma$ 를 정상 동작으로 즉시 복귀시키는 교정 제어기 C의 존재 조건을 규명하고 C를 설계한다.  $\Sigma$ 가 (x,v)에서 시작한 과도 천이 도중 고장 발생으로 인해 어떤 상태로 강제 천이하였다고 하자.  $\Sigma$ 가 도달했어야 하는 정상적인 다음 안정 상태는 s(x,v)이다. 따라서 내고장성 제어의 목적은  $\Sigma$ 를 고장 상태에서  $E(s(x,v))$ 에 속하는 임의의 상태, 즉 s(x,v)와 출력 등가적인 상태로 보내는 일이다. 입력/상태 비동기 순차 회로의 경우 내고장성 제어를 통해  $\Sigma$ 를 정확하게 s(x,v)로 보냈어야 했다[9, 10]. 하지만 본 연구에서 다루는 비동기 순차 회로는 입력/출력 형태이기 때문에 목적 상태와 출력 등가적인 상태로  $\Sigma$ 를 보내도 내고장성 제어 목적이 달성된다고 간주한다.

본 연구에서는 비-기본 모드 고장 발생 이외에는 페루프 시스템에서 기본 모드 원리가 만족된다고 가정한다. 따라서 고장이 한 번 발생한 뒤 C가 내고장성 제어를 수행하는 동안에는 또 다른 고장이 일어나지 않는다.

### III. 고장 극복 교정 제어기

#### 3.1 비-기본 모드 고장 탐지

입력/출력 비동기 순차 회로의 교정 제어에서는 상태 관측기를 사용하지 않는 이상 회로의 현재 상태를 정확히 알 수 없으며 현재 상태가 속한 상태 집합만

을 추정할 수 있는 상태 불확실성(state uncertainty)이 존재한다.  $\Sigma$ 가 가지는 상태 불확실성을

$$\Psi \subset X \quad (18)$$

라 하자.  $\Sigma$ 가 출력 불확실성  $\Psi$ 를 가지고 알려지지 않은 안정 상태에 머물러 있다가 입력  $a \in A_n$ 를 받고 출력 버스트  $b \in Y^*$ 를 생성하면서 다음 안정 상태로 천이했다고 하자. 정확한 과거 상태와 현재 상태 값을 알 수 없지만 b를 이용하여  $\Sigma$ 의 상태 불확실성을 갱신할 수 있다.  $\Sigma$ 가 도달한 안정 상태는  $\Psi$ 에 속한 상태와 입력 v로 구성된 과도 조합에서 시작하고 출력 버스트 b를 생성하는 과도 천이의 다음 안정 상태이다. 따라서 상태 불확실성은 아래와 같이 갱신된다.

$$\Psi \rightarrow \{s(x,a) \mid x \in \Psi, \beta(x,a)=b\} \quad (19)$$

한편 상태 불확실성  $\Psi$ 를 가지는  $\Sigma$ 에 a가 입력되어 생성될 수 있는 모든 출력 버스트 집합을  $B^n(\Psi,a)$ 라 하면

$$B^n(\Psi,a) = \{\beta(x,a) \mid x \in \Psi\} \quad (20)$$

이며  $b \in B^n(\Psi,a)$ 이다.

정상적인 과도 천이 도중 고장이 발생하면 고장에 의한 상태 천이가 일어나므로  $B^n(\Psi,a)$ 에 속하는 출력 버스트가 관측되지 않는다. 따라서 출력 버스트를 특정하지 않고  $\Psi$ 를 가지는  $\Sigma$ 가 입력 a를 받고 상태 천이를 한 후 변경될 수 있는 최대한의 상태 불확실성을 표현하는 일이 필요하다. 이러한 상태 불확실성을  $\Psi_n$ 이라 하면  $\Psi_n$ 은

$$\Psi_n = \{s(x,a) \mid x \in \Psi\} \quad (21)$$

와 같이 나온다.

앞에서 (x,a)에서 출발하는 과도 천이 도중 비-기본 모드 고장이 발생할 수 있는 조건은  $W(\tau(x,a)) \neq \emptyset$ 라고 하였다. 정확한 현재 상태 대신 상태 불확실성  $\Psi$ 가 주어진다면  $\Psi$ 에 속한 임의의 상태와 입력 a의 조합으로 시작되는 과도 천이 도중 비-기본 모드 고장이 발생하기 위한 조건은 식 (22)와 같이 유도된다.

$$\bigcup_{x \in \Psi} W(\tau(x,a)) \neq \emptyset \quad (22)$$

$\Sigma$ 가 상태 불확실성  $\Psi$ 를 가질 때 식 (22)가 성립하는 입력 a가 들어와 과도 천이를 한다고 하자. 또 이 과도 천이 도중 고장 입력이 발생하여  $\Sigma$ 가 원하지 않는 상태 천이를 겪는다고 하자.  $\Sigma$ 는 정상적인 다음 안정 상태와 다른 상태에 도달하다. 이러한 원하지 않는 상태 천이는 생성되는 출력 버스트가  $B^n(\Psi,a)$ 에 속한 값이 아닌 다른 값으로 나올 때 감지 가능하다.

$(\Psi, a)$ 에서 시작한 과도 천이 도중 발생하는 비-기본 모드 고장으로 인해 생성될 수 있는 모든 출력 버스트의 집합을  $B^a(\Psi, a)$ 라 하자. 함수  $\beta$ 와 식 (22)를 이용하여  $B^a(\Psi, a)$ 를 유도하면 다음과 같다.

$$B^a(\Psi, a) = \{\beta(x, x', a)\beta(x', w) \mid x' \in \tau(x, a), x \in \Psi, w \in W(x')\} \quad (23)$$

$\beta(x, x', a)\beta(x', w)$ 는  $\beta(x, x', a)$ 와  $\beta(x', w)$ 를 이어붙인(concatenation) 버스트이다.  $B^n(\Psi, a)$ 와  $B^a(\Psi, a)$ 를 이용하여 비-기본 모드 고장을 탐지하기 위한 조건을 규명한다. 고장 탐지를 위해서는  $B^a(\Psi, a)$ 에 속한 임의의 원소는  $B^n(\Psi, a)$ 에 속한 모든 원소의 strict prefix가 아니어야 하며  $B^n(\Psi, a)$ 에 속한 임의의 원소 역시  $B^a(\Psi, a)$ 에 속한 모든 원소의 strict prefix이어서는 안된다. 예를 들어

$$b \in B^n(\Psi, a), b' \in B^a(\Psi, a) \quad (24)$$

이고  $b'$ 이  $b$ 의 strict prefix라 하자.  $\Sigma$ 가 과도 천이를 시작한 후 출력 버스트  $b'$ 이 생성되었다면 고장 탐지 과정에서 모호성이 발생한다. 비-기본 모드 고장이 일어나  $\Sigma$ 가 원하지 않는 상태로 천이하여  $b'$ 이 생성되었을 수 있는 반면  $\Sigma$ 가 정상적인 상태 천이를 하는 도중  $b$ 의 strict prefix  $b'$ 이 생성되는 과정일 수 있다. 이 경우 고장에 의한 상태 천이가 종료된 시점을 정확히 알지 못하기 때문에 고장 탐지가 불가능하다.

이상과 같은 분석을 정리하여  $(\Psi, a)$ 에서 시작한 과도 천이 도중 발생하는 비-기본 모드 고장을 탐지하기 위한 조건을 나열하면 식 (25)와 같다.

$$\forall b \in B^n(\Psi, a), \forall b' \in B^a(\Psi, a): \\ b \notin \text{sp}(b') \text{ and } b' \notin \text{sp}(b) \quad (25)$$

위 식에서  $\text{sp}(b) \subset Y^*$ 는  $b$ 의 모든 strict prefix 집합을 의미한다. 그런데 올바른 고장 극복 교정 제어를 하기 위해서는  $B^n(\Psi, a)$ 와  $B^a(\Psi, a)$ 에 속한 임의의 출력 버스트의 생성 종료 시점까지 알아야 한다. 그렇지 못한다면 교정 제어 입력을  $\Sigma$ 에 제때 전달할 수 없을 것이다. 출력 버스트의 생성 종료 시점을 알기 위해서는 해당 천이 과정에서  $\Sigma$ 가 지나치는 마지막 두 상태의 출력 값이 달라야 한다[7]. 즉

$$\forall b \in B^n(\Psi, a) \cup B^a(\Psi, a): \beta(b) \neq \beta_{-1}(b) \quad (26)$$

가 성립되어야 한다.

### 3.2 교정 제어기 존재 조건

다음으로 비-기본 모드 고장을 극복하는 교정 제어기의 존재 조건을 규명한다. 식 (22)를 만족시키는 상태 불확실성과 입력 조합  $(\Psi, a)$ 에서 시작한 과도 천이 도중 비-기본 모드 고장이 발생하면  $\Sigma$ 는  $B^a(\Psi, a)$ 에 속한 출력 버스트를 생성하면서 원하지 않는 상태 천이를 겪는다. 구체적으로 고장 발생의 결과  $\Sigma$ 는  $b' \in B^a(\Psi, a)$ 인 출력 버스트  $b'$ 를 생성하였다고 하자. 그런데 원하지 않는 상태 천이가 끝난 뒤  $\Sigma$ 가 내는 출력은 출력 버스트의 맨 마지막 값이므로  $h(b')$ 이다.

입력/출력 비동기 순차 회로에서 회로의 출력이 동일한 두 상태는 서로 등가적이라고 해석한다는 사실을 상기하면서 고장 극복 제어 문제를 해석해보자. 먼저  $h(b') \in h(B^n(\Psi, a))$ 라고 가정하자. 이것은 비-기본 모드 고장이 발생했음에도 불구하고  $\Sigma$ 가 가지는 출력이 정상적인 과도 천이 종료 후 가지는 출력 중의 하나라는 것을 의미한다. 다시 말하면 고장에 의한 상태 천이의 결과가 정상적인 과도 천이의 결과와 출력 등가적이다. 따라서 이 경우는 고장 극복 교정 제어가 필요하지 않다.

다음으로  $h(b') \notin h(B^n(\Psi, a))$ 라고 가정하자. 이 경우는 고장 발생 결과로  $\Sigma$ 가 가지는 출력이 정상 값이 아니므로 고장 극복 교정 제어가 구동되어야 한다. 교정 제어의 목적은  $\Sigma$ 를 고장 상태에서  $h(B^n(\Psi, a))$ 에 속한 출력 값을 가지는 임의의 상태로 보내는 것이다.

$b'$ 을 생성하는 비-기본 모드 고장 발생 후  $\Sigma$ 가 가지는 상태 불확실성을  $\Psi(b')$ 라 하자.  $\Psi(b')$ 는  $\Sigma$ 가 원하지 않는 상태 천이로 도달할 수 있는 다음 안정 상태 중 출력 버스트  $b'$ 을 내는 상태의 집합이다. 예를 들어  $x \in \Psi, x' \in \tau(x, a), w \in W(x')$ 이고  $\Sigma$ 가 과도 상태  $x'$ 을 지날 때  $w$ 가 발생하여  $s(x', w)$ 로 천이하였고  $x$ 에서  $z$ 를 거쳐  $s(x', w)$ 까지 가는 동안 생성된 출력 버스트가  $b'$ 라면

$$b' = \beta(x, x', a)\beta(x', w) \quad (27)$$

이고  $s(x', w) \in \Psi(b')$ 이다.  $B^a(\Psi, a)$ 에서 속한 모든  $b'$ 에 대한 상태 불확실성  $\Psi(b')$ 의 합집합을  $\Psi_q$ 라 하면

$$\Psi_q = \bigcup_{b' \in B^a(\Psi, a)} \Psi(b') \quad (28)$$

이다.

$\Sigma$ 를  $\Psi_q$ 의 원소 중 출력 값이  $h(B^n(\Psi, a))$ 에 속하지 않는 모든 상태에서부터 식 (21)에서 정의한 정상적인 상태 불확실성  $\Psi_n$ 에 속한 임의의 상태로 보낼 수 있



으면 고장 극복 제어가 가능하다. 이를 위해  $\Psi_q$ 에서 출력 값이  $h(B^n(\Psi,a))$ 에 속하는 원소를 제외한 상태 불확실성을  $\Psi_a$ 라 하자.  $\Psi_a$ 는 식 (29)와 같이 유도된다.

$$\Psi_a = \Psi_q - \{x \in \Psi_q \mid h(x) \in h(B^n(\Psi,a))\} \quad (29)$$

선행 연구에서 상태 불확실성  $\Psi$ 을 가진  $\Sigma$ 를 상태 불확실성이  $\Psi'$ 으로 갱신되는 (알려지지 않은) 상태로 보내기 위한 조건은  $\Psi$ 와  $\Psi'$  사이에 '견실한 피드백 경로(robust feedback path)'가 존재하는 것이라고 규정되었다[12]. 본 논문에서도 이 결과를 이용하여 고장 극복 교정 제어가 존재 조건을 표현한다. 견실한 피드백 경로에 대한 상세한 설명 및 관련 교정 제어기 설계 과정은 선행 연구[12]에 나와 있기 때문에 생략한다. 다음 정리는 본 논문의 주요 연구 결과이다.

**정리 1.** 비-기본 모드 과도 고장이 발생하는 입력/출력 비동기 순차 회로  $\Sigma=(A,Y,X,X^b,f,h)$ 가 식 (22)를 만족시키는 상태 불확실성 및 입력 조합  $(\Psi,a)$ 를 가진다.  $\Sigma$ 가  $(\Psi,a)$ 에서 시작하는 과도 천이 도중 발생하는 비-기본 모드 과도 고장을 극복하는 그림 1의 출력 피드백 교정 제어기 C가 존재하기 위한 필요충분 조건은 아래와 같다.

- (a)  $B^n(\Psi,a)$ 와  $B^a(\Psi,a)$ 는 식 (25)과 (26)를 만족시킨다.
- (b) 상태 불확실성  $\Psi_a$ 와  $\Psi_n$  사이에 견실한 피드백 경로(robust feedback path)가 존재한다( $\Psi_a$ 와  $\Psi_n$ 의 정의는 식 (29)와 (21) 각각 참조).

### IV. 실험 연구

#### 4.1 사례 연구 시스템

제안한 교정 제어를 실험적으로 검증하기 위해 그림 2와 같은 사례 연구 시스템  $\Sigma$ 를 사용한다.  $\Sigma$ 의 입력, 출력 및 상태 집합은 다음과 같다.

$$\begin{aligned} A_n &= \{a, b, c, d, e\}, A_d = \{w_1, w_2\} \\ Y &= \{y_1, y_2, y_3, y_4\} \end{aligned} \quad (30)$$

$$X = \{x_1, x_2, x_3, x_4, x_5, x_6\}, X^b = X$$

각 상태가 가지는 출력 값은 그림 2에서 상태 근처의 '/' 뒤에 굵은 글씨로 표시되어 있다.

$$\begin{aligned} x_2 \text{에서 고장 입력 } w_1 \text{와 } w_2 \text{가 발생할 수 있으므로} \\ W(x_2) = \{w_1, w_2\}, W(x_i) = \emptyset, \forall i = \{1, 3, 4, 5, 6\} \end{aligned} \quad (31)$$

이다. 비-기본 모드 고장을 극복하는 교정 제어기의 존재 여부를 확인하기 위해  $\Sigma$ 가 상태 불확실성

$$\Psi = \{x_1, x_3\} \quad (32)$$

과 입력  $a$ 를 가지고 안정 상태에 머물러 있다고 하자 ( $a$ 는  $x_1, x_3$ 과 모두 안정 조합을 이룬다). 고장 입력이 들어올 수 있는  $x_2$ 가 과도 상태로 등장하도록 하기 위해  $(\Psi,a)$ 에서 외부 입력이  $b$ 로 바뀐다고 하자. 그림 2에서 알 수 있듯이  $\Sigma$ 는  $x_1$  또는  $x_3$ 에서 상태 천이를 시작하여 모두 다음 안정 상태  $x_5$ 에 도달한다. 따라서

$$\begin{aligned} B^n(\Psi,b) &= \{y_1 y_2 y_3\} \\ \Psi_n &= \{x_5\} \end{aligned} \quad (33)$$

이다.

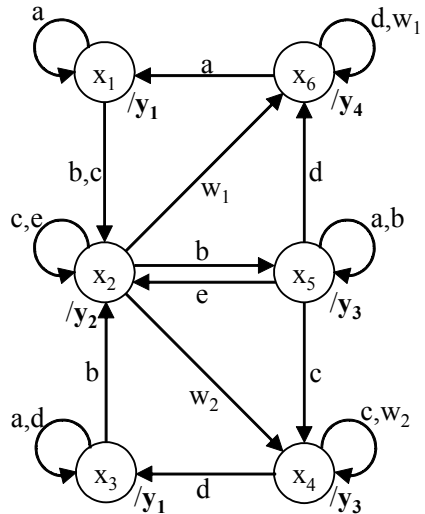


그림 2. 사례 연구 시스템  
Fig. 2 Case study system

$(\Psi,b)$ 에서 시작한 과도 천이 도중 비-기본 모드 고장이 발생한다고 하자.  $\Sigma$ 에 들어올 수 있는 고장 입력은  $w_1$  또는  $w_2$ 이므로 그림 2를 참조하여  $B^a(\Psi,b)$ 와  $\Psi_a$ 를 다음과 같이 구한다.

$$\begin{aligned} B^a(\Psi,b) &= \{y_1 y_2 y_4, y_1 y_2 y_3\} \\ \Psi_a &= \{x_6, x_4\}, \Psi_n = \{x_5\} \end{aligned} \quad (34)$$

위 식에서  $y_1 y_2 y_4$ 와  $x_6$ 는  $w_1$  때문에 생기며  $y_1 y_2 y_3$ 와  $x_4$ 는  $w_2$  때문에 생긴다.

$B^n(\Psi,b)$ 과  $B^a(\Psi,b)$ 의 각 원소를 비교하면 한 원소가 다른 원소의 strict prefix가 되는 경우가 존재하지 않음을 알 수 있으므로 식 (25)가 성립한다. 또한

$$\beta(y_1y_2y_4) \neq \beta_{-1}(y_1y_2y_4) = y_1y_2$$

$$\beta(y_1y_2y_3) \neq \beta_{-1}(y_1y_2y_3) = y_1y_2 \quad (35)$$

이기 때문에 식 (26) 역시 성립한다. 따라서 정리 1의 조건 (a)가 만족된다.

앞에서  $\Psi_q=\{x_6,x_4\}$ 이지만  $\Psi_a=\{x_6\}$ 으로 유도되었다. 이것은  $h(x_4) \in h(B^n(\Psi,b))=\{y_3\}$ , 즉 고장 발생의 결과로  $\Sigma$ 가  $x_4$ 로 천이해도 그때 생성되는 출력 값이 정상 출력 값에 속하므로 그 경우에 대한 고장 극복 제어가 필요하지 않기 때문이다.  $\Psi_a=\{x_6\}$ 에서  $\Psi_n=\{x_5\}$ 까지 견실한 피드백 경로가 존재함을 그림 2에서 확인할 수 있다. 예를 들어 입력 스트링  $acb$ 에 대해서

$$s(x_6,acb) = x_5 \quad (36)$$

이고  $acb$ 가 만드는 상태 궤적은 불확실성이 존재하지 않는다. 따라서 정리 1의 조건 (b)가 성립한다. 결론적으로 정리 1에 의해 비-기본 모드 과도 고장을 탐지하고 극복할 수 있는 출력 피드백 교정 제어를 설계할 수 있다.

### 4.2 FPGA 실험 결과

그림 2의  $\Sigma$ 와  $C$ 가 결합된  $\Sigma_c$ 를 VHDL로 코딩하고 FPGA로 구현한 후 응용 실험을 실시하였다. 실험에 사용된 소프트웨어는 Quartus® II(ver. 9.1)이며, 타겟(target) FPGA는 EP1C6Q240C8이다. 앞 절에서 기술한 내용대로 이번 실험에서는 상태 불확실성  $\{x_1,x_3\}$ 을 가지는  $\Sigma$ 에  $b$ 를 입력시켜 과도 천이를 유도하고  $\Sigma$ 가  $x_2$ 를 지날 때 고장 입력  $w_1$ 을 발생시킨 뒤 제안된 교정 제어기가 고장의 영향을 극복하는지를 확인하였다.

FPGA 실험에서  $\Sigma$ 의 출력 집합  $Y$ 는 2비트 이진수  $z_1z_0$ 로 표시하였다.  $y_1$ 은 00,  $y_2$ 는 01,  $y_3$ 는 11,  $y_4$ 는 10으로 인코딩되었다. 또한  $\Sigma$ 의 상태 집합  $X$ 는 3비트 이진수  $r_2r_1r_0$ 로 나타내었고,  $x_1$ 은 000,  $x_2$ 는 001,  $x_3$ 는 101,  $x_4$ 는 111,  $x_5$ 는 011,  $x_6$ 는 100으로 표시하였다. 초기에  $\Sigma$ 는 상태  $x_1$ (출력  $y_1$ )에 머물러 있도록 설정하였다. 하지만  $\Sigma$ 는 입력/출력 비동기 시스템이므로 출력  $y_1$ 에 대하여 상태 불확실성  $\{x_1,x_3\}$ 을 가진다.

그림 3은  $\Sigma$ 에  $b$ 를 입력시켰을 때 정상적인 천이 과정을 보여준다. 시간  $t_1$ 에  $b$ 가 입력되면 시간  $t_2$ 와  $t_3$ 에  $y_2(01)$ 와  $y_3(11)$ 가 출력되어 출력 버스트  $y_1y_2y_3(00-01-11)$ 가 발생하고 앞에서 언급한 대로  $C$ 는 교정 제어 동작을 하지 않는다.

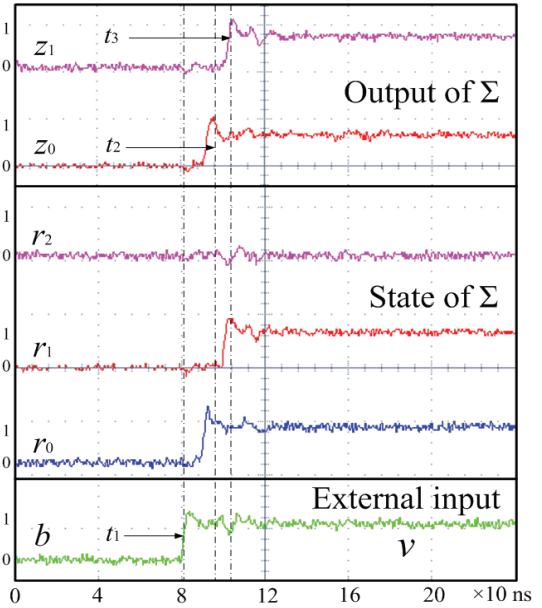


그림 3.  $(\{x_1,x_3\},b)$ 에서 시작하는 정상적인 천이 과정 실험 결과

Fig. 3 Experimental result of the normal transition beginning from  $(\{x_1,x_3\},b)$

그림 4는  $\Sigma$ 가  $x_2$ 를 지날 때 고장 입력  $w_1$ 이 발생한 경우 제안된 교정 제어기가 동작하여 고장을 극복하는 과정을 보여준다. 시간  $t_4$ 에  $b$ 를 입력하고  $\Sigma$ 가  $x_2$ 를 지날 때  $w_1$ 이 발생하였다. 그 결과 시간  $t_5$ 와  $t_6$ 에서 각각 출력  $y_2(01)$ ,  $y_4(10)$ 가 피드백 되어 출력 버스트는  $y_1y_2y_4(00-01-10)$ 가 된다. 출력 버스트  $y_1y_2y_4$ 는  $w_1$  고장이 발생하였다는 것을 나타내므로  $C$ 는 즉시 교정 제어를 시작한다.  $C$ 는 시간  $t_7$ ,  $t_8$ ,  $t_9$ 에서 제어 입력  $a$ ,  $c$ ,  $b$ 를 차례로 발생시킨다. 제어 입력에 따라  $\Sigma$ 는  $x_6 \rightarrow x_1 \rightarrow x_2 \rightarrow x_5$ 로 상태천이를 일으키고 출력은  $y_4(10) \rightarrow y_1(00) \rightarrow y_2(01) \rightarrow y_3(11)$ 로 변한다. 출력  $y_3$ 이 피드백 되면  $C$ 는 교정 제어를 종료한다. 고장 발생에서 복구까지 걸린 시간은  $t_9-t_5 \approx 32nsec$ 이다. 이 결과는 제안된 제어기가 비-기본모드에서 발생하는 고장을 매우 빠른 시간 내에 비동기적으로 복구할 수 있음을 보여준다.

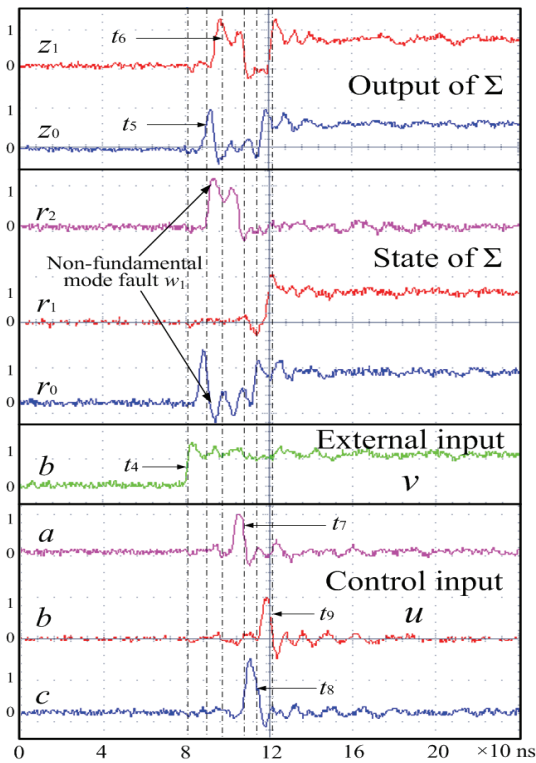


그림 4.  $((x_1, x_3), b)$ 에서 시작하는 과도 천이 과정에서 발생하는  $w_1$ 에 의한 비-기본 모드 고장을 극복하는 출력 피드백 교정 제어 실험 결과

Fig. 4 Experimental result of output feedback corrective control that overcomes the non-fundamental mode fault by  $w_1$  occurring in the transient transition beginning from  $((x_1, x_3), b)$

### V. 결 론

이번 연구에서는 입력/출력 비동기 순차 회로에서 발생하는 비-기본 모드 과도 고장을 탐지하고 극복하는 출력 피드백 교정 제어 방법을 제안하였다. 비-기본 모드 고장을 탐지하기 위해서는 정상적인 천이 과정에서 발생하는 출력 버스트와 고장에 의해서 발생하는 출력 버스트 사이에 특정한 관계가 성립해야 한다. 또한 고장에 의해 생기는 상태 불확실성에서 정상적으로 갱신되는 상태 불확실성까지 건설한 피드백 경로가 존재해야 교정 제어가 구현될 수 있다.

FPGA 상에서 구현된 사례 연구 비동기 시스템의 고장 극복 문제에 제안된 출력 피드백 교정 제어 기법을 적용한 후 제어기의 고장 탐지 및 고장 극복 능력을 실험적으로 검증하였다.

### 감사의 글

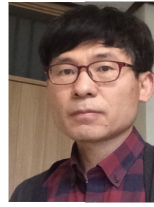
이 논문은 2021년도 정부(교육부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임(no. NRF-2021R111A3040696). 이 논문은 2016년도 정부(교육부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임(no. NRF-2016R1D1A1B02012959).

### References

- [1] H. Cho, "Performance of relay networks with partially differential modulation scheme depending on energy allocation in railway environments," *Journal of the Korea Institute of Electronic Communication Sciences*, vol. 11 no. 1, Feb. 2016, pp. 17-22.
- [2] S. Jang, "Responsive web of prototype based on implementation structure," *Journal of the Korea Institute of Electronic Communication Sciences*, vol. 13, no. 3, June 2018, pp. 609-616.
- [3] J. Seo and H. Park, "Data sharing by motion recognition of mobile phone based on google cloud message service," *Journal of the Korea Institute of Electronic Communication Sciences*, vol. 14, no. 1, Feb. 2019, pp. 205-212.
- [4] N. Venkatraman and J. Hammer, "On the control of asynchronous sequential machines with infinite cycles," *International Journal of Control*, vol. 79, no. 7, July 2006, pp. 764-785.
- [5] J. Peng and J. Hammer, "Bursts and output feedback control of non-deterministic asynchronous sequential machines," *European Journal of Control*, vol. 18, no. 3, June 2012, pp. 286-300.
- [6] J. Hammer, "Automatic defensive control of asynchronous sequential machines," *International Journal of Control*, vol. 89, no. 1, Jan. 2016, pp. 193-209.



- [7] X. Geng and J. Hammer, "Input/output control of asynchronous sequential machines," *IEEE Transactions on Automatic Control*, vol. 50, no. 12, Dec. 2005, pp. 1956-1970.
- [8] Z. Kohavi and N. K. Jha, *Switching and Finite Automata Theory (3rd ed.)*. Cambridge: Cambridge University Press, 2010.
- [9] J. Yang, "Fault tolerant control of asynchronous sequential machines with transient faults in non-fundamental mode," *Automatica*, vol. 112, 2020, pp. 08663.
- [10] J. Yang and S. Kwak, "Model matching control of asynchronous sequential circuits with non-fundamental mode faults," *Journal of Institute of Control, Robotics and Systems*, vol. 27, no. 10, Oct. 2021, pp. 703-710.
- [11] T. E. Murphy, X. Geng, and J. Hammer, "On the control of asynchronous machines with races," *IEEE Transactions on Automatic Control*, vol. 48, no. 6, June 2003, pp. 1073-1081.
- [12] J. Yang, "A simple fault tolerant control for input/output asynchronous sequential machines," *Automatica*, vol. 52, 2015, pp. 76-82.



**곽성우(Seong-Woo Kwak)**

1993년 한국과학기술원 전기및전자공학과 졸업(공학사)

1995년 한국과학기술원 전기및전자공학과 졸업(공학석사)

2000년 한국과학기술원 전기및전자공학과 졸업(공학박사)

2020년~현재 부경대학교 제어계측공학과 교수  
※ 관심분야 : 실시간 시스템, 비동기 시스템 제어, 내고장성 시스템, 자율주행 자동차

저자 소개



**양정민(Jung-Min Yang)**

1993년 한국과학기술원 전기및전자공학과 졸업(공학사)

1995년 한국과학기술원 전기및전자공학과 졸업(공학석사)

1999년 한국과학기술원 전기및전자공학과 졸업(공학박사)

2013년~현재 경북대학교 전자공학부 교수

※ 관심분야 : 비동기 순차 머신 교정 제어, 실시간 시스템 고장 진단 및 극복, 불리언 제어 네트워크

