

## 주파수변동전환회로를 가진 이산시간 루프 필터 위상고정루프

최영식\*, 박경석\*\*

### A Discrete-Time Loop Filter Phase-locked loop with a Frequency Fluctuation Converting Circuit

Young-Shig Choi\*, Kyung-Seok Park\*\*

**요약** 본 논문에서 주파수변동전환회로(FFCC : Frequency Fluctuation Converting Circuit)를 가진 이산시간 루프 필터(DLF) 위상고정루프(Phase Locked Loop: PLL)를 제안하였다. 이산시간 루프 필터는 기존의 연속 시간 루프 필터와 달리 전하펌프와 전압발진기가 이산적으로 연결하여 스퍼 특성을 개선할 수 있다. 제안된 위상고정루프의 주파수변동전환회로가 포함된 내부 부궤환 루프는 이산 시간 루프 필터의 외부 부궤환 루프를 안정하게 동작하도록 해준다. 부궤환 루프 역할을 하는 주파수변동전환회로를 통해 루프 필터 출력 전압 변위 크기를 줄여 잡음특성을 더욱 개선하였다. 그리하여 기존 구조보다 지터 크기를 1/3으로 줄였다. 제안된 위상고정루프는 1.8V 180nm CMOS 공정을 이용하여 Hspice로 시뮬레이션하였다.

**Abstract** In this paper, a discrete-time loop filter(DLF) phase-locked loop with a Frequency Fluctuation Converting Circuit(FFCC) has been proposed. Discrete-time loop filter can improve spur characteristic by connecting the charge pump and voltage oscillator discretely unlike a conventional continuous-time loop filter. The proposed PLL is designed to operate stably by the internal negative feedback loop including the SSC acting as a negative feedback to the discrete-time loop filter of the external negative feedback loop. In addition, the phase noise is further improved by reducing the magnitude of the loop filter output voltage variation through the FFCC. Therefore, the magnitude of jitter has been reduced by 1/3 compared to the conventional structure. The proposed phase locked loop has been simulated with Hspice using the 1.8V 180nm CMOS process.

**Keywords** : Discrete loop filter, Negative feedback, Jitter Characteristic.

#### 1. 서론

최근 반도체회로의 집적화 및 저전력 시스템의 필요에 따라 기존의 아날로그 회로를 디지털 회로로 대체하거나 새로운 디지털 구조를 개발하는 추세이다. 아날로그 회로는 칩의 면적을 상당히 차지할뿐더러 공정 변화와 및 온도 등에도 민감하다. 집적회로에 필수적인 부품인 위상고정루프는 아날로그 특성을 가진 연속시간 루프 필터를 사용한다. 아날로그 루프 필터에 사용되는 저항은 정확한 값을 구현하기가 힘들고 온도에 의한 영향을

많이 받는다. 또한 아날로그 특성으로 인하여 발생하는 기준신호 스퍼 등이 위상 잡음 특성을 나쁘게 한다. 루프 필터를 디지털 회로로 만들려는 연구가 많이 진행되어 연속시간 루프 필터를 가진 II-형 위상고정루프 대신 커패시터와 스위치로 구성된 이산시간 루프 필터를 가진 I-형 위상고정루프 등이 발표되었다. II-형 위상고정루프의 효과적인 연구 및 설계를 위해 위상고정루프 시스템의 이산시간 모델을 선보였고<sup>[1]</sup>, 설계를 위한 이상적인 모델링을 위해 파라미터를 효율적으로 계산하는 이론

This work was supported by a Research Grant of Pukyong National University. (2021-2023)

\*Department of Electronic Engineering, Pukyong National University.

\*\*Corresponding Author : Department of Electronic Engineering, Pukyong National University (pksildung@pukyong.ac.kr)

Received February 11, 2022

Revised February 21, 2022

Accepted March 05, 2022

도 연구되었다<sup>[2]</sup>. 현재까지 I-형 위상고정루프를 기반으로 한 여러 구조가 제시되었다. 이산시간 루프 필터와 단극성 전하펌프를 통해 스퍼를 크게 줄인 위상고정루프<sup>[3]</sup>, 이산시간 루프 필터를 이용해 확산 스펙트럼 변조 방식 위상고정루프 시스템의 비선형성을 억제하여 지터 특성을 개선시키고 소모전력을 줄인 연구가 있었다<sup>[4]</sup>. 이러한 위상고정루프는 기존과 다른 구조의 전하펌프를 새롭게 설계해야 어려움이 있다. 입력단자가 2개인 전압발진기와 디지털 전하펌프가 도입된 위상고정루프도 연구되었다<sup>[5][6]</sup>. 아날로그 전압값을 전달하는 비례경로와 양자화된 디지털 전압값을 전달하는 적분경로를 통해 트레이드오프 관계인 스퍼 특성과 대역폭을 크게 개선시켰다. 전압발진기는 외부 영향에 민감하므로 2개의 입력 구조일 경우 출력이 더욱 잡음에 민감해지거나 이를 방지하기 위해 주파수-전압이득을 매우 낮게 설계해야 하는 단점이 있다. 연속적인 아날로그 특성을 최대한 배제하기 위해 기존의 위상주파수검출기 대신 샘플링위상검출기(Sampling Phase Detector)가 사용된 회로가 제시되었다<sup>[7]</sup>. 이러한 구조는 더욱 작은 커패시터를 가지고도 만족할만한 지터 크기를 얻을 수 있어서 칩 면적을 획기적으로 줄이는 것이 가능하다. 하지만, 매우 복잡한 구조를 가질뿐더러 줄어든 커패시터를 보완하기 위해 더 많은 샘플링 회로가 필요하게 된다.

본 논문에서 제안하는 구조는 이산시간 루프 필터와 주파수변동전환회로를 가진 위상고정루프이다. 이산시간 루프 필터는 전하펌프와 전압발진기가 직접적으로 연결하지 않아 연속시간 루프 필터의 스퍼 특성을 개선할 수 있다. 또한 주파수변동전환회로를 통해 루프 필터 출력 전압 변위 크기를 줄여 잡음 특성을 더욱 개선하였다.

## 2. 본론

### 2.1 이산시간 루프 필터

그림 1의 기존 연속시간 루프 필터에서는 전하펌프의 전류로 인하여 전압 변화가 발생하여 전압제어발진기를 구동한다. 일반적인 위상주파수검출기는 위상고정루프의 위상이 고정되면 그림 1과 같이 주파수위상검출기에서 작은 폭의 UP/DN 펄스파가 출력된다. 실제 이 두 신호의 폭이 정확하게 같지는 않으며

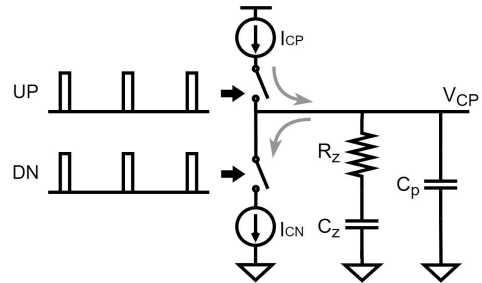


그림 1. 위상이 고정된 상태의 연속시간 루프 필터.  
Fig. 1. Continuous-time loop filter at locking.

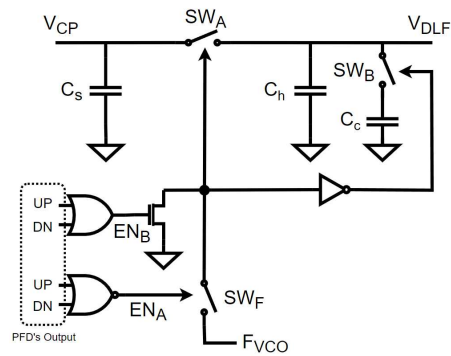


그림 2. 이산시간 루프 필터의 회로도.  
Fig. 2. Circuit of discrete-time loop filter.

$I_{CP}$ 와  $I_{CN}$ 의 크기도 다르다(전류 미스매치 현상). 이러한 현상으로 인하여 기준 신호 주기마다 펄스 형태의 잡음이 발생하여 기준 신호 스퍼가 발생한다. 기준신호 스퍼 크기를 줄이기 위하여 그림 2와 같이 전하펌프의 출력과 전압발진기의 입력이 이산적으로 연결하는 이산시간 루프 필터를 제안된 위상고정루프에 적용하였다. 적용된 이산루프 필터에서는, 위상주파수검출기의 UP/DN 펄스와 전압발진기의 출력( $F_{VCO}$ )을 입력으로 받아 스위치들( $SW_{A,B,F}$ )의 동작을 제어한다. 이 필터에는 총 3개의 커패시터가 사용되었는데,  $C_S$ 는 샘플링 커패시터로 전하펌프로부터 전하를 받아 전압값이 결정된다.  $C_H$ 는 홀딩 커패시터로  $C_S$ 로부터 공급된 전하를 유지하여 일정한 전압을 가지도록 하는 역할을 한다.  $C_C$ 는 보상커패시터로 출력 전압( $V_{DLF}$ ) 변화폭을 감소시켜 초과위상변위(Excess Phase Shift)를 줄여주는 역할을 하여 제안된 위상고정루프가 안정하게 동작하도록 해준다.

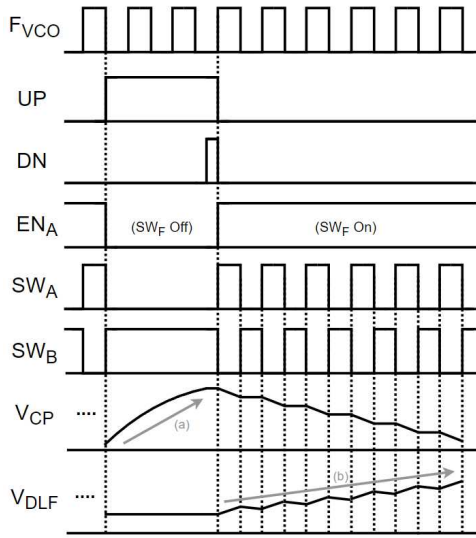


그림 3. 이산시간 루프 필터의 타이밍도.  
Fig. 3. Timing diagram of discrete-time loop filter.

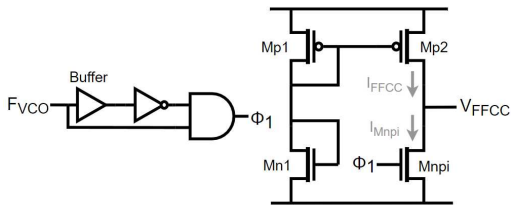


그림 4. 주파수변동전환회로의 회로도.  
Fig. 4. Circuit of FFCC.

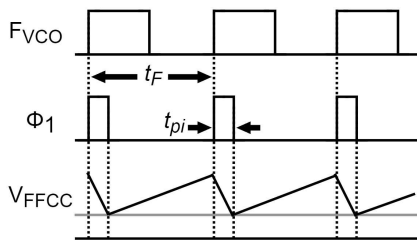


그림 5. 주파수변동전환회로의 타이밍도.  
Fig. 5. Timing diagram of FFCC.

그림 3은 이산시간 루프 필터의 타이밍도이다. UP/DN펄스가 생기면서 전하펌프가  $V_{CP}$ 를 조절하는데 이때  $SW_A$ 는 열려있으므로  $V_{CP}$ 의 변화가  $V_{DLF}$ 에 직접적인 영향을 주지 않는다. 이후  $EN_A$ 에 의해  $SW_F$ 가 닫히게

되면서  $F_{VCO}$  신호가  $SW_A$ 와  $SW_B$ 에 전달된다. 두 스위치가 열리고 닫히는 동작을 반복하면서  $V_{CP}$ 의 변화 값(a)이  $V_{DLF}$ 로 전달된다(b). 제안된 이산시간 루프 필터를 사용한 위상고정루프는 생성된 출력 신호 가까이 위치하는 기준신호 스퍼가 아닌 전압제어발진기 출력 주파수만큼 떨어진 스퍼를 만들어주어 통신용 주파수 생성기로 사용할 때 문제가 되는 기준신호 스퍼를 제거하게 된다. 본 논문에서 설계된 이산시간 루프 필터는 샘플링커패시터와 홀딩커패시터의 크기를 똑같이 하되, 보상커패시터( $C_C$ )가 준-홀딩커패시터(Quasi Holding Capacitor) 역할을 하도록 추가하였다. 단순히 홀딩커패시터를 크게 하는 것보다 기존에 사용하는 전하펌프 구조에서 더욱 안정적으로 동작할 수 있기 때문이다.

## 2.2 주파수변동전환회로

그림 4와 5는 주파수변동전환회로의 회로도 및  $\Phi_1$ 의 타이밍도를 나타내었다.  $\Phi_1$ 은  $F_{VCO}$ 에 의해 생성되며 펄스의 폭( $t_{pi}$ )은 고정값이지만, 펄스의 주기( $t_F$ )는  $F_{VCO}$ 의 주기에 따라 변한다. 만약,  $F_{VCO}$ 의 주기가 일정할 경우 전하를 공급해주는  $I_{FFCC}$ 와  $\Phi_1$ 에 의해 생기는  $I_{Mnpi}$ 가 균형을 이루어  $V_{FFCC}$ 의 값은 그림5와 같이 일정하게 유지된다. 주파수가 증가할 경우  $t_{pi}$ 는 변화가 없지만,  $t_F$ 는 감소하게 되어 한 주기당 공급하는 전하량보다  $\Phi_1$  신호에 의하여 감소하는 전하량이 더 많게 되므로  $V_{FFCC}$ 의 값이 떨어지게 된다. 이러한 원리를 이용해  $V_{FFCC}$ 를 위상고정루프내 이산시간 루프 필터 출력 전압변위폭을 감소시켜 위상 잡음특성을 개선해준다.

## 2.3 제안하는 위상고정루프

그림 6은 이산시간 루프 필터와 주파수변동전환회로를 도입한 위상고정루프이다. 이산시간 루프 필터를 통해 스퍼의 크기를 줄였고, 주파수변동전환회로를 통해 이산시간 루프 필터 출력 전압변위폭을 감소시켜 안정적으로 출력주파수를 고정하도록 하였다. 이를 통해 위상고정루프의 출력주파수 지터와 위상잡음 특성을 개선할 수 있었다.

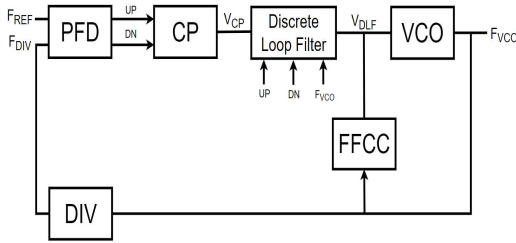


그림 6. 제안된 위상고정루프.  
Fig. 6. Proposed PLL.

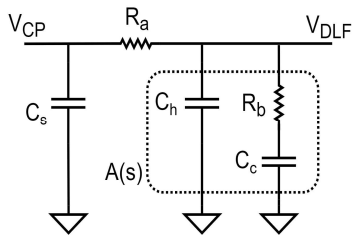


그림 7. 이산시간 루프 필터 선형모델.  
Fig. 7. Discrete Time Loop Filter Linear Model.

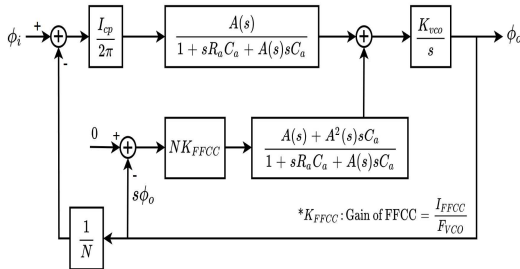


그림 8. 제안된 위상고정루프의 선형모델.  
Fig. 8. Linear model of Proposed PLL.

그림 7은 이산시간 루프 필터의 등가회로를 나타낸 것이다. 선형모델 계산을 위해 스위치의 경우 각각 저항인  $R_a$ ,  $R_b$ 로 대체하였다. 그림 8은 제안된 위상고정루프의 선형모델이다. 주파수변동전환 회로의 추가로 기존의 부궤환 루프를 포함해 총 2개의 부궤환 루프를 가지는 모델이다.

$$A(s) = \frac{1}{sC_h} \frac{s+z}{s+p} \left( z = \frac{1}{R_bC_c}, p = \frac{1}{R_bC_h} \right) \quad (1)$$

$$\frac{\Phi_o}{\Phi_i} = \frac{\frac{K_{vco} I_{cp}}{s} \frac{A(s)}{1 + sR_aC_a + A(s)sC_a}}{1 + \frac{1}{N} \frac{K_{vco} I_{cp}}{s} \frac{A(s)}{1 + sR_aC_a + A(s)sC_a} + K_{vco} \frac{NK_{FFCC}(A(s) + A^2(s)sC_a)}{1 + sR_aC_a + A(s)sC_a}} \quad (2)$$

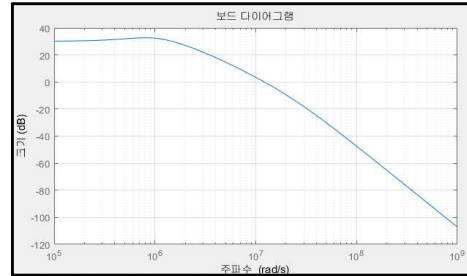


그림 9. 제안된 구조의 페루프 보드도.  
Fig. 9. Closed-loop Bode plot of the proposed structure.

수식 (1)과 (2)를 토대로 그림 9에 제안된 구조의 전달함수를 나타내는 Matlab 시뮬레이션 결과를 각각 나타내었다. 제안된 구조의 전달함수는 기존 구조와 같은 감소 기울기를 가지는 것을 보여주고 있다.

## 2.4 시뮬레이션 결과

제안된 위상고정루프의 동작 특성을 구하기 위하여 1.8V 180nm CMOS 공정 변수를 사용하여 Hspice로 시뮬레이션을 진행하였다. 위상고정루프의 스펙은 표 1에 제시되어 있다.

기존 구조는 그림 1과 같은 연속 시간 루프 필터를 가진 위상고정루프이다. 제안된 구조는 이산 루프 필터 위상고정루프에 주파수변동전환회로가 추가된 것이다.

그림 10은 제안된 위상고정루프가 13us에서 위상고정이 되는 것을 보여주고 있다. 그림 11은 각 위상고정루프의 출력주파수를 고속푸리에변환을 한 것이다.

표 1. 위상고정루프의 스펙.

Table 1. Specifications of PLLs.

	기존 구조	제안된 구조
$F_{REF}$	31.25MHz	
$I_{CP}$	50uA	
Filter	Continuous	Discrete
	$R_2=1.7k,$ $C_z=150pF,$ $C_p=15pF$	$C_s=10pF,$ $C_h=10pF,$ $C_c=160pF$
	$K_{VCO}$ 550MHz/V	
	$F_{VCO}$ 1GHz	
$N$	32	
$I_{FFCC}$	-	1uA

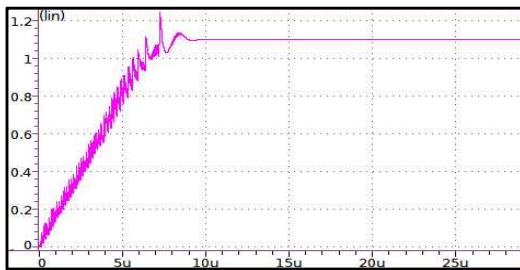


그림 10. 제안된 위상고정루프의 전압발진기 입력전압.  
Fig. 10. Voltage oscillator input voltage of the proposed PLL.

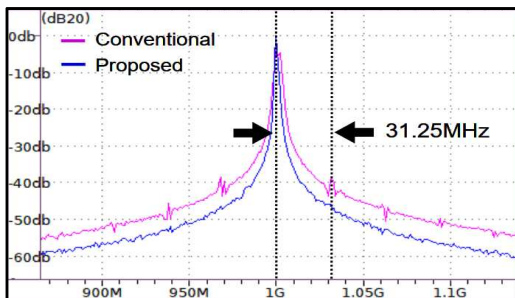
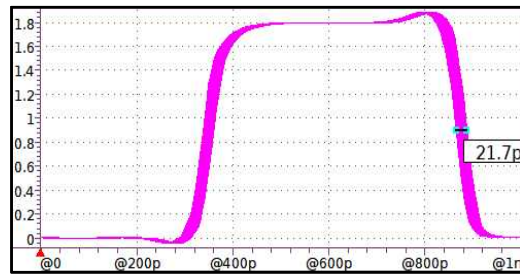
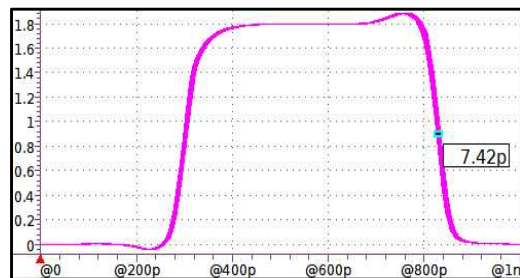


그림 11. 출력주파수의 고속푸리에 변환.  
Fig. 11. FFT of output Frequency.

출력주파수인 1GHz에서 양쪽으로 기준 신호인 31.25MHz 떨어진 지점에 스퍼가 발생하지만 제안된 구조는 이산시간 루프 필터의 효과로 스퍼가 거의 나



(a)



(b)

그림 12. 아이 다이어그램 (a) 기존 구조. (b) 제안된 구조.  
Fig. 12. Eye diagram of (a) conventional structure. (b) proposed structure.

타나지 않는다. 스펙트럼의 면적은 위상잡음에 해당하는 값으로 주파수의 잡음특성을 평가하는 척도인 지터와 위상잡음의 크기에 비례한다. 즉, 면적이 가장 작을수록 지터와 위상잡음이 적은 이상적인 신호에 가까운 출력이 나타난다고 할 수 있다.

표 2. Hspice 시뮬레이션 결과.

Table 2. Hspice simulation result.

	기존 구조	제안된 구조
Lock Time	16us	13us
$\Delta V_{LF}$	0.21mV	0.08mV
Jitter(P2P)	21.66ps	7.42ps
Jitter(RMS)	4.57ps	1.50ps
Power Consumption	41.6mW	45.72mW

그림 12는 기존 구조와 제안된 구조의 출력 신호 아이 다이어그램을 나타낸 것이다. 표 2는 아이 다이어그램을 토대로 계산된 지터 값을 포함한 다른 시뮬레이션 결과

들도 보여준다. 제안된 구조가 더욱 낮은 지터 값을 가지는 경로 미루어보면, 외부 루프에 부궤환 역할을 하는 주파수 변동 전환 회로가 잡음 성분을 효과적으로 제거하여 지터 크기를 기존 구조에 비해 1/3로 줄일 수 있었다.

### 3. 결론

본 논문에서 제안하는 구조는 이산시간 루프 필터와 주파수변동전환회로를 가진 위상고정루프이다. 이산시간 루프 필터는 전하펌프와 전압발진기가 이산적으로 연결되어 스퍼 특성을 좋게 하였다. 또한 외부 루프에 부궤환 역할을 하는 주파수변동전환회로를 통해 루프 필터 출력 전압의 변위 크기를 줄여서 잡음특성을 더욱 개선하여 지터 크기를 기존 구조에 비해 1/3로 줄였다. 제안된 구조는 크기와 전력 소모가 거의 증가하지 않았지만, 지터특성을 크게 개선하여 칩에서 클럭신호생성기로 사용할 수 있다.

### REFERENCES

[1] K. J. Wang and I. Galton, "A Discrete-Time Model for the Design of Type-II PLLs With Passive Sampled Loop Filters," IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 58, no. 2, pp. 264-275, 2011.

[2] J. Wilson, A. Nelson and B. Farhang-Boroujeny, "Parameter Derivation of Type-2 Discrete-Time Phase-Locked Loops Containing Feedback Delays," IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 56, no. 12, pp. 886-890, 2009.

[3] B. Zhang, P. E. Allen and J. M. Huard, "A fast switching PLL frequency synthesizer with an on-chip passive discrete-time loop filter in 0.25- $\mu\text{m}$  CMOS," IEEE Journal of Solid-State Circuits, vol. 38, no. 6, pp. 855-865, 2003.

[4] H. Sun, K. Sobue, K. Hamashita and U. -K. Moon, "A power efficient PLL with in-loop-bandwidth spread-spectrum modulation scheme using a charge-based discrete-time loop filter," IEEE International

Symposium on Circuits and Systems, pp. 2755-2758, 2016.

[5] Z. Zhang, G. Zhu and C. P. Yue, "A 0.25-0.4V, Sub-0.11mW/GHz, 0.15-1.6GHz PLL Using an Offset Dual-Path Loop Architecture with Dynamic Charge Pumps," Symposium on VLSI Circuits, pp. C158-C159, 2019.

[6] S. Yang et al., "A 600- $\mu\text{m}^2$  Ring-VCO-Based Hybrid PLL Using a 30- $\mu\text{W}$  Charge-Sharing Integrator in 28-nm CMOS," IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 68, no. 9, pp. 3108-3112, 2021.

[7] M. Mercandelli et al., "A 12.5-GHz Fractional-N Type-I Sampling PLL Achieving 58-fs Integrated Jitter," IEEE Journal of Solid-State Circuits, vol. 57, no. 2, pp. 505-517, 2022.

### 저자약력

#### 최영식 (Young-Shig Choi)

[정회원]



- 1982년 경북대학교 전자공학과 학사 졸업.
- 1986년 Texas A&M University 전자공학과 석사 졸업.
- 1993년 Arizona State University 박사 졸업.
- 1987년 ~ 1999년 현대전자(현 SK Hynix) 책임연구원
- 2003년 ~ 현재 부경대학교 전자공학과 교수

<관심분야> PLL, DLL 설계

#### 박경석 (Kyung-Seok Park)

[학생회원]



- 2021년 부경대학교 전자공학과 학사 졸업.
- 2021년 ~ 현재 부경대학교 전자공학과 석사과정

<관심분야> PLL 설계