

# 자기진단 기능을 이용한 비동기용 불휘발성 메모리 모듈의 설계

신우현\*·양 오\*†·연준상\*\*

\*† 청주대학교 반도체공학과, \*\*우진산전(주)

## Design of Asynchronous Nonvolatile Memory Module using Self-diagnosis Function

Woohyeon Shin \*, Oh Yang \*† and Jun Sang Yeon \*\*

\*† Semiconductor Engineering of Cheongju University,

\*\*WOOJIN Industrial System Co. Ltd.

### ABSTRACT

In this paper, an asynchronous nonvolatile memory module using a self-diagnosis function was designed. For the system to work, a lot of data must be input/output, and memory that can be stored is required. The volatile memory is fast, but data is erased without power, and the nonvolatile memory is slow, but data can be stored semi-permanently without power. The non-volatile static random-access memory is designed to solve these memory problems. However, the non-volatile static random-access memory is weak external noise or electrical shock, data can be some error. To solve these data errors, self-diagnosis algorithms were applied to non-volatile static random-access memory using error correction code, cyclic redundancy check 32 and data check sum to increase the reliability and accuracy of data retention. In addition, the possibility of application to an asynchronous non-volatile storage system requiring reliability was suggested.

**Key Words** : NAND Flash, NVSRAM, Self-diagnosis, ECC Code, CRC32, Data check sum

### 1. 서 론

시스템이 동작되기 위해서는 많은 데이터들의 입력과 출력이 이루어져야 한다. CPU(Central Processing Unit) 내부의 메모리로는 복잡하고 다양한 기능을 가지고 있는 시스템을 구성하기에는 부족하기 때문에, 보조적으로 이 데이터들을 읽고 쓰는 작업을 할 수 있는 메모리가 필요하게 된다[1]. 메모리에는 전원이 공급되는 동안에만 데이터를 가지고 있는 휘발성 메모리와 전원이 공급되지 않아도 데이터를 보관할 수 있는 비휘발성 메모리가 있다. 전원이 없으면 모든 데이터가 지워지는 휘발성 메모리에 비해서

데이터를 계속 보관할 수 있는 비휘발성 메모리가 더 장점이 많아 보이지만, 휘발성 메모리에 비해서 더 비싸고 속도면에서 많이 느리기 때문에 시스템이 동작하는 동안에는 휘발성 메모리를 이용하다가 데이터의 저장에 필요할 경우에만 비휘발성 메모리에 데이터를 저장하는 방식을 사용한다[2]. 하지만, 장비가 갑자기 고장이 나거나 전원이 꺼지는 상황이 발생하면 작업하던 내용을 모두 잃어버리게 되는 일이 발생해 처음부터 그 데이터들을 복구해야 하는 작업을 해야 한다. 데이터를 잃어버릴 만한 상황이 찾아오더라도 최대한 데이터 손실을 줄이는 방법이 필요하다[3]. 그래서, 휘발성 메모리에서 작업하던 데이터를 비휘발성 메모리에 저장하는 2개의 메모리의 구성을 갖는 새로운 메모리 NVSRAM(Non-Volatile SRAM)가

†E-mail: ohyang@cju.ac.kr

나오게 되었다. 시스템의 전원이 꺼지게 되었을 경우 NVSRAM은 데이터 손실 위험을 감지하고 휘발성 메모리인 의사정적램(PSRAM : Pseudo SRAM)의 데이터를 불휘발성 메모리인 낸드 플래시(NAND flash)메모리로 백업하는 절차를 진행하게 된다[4]. 이렇게 NVSRAM을 사용하면 전압이 불안정하게 공급되는 현상에서도 데이터의 손실을 방지할 수 있게 된다. 하지만, 아직 NVSRAM은 전기적 충격에 약하고, 가격이 비싸고, 용량도 적기 때문에 보안할 점이 많이 존재하며 이러한 문제점을 해결하기 위하여 지속적인 연구가 필요하다.

본 논문에서는 NVSRAM의 자기진단 기능을 적용하여 메모리의 상태를 스스로 파악하고 읽고 쓰는 과정에서 생기는 오류를 자기진단을 통해 데이터를 올바르게 수정해 손실되는 데이터를 최소화할 수 있도록 설계하여 메모리의 신뢰성과 안정성을 높이는 방법을 제시하고자 한다.

## 2. 자기진단 불 휘발성 메모리 모듈 설계

### 2.1 기존의 불휘발성 메모리 모듈 구조

데이터는 이진수인 0과 1로만 이루어져 있다. 이 데이터는 CPU에서 전압의 값에 따라 0에 가까우면 LOW(0)으로 인식하고 1에 가까우면 HIGH(1)로 인식하기 때문에 외부의 노이즈나 전기적인 충격에 쉽게 데이터가 왜곡이 되고 오류가 날 수 있다[5]. 현재 상용화 되고 있는 Cypress 사 NVSRAM은 Fig. 1과 같다[6]. 소프트웨어를 통해 제어하며 전원이 꺼지면 정적램(Static RAM)의 데이터를 비휘발성 메모리인 양자 트랩(Quantum Trap)에 저장하는 방식을 사용한다.

데이터의 손실을 최소화하기 위해서는 확실하게 전압의 레벨을 잡아줄 보조적인 전원 안정화 회로와 정확하게 인식할 수 있는 프로그램 또한 필요하다. 데이터의 오류를 없애기 위해서 비동기용 불휘발성 메모리 데이터에 대한 ECC(Error Correction Code) 알고리즘을 적용한 CRC(Cyclic Redundancy Code)32, BBT(Bad Block Table)관리, 전원 상태 및 모듈의 동작 상태를 모듈 스스로 데이터를 수집하고 판단하여 동작 중 에러를 줄이고 데이터의 신뢰성을 향상할 수 있도록 설계 및 구현이 필요하다.

본 논문에서는 효율적으로 시스템이 동작 할 수 있도록 데이터 로깅(Data logging) 알고리즘을 향상시켜 낸드 플래시에 BBT, CRC32, data check sum, 유효 데이터 블록 등을 저장하고 이를 통해 모듈의 상태와 관계없이 즉각적으로 동작할 수 있도록 설계했다. 추가적으로 전원이 불안정한 경우 빠른 전원 감지가 필요하기 때문에 저 전압 감시 회로(Low Power Voltage Detect)회로를 설계하여 전원이 불안정할 경우 PSRAM의 데이터를 낸드 플래시 메모리에 즉각

적으로 저장한다. 이러한 시스템을 적용을 시키면 고장이나 전원이 갑자기 꺼지는 상황에서도 데이터를 보존시킬 수 있기 때문에 시간과 비용 측면에서 큰 이점을 가질 수 있다. Fig 2는 본 논문에서 제시하는 자기진단 기능을 이용한 메모리 모듈의 구조이다. 빠른 데이터 처리를 위한 PSRAM, 데이터의 저장을 위한 낸드 플래시 메모리가 있으며 이 메모리를 제어하기 위한 CPU(STM32H750: 480MHz)가 존재한다.

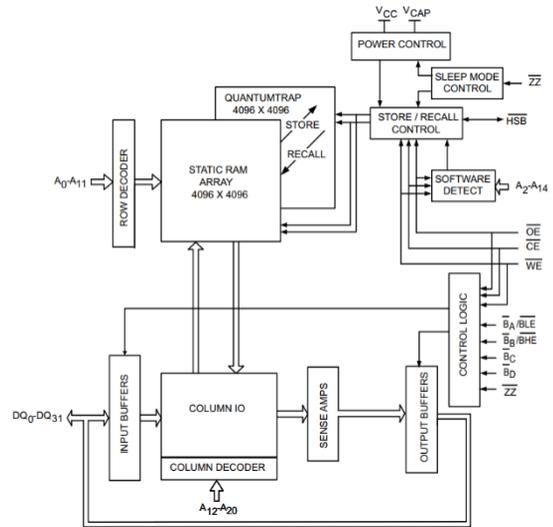


Fig. 1. Structure of CYPRESS NVSRAM.

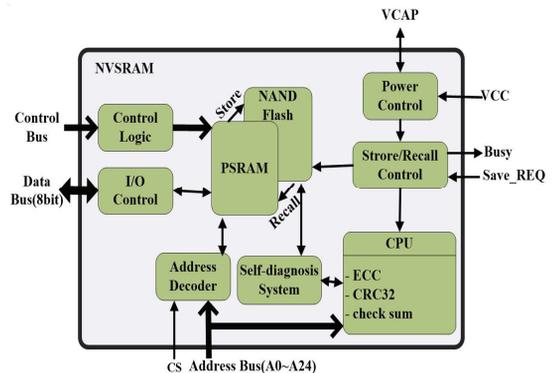


Fig. 2. Proposed structure of NVSRAM.

ECC는 오류가 생긴 데이터를 찾아서 수정하여 원래 데이터로 복구하는 알고리즘이다. 이는 소프트웨어나 하드웨어를 통해 여러 방법으로 ECC알고리즘을 구현할 수 있다[6]. CRC는 통신시스템에서 가장 많이 이용되는 수신 데이터 오류 검출 방법으로 잘 알려져 있다[7]. Bad Block은 NAND Flash 메모리에 존재하는 불량 블록으로 생산 중에

발생하기도 하고 사용 도중에 발생하기도 한다[8]. 이러한 불량 블록을 사용하게 되면 데이터가 잘못될 수 있기 때문에 불량 블록을 사용하지 않고 정상적인 블록에만 데이터를 저장할 수 있도록 하는 방법이 필요하다. BBT은 낸드 플래시 메모리의 물리 블록 번호(Physical block number)와 접근하려는 논리 블록 번호(Logical block number)를 연결해 주는 방식이다. BBT 구현은 난이도가 높지만 제대로 구현하면 임의 접근(Random access) 및 안정성도 굉장히 높아지게 되고 메모리 관리의 효율성이 증가한다[9]. Table 1은 자기진단 시스템의 낸드 플래시 메모리의 구성으로 0번 페이지에 불량 블록 및 SRAM의 CRC32데이터로 총 1032byte와 2byte 예약으로 구성되어 해당 페이지를 사용하지 않고 불량 블록을 관리하며 나머지 페이지에 유효 블록 및 각 페이지별 CRC32 데이터, 자기진단 데이터를 관리함으로써 불량 블록을 사용하지 않고, 정상적인 블록만 사용하여 데이터가 불량 블록으로 소실되는 것을 막도록 설계하였다.

Table 1. Self-diagnosis NAND flash memory map

Block 번호	Page	Kind	Sub Kind	Total Byte
0 (64page) (64*2048 byte)	0 (1032byte)	Bad block table (Total 1024block)	Bad_block_table[0]	1024byte
			Bad_block_table[1]	
			...	
			Bad_block_table[1023]	
		Bad Bblock's 1024byte에 대한 CRC	CRC32's LL CRC32's LH CRC32's HL CRC32's HH	4byte
	SRAM's 16Mbyte에 대한 CRC	CRC32's LL CRC32's LH CRC32's HL CRC32's HH	4byte	
		0	예약	
		0	예약	
		1 (512byte)	첫번째 유효 Block (128 word)	10
	11			
	...			
	137			
	두번째 유효 Block (128 word)		200	2byte
			201	
...				
227				
2 (32,768byte =16page)	첫번째 각페이지별 CRC Data (128x64x4byte)	0x12345678	4byte	
		...		
18 (32,768byte =16page)	두번째 각페이지별 CRC Data (128x64x4byte)	0x87654321	4byte	
		0x11223344		
34 (20byte)	자기진단데이터	CRC 에러 코드	12byte	
		BBT 에러 코드	4byte	
		Check sum data	4byte	

### 2.2 데이터의 신뢰성 향상을 위한 알고리즘

본 논문에서는 NVSRAM 데이터의 신뢰성 향상을 위한 자기진단 알고리즘을 Fig.3과 같이 제안하고자 한다.

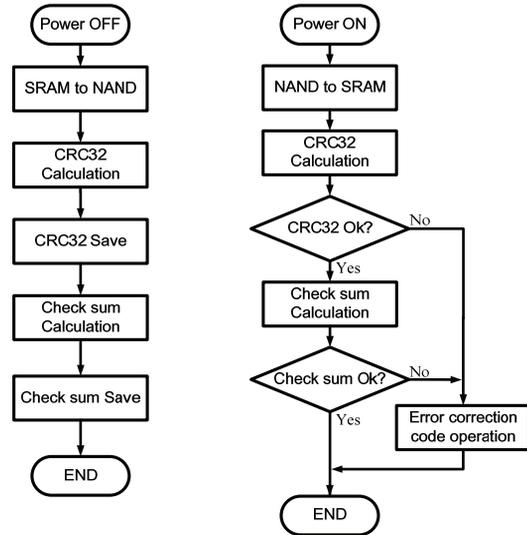


Fig. 3. Self-diagnosis algorithms to improve the reliability of NVSRAM.

기존의 자기진단으로 ECC알고리즘만 적용이 되었다면 본 논문에서는 ECC뿐 만 아니라 CPU 내부의 CRC32, BBT, Data Check Sum을 추가하여 신뢰성, 정확성을 더욱 높였다. 전원이 꺼지면, 슈퍼 캐패시터의 충전된 전압을 이용하여 저장하는 시스템을 동작 시키며 PSRAM의 데이터를 낸드 플래시에 BBT를 통해서 불량 블록을 피하고 유효 블록에 ECC데이터와 CRC32, Data Check Sum 데이터를 함께 저장한다. 다시 전원이 켜졌을 때 데이터를 읽고, 저장된 CRC32, Data Check Sum 데이터를 비교하여 읽어 들인 내용이 정확한지 판단한다. 만약 읽어 들인 내용이 다를 경우에는 ECC를 통해서 잘못된 데이터를 찾아서 복구하여 올바른 데이터로 수정한다.

### 3. 제안된 불휘발성 메모리의 자기진단 알고리즘

Fig 4는 불휘발성 메모리의 CRC32, Data Check Sum을 통해서 데이터를 읽어 들이는 과정에서 읽어 들인 데이터가 정확한지 검증하는 알고리즘이다.

데이터의 검증 뒤에 데이터의 오류가 있다면 Fig 5의 ECC 알고리즘을 이용하여 오류가 생긴 데이터를 찾아서 수정한다.

```

dword SRAM_data_check(void)
{
    dword rtn_val;
    dword *sram_ptr;
    dword check_sum_data;
    CRC -> CR = 1;
    //SRAM's CRC DR to 0xFFFFFFFF
    sram_ptr = (dword *)0x60000000;
    //SRAM's Start Address ~ 0x60FFFFFF
    while(1)
    {
        CRC -> DR = *sram_ptr++;
        check_sum_data += *sram_ptr;
        if(sram_ptr >= (dword *)0x61000000)
            break;
    }
    if(check_sum_data != saved_check_sum_data)
        error = 0xEE; //check sum error
    else
        error = 0x55; // check sum ok
    rtn_val = CRC -> DR;
    //Final SRAM's CRC32 data
    return(rtn_val);
}

```

Fig. 4. Data check (CRC32, Data Check Sum) algorithm.

```

void ECC_Algorithm(void)
{
    byte error_bit = 0;
    word error_line = 0;
    //Error bit searching
    for(byte i = 0; i < 5; i++)
    {
        word temp = 0x0002;
        byte temp2 = 0x01;
        temp2 = temp2 << i;
        //0x02,0x08, 0x20,0x80,0x200
        if(Result_ECC & temp)
            error_bit |= temp2;
    }
    //Error line searching
    for(byte ii = 0; ii < 9; ii++)
    {
        dword temp3 = 0x00000800;
        word temp4 = 0x0001;
        temp3 = temp3 << ii*2;
        //0x800, 0x2000, 0x8000, 0x20000, ....
        temp4 = temp4 << ii;

```

```

        if(Result_ECC & temp3)
            error_line |= temp4;
    }
    //Read data 보정
    error_line &= 0x1FF; //Max 512
    error_bit &= 0x1F; //Max 31
    rd_buf[error_line] ^= (1 << error_bit);
}

```

Fig. 5. Proposed ECC algorithm.

전원이 꺼졌을 경우 읽어 들인 데이터를 CPU내부의 CRC32를 사용하여 저장했던 데이터의 CRC32 부분과 비교하고, 읽은 데이터들을 Data Check Sum을 통해 또 다시 비교한다. 마지막으로 ECC 알고리즘을 이용하여 잘못된 부분의 오류가 발생한 위치를 확인하여 그 해당하는 부분의 데이터를 수정하여 정확한 데이터로 보정하여 신뢰성을 향상할 수 있다.

#### 4. 실험 결과

본 논문에서 제안된 알고리즘의 검증을 위해서 테스트 베드를 구현하였다. 이를 위해 오실로스코프의 파형을 통해서 전원의 상태, 읽기/쓰기 동작이 정상적으로 이루어지는가 확인을 해 보았다. Fig 6는 전압이 꺼질 때 파형으로 외부 전압 EVCC는 0V가 되어도 CPU에 공급되는 전압 IVCC는 3.3V로 유지시키는 파형으로 외부 전압이 꺼지더라도 CPU에 공급되는 전압은 3.3V로 잡아 주기 때문에 PSRAM의 데이터를 낸드 플래시에 저장하는데 충분한 시간을 만들어 준다.

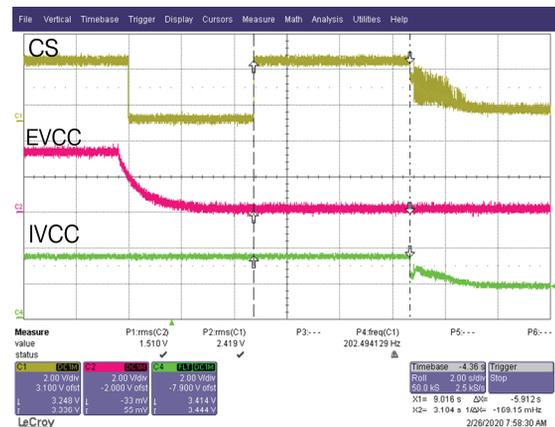


Fig. 6. Power Off operation of NVSRAM.

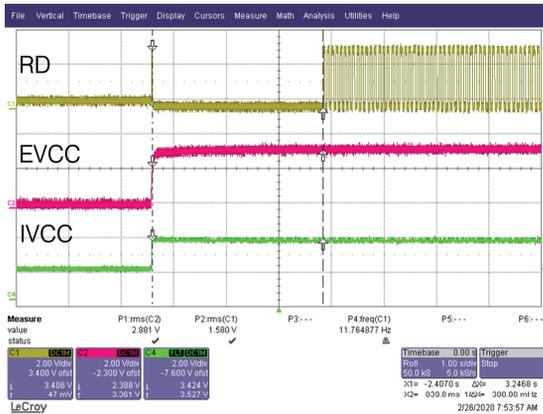


Fig. 7. Power On operation of NVSRAM.

Fig. 7은 전원이 켜졌을 경우 파형으로 낸드 플래시에 저장했던 데이터를 PSRAM에 다시 넣기 위해서 데이터를 읽는 파형이다. 전원이 켜졌을 경우 꺼지기 직전 데이터를 가져와 자기진단 알고리즘을 통해 올바른 데이터로 복구하여 다시 작업할 수 있도록 만들어 준다.

Fig. 8은 CS핀과 RD, WR핀의 파형으로 데이터를 읽고 쓰는 파형이다. 실험 결과들을 통해서 전원이 불안정하게 되더라도 CPU의 전압은 정상적으로 들어가게 되면서 데이터가 보존되고 이 보존된 데이터를 장치에 다시 전원이 공급이 되면 가져와서 다시 작업할 수 있는 것을 확인할 수 있다.

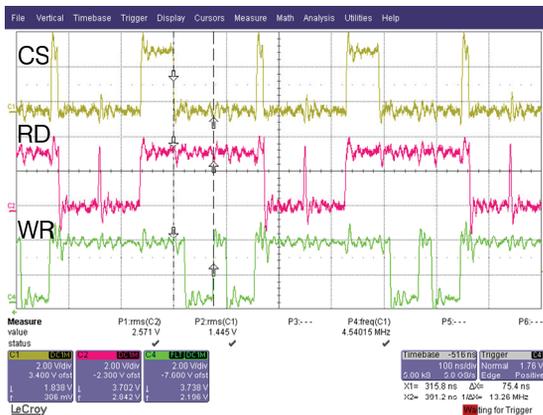


Fig. 8. Read/Write operation of NVSRAM.

### 5. 결론

메모리는 시스템을 구동하는데 필수적으로 들어가게 되며 속도와 가격 차이로 인해서 휘발성 메모리를 사용

하지만 현장에서는 언제든지 전압이 불안정 할 수 있고 고장이 쉽게 날 수 있는 환경이다. 이 경우에는 휘발성 메모리는 모든 데이터가 지워진다. 모든 데이터가 저장되지 않고 지워지면 다시 처음부터 시간적 비효율 손해를 입으면서 데이터를 복구해야 한다. 이 문제를 해결하기 위해서 속도는 느리지만 전원이 꺼져도 데이터가 유지되는 비휘발성 메모리와 속도는 빠르지만 전원이 꺼지면 데이터가 지워지는 휘발성 메모리의 장점을 합쳐 NVSRAM이 나왔으나. 외부의 노이즈나 전기적 충격에 약하기 때문에 쉽게 데이터가 손상될 수 있으므로, 데이터의 손실을 최소화하기 위해서 자기진단 알고리즘을 적용했다. 데이터의 손상을 자기진단을 통해서 알아내고 손상된 데이터를 본래의 올바른 데이터로 수정하는 ECC 뿐만 아니라 데이터가 정상적인지 확인하는 CPU내부의 CRC32를 사용하는 방법과 Data Check Sum을 추가하여 쓰고/읽는 데이터의 신뢰성과 정확성을 높였으며 상용화의 가능성을 제시하였다.

### 감사의 글

본 연구는 2022년도 청주대학교 연구장학과 중소기업 기술정보진흥원의 “산학연 Collabo R&D연구 사업(R&D, S3104570)”으로 지원받아 수행된 연구 결과입니다.

### 참고문헌

1. Dong Hyuk Park, Jae Jin Lee, Gi Ju Yang, “Modulation Code for Removing Error Patterns on 4-Level NAND Flash Memory”, The Journal of Korea Information and Communications Society, Vol.35, No.12, pp.965-970, 2010.
2. In-Sung Gook, Jae-Min Lee, “A Parallel structure of SRAMs in embedded DRAMs for Testability”, Journal of Korea Institute of Information, Electronics, and Communication Technology, Vol.3, No.3, pp.3-7, 2010.
3. Jun Sang Yeon, Oh Yang, “Implementation of Communication to Flexibly Configure the Number of Railway Cars”, Journal of the Semiconductor & Display Technology, Vol.15, No.4, pp61-66, 2016.
4. Tae Hyun Kim, Oh Yang, and Jun Sang Yeon, “Design of Asynchronous Non-Volatile Memory Module using NAND Flash Memory and PSRAM”, Journal of Semiconductor & Display Technology Vol.19, No.3, pp.112-117, 2020.
5. Hyunju Kim, Myounggon Kang, “The Verification of Channel Potential using SPICE in 3D NAND Flash Memory”, Institute of Korean Electrical and Electronics Engineers, Vol.25, No.4, pp.778-781, 2021.

- 
6. [www.infineon.com/cms/en/product/memories/nvsram-non-volatile-sram](http://www.infineon.com/cms/en/product/memories/nvsram-non-volatile-sram).
  7. Myeong-jin Kang, Daejin Park, "High Speed and Robust Processor based on Parallelized Error Correcting Code Module", Journal of the Korea Institute of Information and Communication Engineering, Vol.24, No.9, pp.1180-1186, 2020.
  8. Hyunbean Yi, Sungju Park, Pyoungwoo Min, Changwon Park, "A Design of High Performance Parallel CRC Generator", The Journal of Korean Institute of Communications and Information Sciences, Vol.29, No.9, pp.1101-1107, 2004.
  9. Seong Ryeol Kim, "The proposed of the Encryption Method and Designed of the Secure Key Using Initial Bad Block Information Physical Address of NAND Flash Memory, "Journal of Korean Institute of Information and Communication Engineering, Vol.20, No.12, pp.2282-2288, 2016.
  10. Jae Hyun Ahn, Oh Yang and Jun Sang Yeon, "Performance Improvement of Asynchronous Mass Memory Module using Error Correction Code", Journal of Semiconductor & Display Technology, Vol.19, No.3, pp.112-117, 2020.
- 
- 접수일: 2022년 3월 1일, 심사일: 2022년 3월 11일,  
 게재확정일: 2022년 3월 25일