

고전압 Power IC 집적을 위한 4H-SiC CMOS 신뢰성 연구

Reliability Analysis of 4H-SiC CMOS Device for High Voltage Power IC Integration

강연주*, 나재엽*, 김광수**

Yeon-Ju Kang*, Jae-Yeop Na*, Kwang-Soo Kim**

Abstract

In this paper, we studied 4H-SiC CMOS that can be integrated with high-voltage SiC power devices. After designing the CMOS on a 4H-SiC substrate, we compared the electrical characteristics with the reliability of high temperature operation by TCAD simulation. In particular, it was confirmed that changing HfO₂ as the gate dielectric for reliable operation at high temperatures improves the thermal properties compared to SiO₂. By researching SiC CMOS devices, we can integrate high-power SiC power devices with SiC CMOS for excellent performance in terms of efficiency and cost of high-power systems.

요약

본 논문에서는 고전압 SiC Power 소자와 집적이 가능한 4H-SiC CMOS에 대해 연구하였다. SiC CMOS 소자 연구를 통해 고출력 SiC Power 소자와 함께 제작을 가능하게 함으로써 SiC 전력소자를 이용하는 고출력 시스템의 효율 및 비용면에서 우수한 성능을 기대할 수 있다. 따라서 4H-SiC 기판에서 CMOS를 설계한 후 TCAD 시뮬레이션을 통해 전기적 특성 및 고온 동작 신뢰성을 비교하였다. 특히 높은 온도에서 신뢰성 있는 동작을 위해 gate dielectric으로 HfO₂를 변경함으로써 SiO₂보다 열적 특성이 개선됨을 확인하였다.

Key words : 4H-SiC, CMOS, inverter, temperature characteristic, HfO₂

1. 서론

전력반도체는 자동차, 신재생 에너지, 항공 우주 산업 등 최근 적용되는 분야가 점차 확대되고 있다. Si 기반 전력반도체는 이론적으로 한계에 도달하여 SiC 기반의

전력반도체가 개발되고 있다[1]. 특히 4H-SiC는 Si보다 3배 넓은 밴드 갭을 가지고 있고 10배 높은 한계 전계의 특성을 가지고 있다. 따라서 4H-SiC는 극한의 환경(고주파, 고온, 고출력)에서 Si 소자를 능가할 수 있는 차세대 전력 소자로 촉망받는 반도체 소재이다[2].

* Dept. of Electronic Engineering, Sogang University, Email : yeonjjuu@gmail.com

★ Corresponding author

E-mail : kimks@sogang.ac.kr, Tel : +82-2-705-8913

※ Acknowledgment

This paper was supported by Korea Institute for Advancement of Technology (KIAT) grant funded by the Korea Government (MOTIE) (P0017011, HRD Program for Industrial Innovation), and then the IDEC (IC Design Education Center).

Manuscript received Mar. 19, 2022; revised Mar. 23, 2022; accepted Mar. 24, 2022.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

SiC 전력반도체는 SiC 기판 위에서 제작되나, 이를 구동하는 드라이버는 Si CMOS로 사용되고 있어 높은 온도에서의 동작이 어려우며, 별도의 칩을 만들어 모듈로 제작하여 사용해 전력 소모가 크다. 따라서 SiC 기반의 CMOS를 설계하여 전력반도체와 CMOS 드라이버를 같은 공정의 사용을 통해 하나의 칩으로 구현하여 전력 소모를 최소화하려는 연구가 계속되고 있다.

4H-SiC 기판에서의 CMOS 공정은 Si와 유사하게 열적 산화막을 형성시킬 수 있다는 장점이 있다[3]. 하지만 게이트 산화막 형성에서 생긴 SiC/SiO₂의 계면의 잔류 탄소로 높은 결함준위를 가지며 이로 인해 낮은 채널 이동도의 특성을 가진다. 따라서 SiC/SiO₂ 계면, 전류 동작 특성을 개선하고 높은 온도에서 문턱전압의 값을 안정화하기 위해 high-k 물질인 HfO₂를 도입하는 연구가 진행되고 있다[4]. 또한 SiC에서의 Ohmic 접촉의 안정성은 동작온도에 영향을 주기 때문에 높은 온도에서 동작을 수행하기 위해 SiC Ohmic 접촉 기술이 개발되고 있다[5][6].

SiC CMOS의 고온동작 성능을 향상시키기 위해서 고온에서의 문턱전압 변화를 최소화해야 하며 온 저항을 줄이는 동시에 신뢰성 있는 스위칭 동작을 해야 한다. 본 논문에서는 집적화를 위해 SiC 기반의 CMOS를 4H-SiC 기판에 Sentaurus TCAD 시뮬레이션을 이용하여 설계하였다. 시뮬레이션 모델로는 Hatakeyama avalanche model, Auger recombination model, 채널 이동도에 영향을 주는 Lombardi model이 고려되었다. HfO₂를 Gate oxide에 적용하여 설계하였으며, SiO₂를 사용한 소자와 온도 및 전기적 특성의 시뮬레이션 결과를 비교 분석하였다. 이를 바탕으로 전력반도체 Power MOSFET 소자 구조와의 집적화를 위한 최적의 4H-SiC CMOS소자를 제시하였다.

II. 본론

1. 4H-SiC CMOS 구조

Si 기반의 소자 공정 기술은 잘 발달되어 있으며 적은 비용으로 많은 생산이 가능하다. CMOS 구조 또한 Si 기반으로 제작되며, CMOS구조는 속도가 빠르며 소모되는 전력이 작기 때문에 게이트 드라이버로 사용된다. 하지만 전력반도체를 구동하기에 동작 온도가 현저히 낮으며 SiC 전력반도체와 집적화하기가 어렵다. CMOS를 실리콘 카바이드 기판 위에 구현하면 전력반도체와 집적화를 통해 한 칩 안에 제작할 수 있으므로 전력소모와 크기, 성능 면에서 향상된 특성을 보일 수 있다[7][8].

Table 1. 4H-SiC CMOS Process Parameter.

표 1. 4H-SiC CMOS 공정 파라미터

Parameter	Value	Unit
poly si gate length	2	μm
pwell depth	1.5	
gate oxide thickness	0.03	
epi layer	5	
N sub	1	
S/D depth	0.3	
cell pitch	10.6	

그림 1은 4H-SiC CMOS의 소자 구조이며, 표 1은 그림 1의 소자 구조에 대한 공정 파라미터 값을 표시하였다. SiC 기판 위에서 CMOS의 게이트 드라이버로서의 적절한 동작을 위해서는 적절한 농도의 도핑을 필요로 한다. CMOS는 PMOS와 NMOS로 구성되어 있는데 입력이 0V이면 PMOS가 켜지고 NMOS가 꺼진다. 턴 오프 된 NMOS에 10V의 전압이 걸리게 되고 소스-바디-

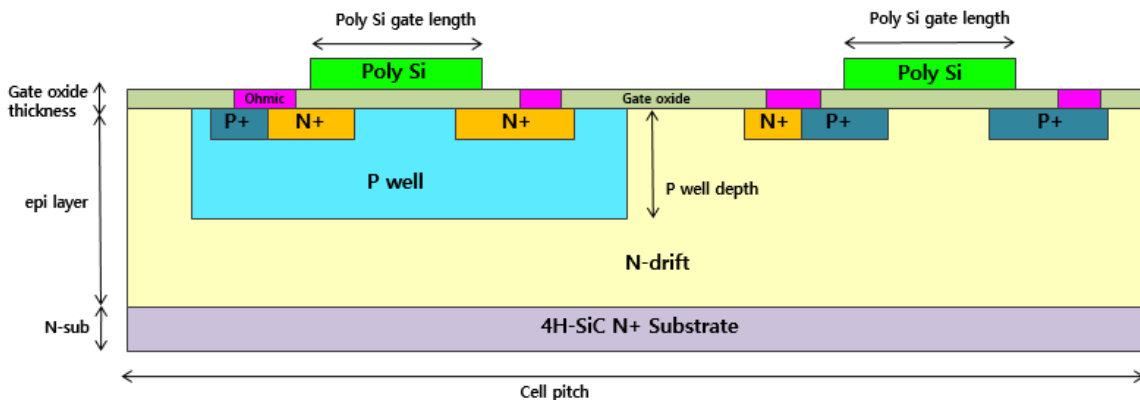


Fig. 1. Structure of 4H-SiC CMOS.

그림 1. 4H-SiC CMOS의 구조

드레인은 BJT와 같은 형태로 동작한다. 출력되는 역전압을 버티지 못하면 Vdd에서 GND사이로 정적전류가 흘러버리게 되므로 인버터로서의 동작이 불가능하다. 역전압이 가해진 pn 접합에서 도핑 농도가 매우 높으면 제너 항복에 의해 터널링이 발생하고 인버터의 동작 가능 전압 범위가 감소한다[9]. 또한 농도가 낮게 도핑이 되면 역전압이 걸렸을 때 소스와 드레인은 높은 도핑이기 때문에 채널 부근 바디에 넓은 공핍영역이 생긴다. 캐리어가 이동하면서 역전압에 의해 drift되므로 애벌랜치 항복이 생기고 도핑이 매우 낮아졌을 때 채널이 모두 공핍영역이 되고 소스와 드레인이 연결되므로 펀치스루가 발생한다[10]. 따라서 낮은 전압에서도 breakdown이 발생하므로 인버터로서의 동작이 어렵다. 따라서 적절한 도핑 농도의 값을 설정해야 하며 농도에 따른 전기적 파라미터 값을 적절히 고려한 소자 구조를 선택해야 하며, CMOS의 P-well 및 N-drift의 도핑 농도 최적화를 통해 적당한 항복 전압을 가지며 3.5V의 V_t 를 갖는 CMOS 소자를 설계하였다.

2. CMOS 소자 특성 분석

가. 4H-SiC CMOS의 V_t 최적화

N-drift 값과 P-well의 도핑농도를 변경하며 게이트 전압을 -10V에서 10V까지 인가하였고 드레인 전류의 출력 값을 확인하였다. 그림 2는 HfO₂를 gate dielectric으로 사용한 소자의 전달 특성(I_{ds} - V_{gs}) 곡선이다. 그림 3은 SiO₂를 gate dielectric으로 사용한 소자의 전달 특성 곡선이다. 그림 2와 그림 3을 보면, 도핑 농도가 낮을수록 PMOS와 NMOS가 V_t 값의 감소로 turn on이 낮은 전압에서 일어나게 되고 같은 게이트 전압에서 높은 전류의 값을 가진다. PMOS와 NMOS를 비교했을 때

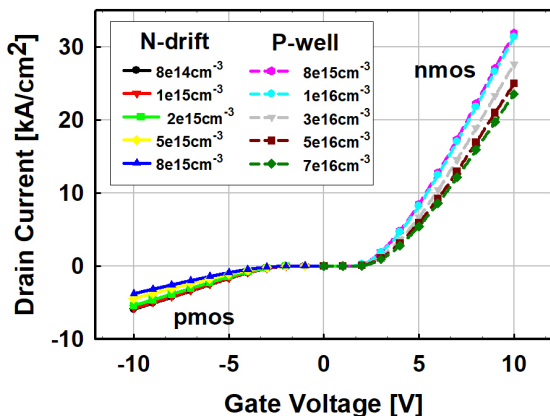


Fig. 2. HfO₂ CMOS Transfer curve.
그림 2. HfO₂ CMOS 전달 특성 곡선 그래프

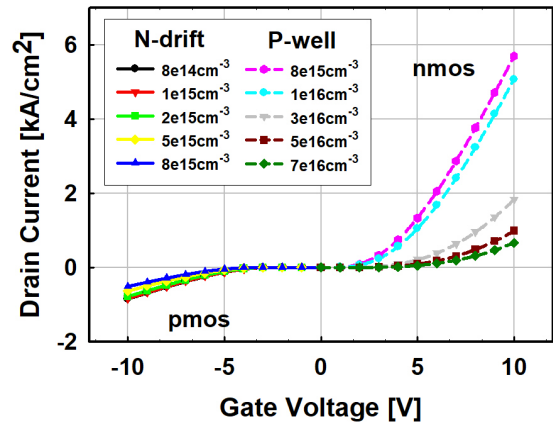


Fig. 3. SiO₂ CMOS Transfer curve.
그림 3. SiO₂ CMOS 전달 특성 곡선 그래프

NMOS가 전류 특성이 4배 높은 것을 확인할 수 있다. 또한 그림 2와 그림 3을 비교했을 때 같은 도핑 농도에서 HfO₂가 SiO₂ 대비 5배 정도 큰 전류가 출력되었고 이를 통해 SiO₂보다 HfO₂의 향상된 전류 특성을 확인하였다. 표 2는 HfO₂ CMOS의 N-drift와 P-well의 도핑 농도 값에 따라 V_t 와 BV의 변화를 나타낸 것이다. 표 3은 SiO₂ CMOS의 N-drift와 P-well의 도핑 농도 값에 따라 V_t 와 BV의 변화를 나타낸 것이다. 표 2, 3을 비교하면, HfO₂ CMOS 및 SiO₂ CMOS의 도핑 농도 값을 낮출수록 값이 V_t 의 값이 줄어드는 것을 확인할 수 있다.

$$V_t = V_{FB} + 2\phi_B + \frac{\sqrt{qN_a 2\epsilon_s 2\phi_B}}{C_{OX}} \quad (1)$$

V_t 는 채널에 인버트 된 캐리어의 수와 벌크의 기판 농도가 동일해 질 때의 전압을 말한다. 따라서 기판 농도가 높을 때 트랜지스터가 턴 온 되기 위해서는 더 많은 게이트 전압을 가해 위 조건을 만족시켜야 한다. 식 (1)에서, 드리프트 도핑 농도가 높아지면 V_t 값이 높아지며 도핑 농도를 낮추면 V_t 값이 줄어들게 되고 높은 전류 특성을 가지게 된다. 따라서, 10V의 인버터 sweep 구간을 가지며 3.5 V의 V_t 값을 갖도록 하기 위해 HfO₂ CMOS에서 N-drift의 도핑 농도 값을 $5 \times 10^{15} \text{cm}^{-3}$, P-well의 도핑 농도를 10^{16}cm^{-3} 으로 설정하였다. 그림 4는 HfO₂ CMOS와 SiO₂ CMOS의 1V, 4V, 10V에서의 값을 변경한 출력특성곡선 그래프이다. 드레인 전압이 10V일 때 HfO₂ CMOS의 전류 값이 SiO₂ 대비 NMOS에서 4배 크며 PMOS에서는 전류의 값이 6배 큰 것을 확인할 수 있다. 표 4, 5는 HfO₂ CMOS와 SiO₂ CMOS의 드레인 포화 전류 및 온 저항 값을 각각 정리한 것이다. 온 저항 역시 HfO₂ CMOS가 SiO₂ 대비 작으며, 이

Table 2. HfO₂ CMOS Threshold voltage and breakdown voltage.

표 2. HfO₂ CMOS 문턱전압과 항복전압

PMOS			NMOS		
N-drift	V _t [V]	BV [V]	P-well	V _t [V]	BV [V]
8.00E+15	-3.8	-10.25	7.00E+16	3.88	18.2
5.00E+15	-3.51	-10.28	5.00E+16	3.84	18.3
2.00E+15	-3.21	-10.58	3.00E+16	3.73	18.4
1.00E+15	-3.12	-9.65	1.00E+16	3.49	16.5
8.00E+14	-3.11	-0.02	8.00E+15	3.46	8.74

Table 3. SiO₂ CMOS Threshold voltage and breakdown voltage.

표 3. SiO₂ CMOS 문턱전압과 항복전압

PMOS			NMOS		
N-drift	V _t [V]	BV [V]	P-wel	V _t [V]	BV [V]
8.00E+15	-5.7	-11.1	7.00E+16	6.81	19.6
5.00E+15	-5.4	-11.1	5.00E+16	6.66	19.6
2.00E+15	-4.97	-10.9	3.00E+16	6.31	18.8
1.00E+15	-4.77	-10.9	1.00E+16	4.68	5.53
8.00E+14	-4.73	-10.9	8.00E+15	4.24	3.03

를 통해 HfO₂ CMOS에서 향상된 트랜지스터의 성능이 구현 가능하다.

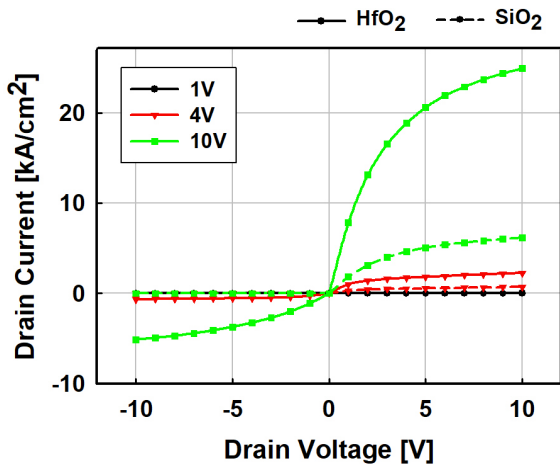


Fig. 4. HfO₂, SiO₂ CMOS output curve.

그림 4. HfO₂, SiO₂ CMOS 출력 곡선

나. 4H-SiC CMOS의 온도 특성

고온에서 신뢰성 특성을 보기 위해 온도에 따른 HfO₂ 및 SiO₂ CMOS의 전기적 특성 변화를 비교 분석하였다. 그림 5는 온도 증가에 따른 HfO₂ NMOS와 SiO₂ NMOS의 문턱전압 값 변화 그래프이며, 그림 6는 온도

Table 4. HfO₂ CMOS saturation current and on resistance.

표 4. HfO₂ CMOS 포화전류와 온저항

PMOS		NMOS	
V _d [V]	I _{dsat} [nA]	V _d [V]	I _{dsat} [nA]
1	0	1	7.97E-06
2	-9.66	2	123.397
3	-219.93	3	835.39
4	-649.34	4	2264.94
5	-1234.57	5	4495.37
6	-1919.95	6	7361.97
7	-2664.04	7	10982.1
8	-3453.05	8	15142.3
9	-4265.59	9	19792.7
10	-5113.03	10	24904.9
Ron[Ω]	9.01E+02	Ron[Ω]	1.28E+02

증가에 따른 HfO₂ PMOS와 SiO₂ PMOS의 문턱전압 값 변화 그래프이다. 전체적으로 온도를 증가하면 문턱 전압의 값이 내려가는 것을 볼 수 있다. 온도가 높아짐에 따라 페르미 레벨이 진성 반도체의 페르미 레벨에 가까워지며 진성 반도체와의 동작이 비슷해진다. 이는 도핑 농도가 낮아지는 것과 같은 효과이므로 (1)에 따라 V_t가 작아지게 된다. 그림 5와 그림 6을 비교해보면 NMOS에서 HfO₂와 SiO₂의 변화 차이가 크지 않지만, PMOS에서 HfO₂의 변화 폭은 SiO₂보다 약 29.41% 작은 것을 확인할 수 있어 HfO₂ PMOS에서 더 우수한 열적 특성을 갖는 것을 볼 수 있다.

Table 5. SiO₂ CMOS saturation current and on resistance.

표 5. SiO₂ CMOS 포화전류와 온저항

PMOS		NMOS	
V _d [V]	I _{dsat} [nA]	V _d [V]	I _{dsat} [nA]
1	0	1	8.63
2	0	2	86.04
3	-4.67	3	307.47
4	-18.81	4	713.36
5	-82.85	5	1297.65
6	-179.32	6	2044.75
7	-302.23	7	2928.78
8	-448.23	8	3928.55
9	-614.28	9	5018.96
10	-798.69	10	6177.24
Ron[Ω]	5.53E+03	Ron[Ω]	5.51E+02

Table 6. HfO₂ CMOS channel mobility with temperature.
 표 6. HfO₂ CMOS 온도에 따른 채널 이동도

HfO ₂ Channel Mobility[cm ² /V · s]					
PMOS			NMOS		
Temp[°C]	min	max	Temp[°C]	min	max
50	63	88	50	104.03	568.5
100	53.3	64.7	100	85.5	428.1
200	38.8	43.5	200	82.7	320.12
300	30.9	32.6	300	78.9	260.16

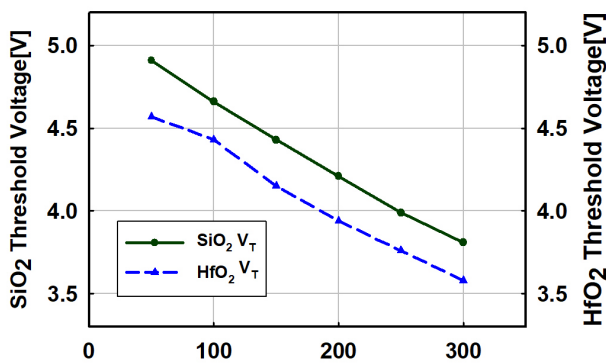


Fig. 5. HfO₂, SiO₂ V_t variation with temperature of NMOS.
 그림 5. 온도에 따른 HfO₂, SiO₂ NMOS의 문턱전압 변화

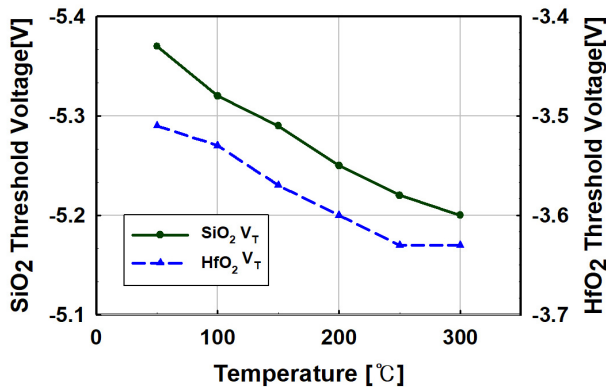


Fig. 6. HfO₂, SiO₂ V_t variation with temperature of PMOS.
 그림 6. 온도에 따른 HfO₂, SiO₂ PMOS의 문턱전압 변화

표 6은 온도에 따른 HfO₂ 구조의 채널 이동도의 변화이며, 표 7은 온도에 따른 SiO₂ 구조의 채널 이동도 변화이다. 온도를 증가시키면 채널 이동도가 감소하는 것을 알 수 있는데, 온도 증가에 따라 phonon scattering이 심해지면서 격자의 진동으로 채널의 캐리어의 충돌이 증가하고 이에 따라 이동도가 감소하며[11], 이로 인해 전류 특성이 저하된다. 이동도의 최댓값은 300°C 고온에서 HfO₂가 SiO₂ 대비 PMOS가 22.1%, NMOS가 10.18% 개선되었다. HfO₂가 PMOS와 NMOS에서 SiO₂ 보다 높은

이동도 특성을 가지며 이는 SiC/HfO₂에서 SiC/SiO₂보다 계면 결함 준위 밀도가 현저히 낮기 때문이다[12].

Table 7. SiO₂ CMOS channel mobility with temperature.
 표 7. SiO₂ CMOS 온도에 따른 채널 이동도

SiO ₂ Channel Mobility[cm ² /V · s]					
PMOS			NMOS		
Temp[°C]	min	max	Temp[°C]	min	max
50	60.9	87.8	50	92.4	532.09
100	43.5	49.9	100	78.15	373.37
200	32.0	35.4	200	74.1	328.43
300	23.7	26.7	300	72.31	236.12

Table 8. HfO₂ CMOS breakdown voltage with temperature.
 표 8. HfO₂ CMOS 온도에 따른 항복전압

HfO ₂ BV variation			
PMOS		NMOS	
Temp[°C]	BV[V]	Temp[°C]	BV[V]
50	-10.71	50	14.8
100	-10.65	100	17.3
200	-10.47	200	12.4
300	-10.46	300	11

Table 9. SiO₂ CMOS breakdown voltage with temperature.
 표 9. SiO₂ CMOS 온도에 따른 항복전압

SiO ₂ BV variation			
PMOS		NMOS	
Temp[°C]	BV[V]	Temp[°C]	BV[V]
50	-10.92	50	3.63
100	-11.07	100	4.8
200	-9.25	200	0
300	0	300	0

표 8, 표 9는 온도에 따른 HfO₂ 및 SiO₂의 항복 전압을 나타낸다. 온도가 높아지면 도핑 된 반도체가 진성 반도체의 성질에 가까워지며 PN 접합의 에너지 장벽을 낮추기 때문에 항복 전압이 낮아지게 된다. HfO₂는 SiO₂ 대비 높은 온도에서도 10V 이상의 항복 전압을 가져 안정적인 동작을 구현할 수 있다.

4H-SiC CMOS의 인버터 동작을 확인하기 위해 게이트 전압을 sweep하여 드레인 전압 및 전류 특성을 확인하였다. 그림 7은 CMOS 인버터 동작을 확인하기 위한

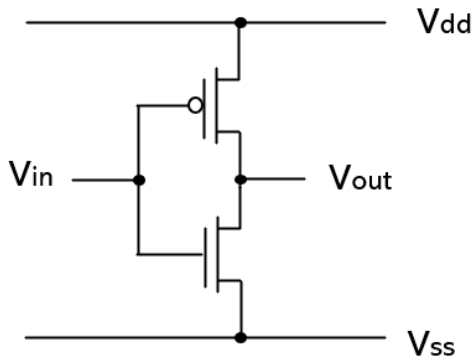


Fig. 7. 4H-SiC CMOS inverter circuit.
그림 7. 4H-SiC CMOS 인버터 회로

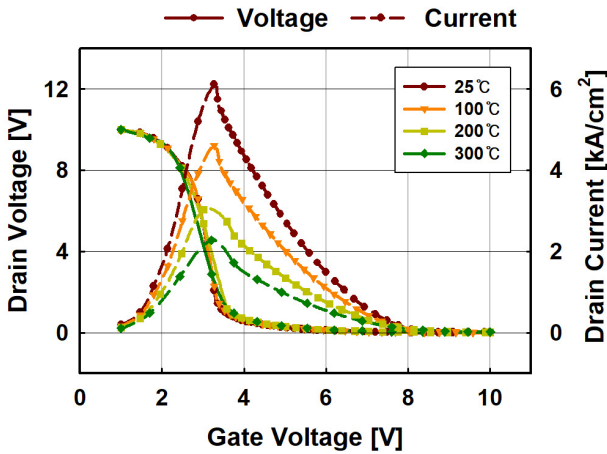


Fig. 8. HfO₂ CMOS inverter current and voltage characteristic with temperature.
그림 8. 온도에 따른 HfO₂ CMOS 전류, 전압 인버터 특성

회로이다. V_{dd}에는 10V의 전압을 인가했으며, V_{ss}에는 그라운드를 연결하였다. 또한 PMOS와 NMOS 게이트에 입력전압을 1V에서 10V까지 변화시키며 인가하였고 PMOS와 NMOS의 드레인 단자에서 출력값을 구하였다. 그림 8 및 그림 9는 각각 HfO₂ 및 SiO₂ CMOS의 인버터 특성을 나타낸 그래프이다. 입력 게이트 전압이 1V에서 10V로 증가할 때 출력 전압은 10V에서 0V로 감소하며 인버터로 동작하는 것을 확인할 수 있었으며, 온도가 높아짐에 따라 기울기가 완만해지며 턴 온과 오프 delay가 생기는 것을 확인하였다. 온도가 높아지게 되면 V_t의 값이 낮아지는데, 이로 인해 NMOS가 상온의 온도에서 보다 낮은 전압에서 턴 온 되며 NMOS에서 전류가 흐르게 된다. PMOS 역시 온도가 증가할수록 문턱 전압이 낮아졌기 때문에 낮은 전압에서 PMOS가 턴오프 되며 온 오프 전환이 완만하게 출력된다. 출력 전류는 문턱 전압의 값에서 최대 전류의 값을 보이며 온도가 증가할수록

낮은 전류의 값을 보였다. 온도가 증가할수록 채널 이동도와 문턱 전압의 값이 작아지기 때문에 전류의 값이 감소한다. HfO₂와 SiO₂를 비교해보면 SiO₂의 전압 출력의 그래프가 온도에 따른 변화 폭이 더 큰 것을 확인할 수 있다.

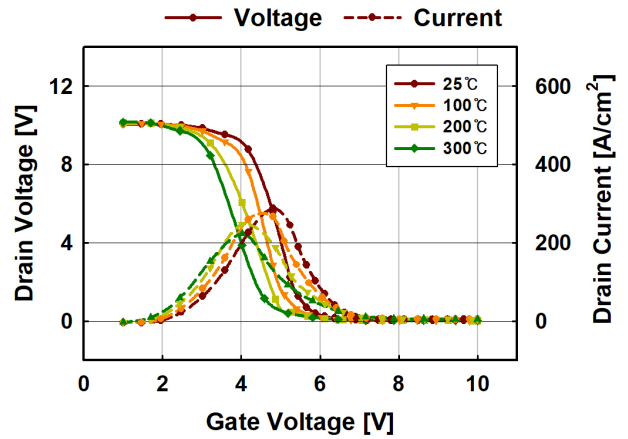


Fig. 9. SiO₂ CMOS inverter current and voltage characteristic with temperature.
그림 9. 온도에 따른 SiO₂ CMOS 전류, 전압 인버터 특성

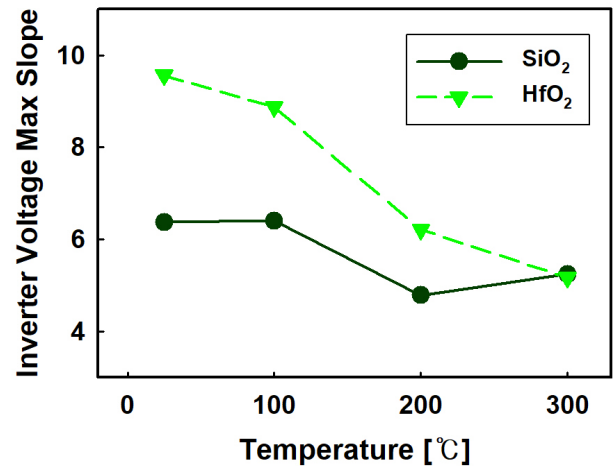


Fig. 10. HfO₂, SiO₂ CMOS inverter voltage curve max slope with temperature.
그림 10. 온도 변화에 따른 HfO₂, SiO₂ CMOS 인버터 전압 그래프의 최대 기울기

그림 10은 그림 8과 9의 전압 그래프의 HfO₂ CMOS와 SiO₂ CMOS의 최대 기울기 값을 측정하였으며 온도에 따른 변화를 나타낸다. 300°C 이하의 온도에서 HfO₂ CMOS가 SiO₂ CMOS보다 큰 기울기 값을 가지며 온 오프 전환이 빠르게 일어나는 것을 알 수 있다. 따라서 300°C 이하의 온도에서 HfO₂ CMOS는 SiO₂ 대비 높은 인버터 전환 성능을 가지는 것을 확인하였다.

III. 결론

고온 동작이 가능한 4H-SiC CMOS 소자를 설계하기 위해 산화막으로 HfO₂를 이용하여 설계하였고, SiO₂ CMOS와 온도 변화에 따른 전기적 특성 시뮬레이션 결과를 비교 및 분석하였다. V_t를 3.5V로 설정하고 항복 전압을 10V 이상으로 설정하기 위해 N-drift, P-well의 농도로 설정하였다. V_t 값의 변화는 HfO₂의 PMOS에서 SiO₂ 대비 29.41% 낮은 변화 값이 출력되었으며, HfO₂ CMOS는 고온에서도 BV가 10V 이상으로 유지되는 것을 확인하였다. 채널 이동도는 300°C 고온 동작에서 SiO₂ 대비 HfO₂ PMOS가 22.1%, NMOS가 10.18% 개선되었다. 인버터 전압 특성을 살펴보았을 때 300°C 이하의 온도에서 최대 기율기의 값이 HfO₂ CMOS가 SiO₂ 대비 높은 온오프 전환 특성이 출력되었다. 또한 고온에서도 안정적으로 인버터 동작이 가능하기 때문에 고온의 전력 반도체 게이트 드라이버로서 동작이 가능하다는 것을 확인하였다. 이와 같은 4H-SiC CMOS 소자 연구를 바탕으로 LDMOS 등과 같은 전력반도체와의 집적화로 모듈 사이즈를 줄일 수 있으며, 이를 통해 더 나은 전력 효율을 가지며 제작 과정에서의 낮은 cost를 기대할 수 있을 것이다.

References

[1] Ahmad Hassan, Yvon Savaria, Mohamad Sawan, "Electronics and Packaging Intended for Emerging Harsh Environment Applications: A Review," *IEEE Transaction on very large scale integration (VLSI) system*, Vol.26, No.10, pp.2085-2090, 2018. DOI: 10.1109/TVLSI.2018.2834499

[2] Tsunenobu Kimoto, "Material science and device physics in SiC technology for high-voltage power devices," *Japanese Journal of Applied Physics* 54, pp.2-4, 2015. DOI: 10.7567/JJAP.54.040103

[3] I Vickridge, J Ganem, Y Hoshino, I Trimaille "Growth of SiO₂ on SiC by dry thermal oxidation: mechanisms," *JOURNAL OF PHYSICS D: APPLIED PHYSICS*, pp.6254-6257, 2007. DOI: 10.1088/0022-3727/40/20/S10

[4] Stephan Wirths, "Vertical 1.2kV SiC Power MOSFETs with High-k/Metal Gate Stack," *Proceedings of the 31st International Symposium on Power*

Semiconductor Devices& ICs, pp.103-106, 2019. DOI: 10.1109/ISPSD.2019.8757601

[5] L. Kolaklieva et al. "Au/Ti/Al Contacts to SiC for Power applications: Electrical, Chemical and Thermal Properties," *Int. Conf. Microelectron., Nis, Serbia*, pp.421-423, 2004. DOI: 10.1109/ICMEL.2004.1314851

[6] R.S. Okojje et al., "Reliability Assessment of Ti/TaSi₂/Pt Ohmic Contacts on SiC after 1000 h at 600°C," *J. Appl. Phys*, vol.91, no.10, pp.6554-6557, 2002. DOI: 10.1063/1.1470255

[7] Matthew Barlow, Shamim Ahmed, H. Alan Mantooth, "An Integrated SiC CMOS Gate Driver," *IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp.1646-1649, 2006. DOI: 10.1109/APEC.2016.7468087

[8] Lostetter, A., Hornberger, J., McPherson, B., "High-temperature silicon carbide and silicon on insulator based integrated power modules," *IEEE Vehicle Power and Propulsion Conference*, pp. 1032-1035, 2009.

[9] M. Singh Tyagi, "Zener and avalanche breakdown in silicon alloyed p-n junctions-I: Analysis of reverse characteristics," *Solid-state Electronics Pergamon Press*, pp.99-115, 1968. DOI: 10.1016/0038-1101(68)90141-X

[10] Lei Zhao, Quanyuan Feng, Jinyan Liu, "Analyze Punch-through and Reach-through Breakdown Voltage in N+PN+ and N+P+NN+ Sandwich Structures," *Progress In Electromagnetics Research Symposium - Spring (PIERS)*, pp.22-25, 2017. DOI: 10.1109/PIERS.2017.8262041

[11] Mitsuru Sometani, Takuji Hosoi, "Ideal phonon-scattering-limited mobility in inversion channels of 4H-SiC(0001) MOSFETs with ultralow net doping concentrations," *Appl. Phys. Lett.* 132102, pp.115, 2019. DOI: 10.1063/1.5115304

[12] Stephan Wirths, "Vertical Power SiC MOSFETs with High-k Gate Dielectrics and Superior Threshold Voltage Stability," *Proceedings of the 31st International Symposium on Power Semiconductor Devices& ICs September 13-18*, pp.226-229, 2020. DOI: 10.1109/ISPSD46842.2020.9170122

BIOGRAPHY

Yeon-Ju Kang (Member)

2018. 3~present : BS degree in Electronic Engineering, Sogang University.

〈Main interest〉 Power MOSFET and SiC CMOS

Jae-Yeop NA (Member)

2021.2 : BS degree in Electronic Engineering, Sogang University.
2021.2 ~ present : MS degree in Electrical Engineering, Sogang University.

〈Main interest〉 Power MOSFET and SiC device

Kwang-Soo Kim (Member)

1981 : BS degree in Electronic Engineering, Sogang University.
1983 : MS degree in Electronic Engineering, Sogang University.
1998 : PhD degree in Electronic Engineering, Sogang University.

1983~1997 : Electronics and Telecommunications Research Institute (ETRI)
1998~2005 : Institute for Information Technology Advancement (IITA)
2005~2008 : Daegu Gyeongbuk Institute of Science and Technology (DGIST)
2008~present : Professor, Electronic Engineering, Sogang University.