

Self-Biasing 효과로 높은 홀딩 전압을 갖는 SCR 기반 양방향 ESD 보호 소자에 관한 연구

A Study on SCR-based Dual Directional ESD Protection Device with High Holding Voltage by Self-Biasing Effect

정 장 한*, 정 승 구*, 구 용 서**

Jang-Han Jung*, Seung-Koo Jeong*, Yong-Seo Koo**

Abstract

This paper propose a new ESD protection device suitable for 12V class applications by adding a self-biasing structure to an ESD protection device with high holding voltage due to additional parasitic bipolar BJT. To verify the operating principle and electrical characteristics of the proposed device, current density simulation and HBM simulation were performed using Synopsys' TCAD Simulation, and the operation of the additional self-biasing structure was confirmed. As a result of the simulation, it was confirmed that the proposed ESD protection device has a higher level of holding voltage compared to the existing ESD protection device. It is expected to have high area efficiency due to the dual structure and sufficient latch-up immunity in 12V-class applications.

요 약

본 논문은 추가 기생 바이폴라 BJT로 인해 높은 홀딩전압을 갖는 ESD 보호소자에 Self-Biasing 구조를 추가하여 12V 급 어플리케이션에 적합한 새로운 ESD 보호소자를 제안한다. 제안된 소자의 동작원리와 전기적 특성 검증을 위해 Synopsys사의 TCAD Simulation을 사용하여 current density simulation과 HBM simulation을 수행하였고 추가된 Self-Biasing 구조 동작을 확인하였다. Simulation 결과 제안된 ESD 보호소자는 기존의 ESD 보호소자와 비교하여 높은 수준의 홀딩전압을 갖는 것을 확인하였고 이는 듀얼구조로 인한 높은 면적효율과 12V급 어플리케이션에서 충분한 래치업 면역 특성을 가질 것으로 기대된다.

Key words : ESD, Latch-up, SCR, LTDDSCR, Holding Voltage

* Dept. of Electronics Engineering, Dankook University

★ Corresponding author

E-mail : wkdgks0248@naver.com, Tel : +82-031-8005-3625

※ Acknowledgment

This work was supported by Korea Evaluation Institute of Industrial Technology(KEIT) grant funded by the Ministry of Trade, Industry & Energy (20009739, "Development of Low Noise 3phase BLDC Motor Drive SoC for Electric Vehicles with Power Switch and Hall Sensors") This work was supported by Korea Evaluation Institute of Industrial Technology(KEIT) grant funded by the Ministry of Trade, Industry & Energy (20009213, "High efficiency High Voltage Smart Ceramic Speaker Driver SoC for Bezelleless Smart phones")

Manuscript received Mar. 7, 2022; revised Mar. 24, 2022; accepted Mar. 30, 2022.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서론

Electrostatic Discharge (ESD) protection은 IC 신뢰성에서 중요한 역할을 차지하고 있다. 하지만, 현재 IC가 고집적화 됨에 따라 ESD에 대한 IC의 감내 특성은 점점 낮아지고 설계 범위는 매우 좁아지고 있다. 특히, 반도체 공정의 접합 깊이 감소와 산화막 두께의 감소는 매우 크리티컬한 부분으로 보고된다. 따라서 적은 면적의 ESD 보호소자 설계로 높은 감내특성과 전류구동능력을 요구한다[1][2].

ESD 서지가 어느 핀으로 들어올지 예상할 수 없기 때문에 ESD 보호소자 설계에서 엔지니어는 양의 방향 특성과 음의 방향 특성 두 가지를 모두 고려해야 한다. 이것은 간단하게 I/O, Vdd, Vss 세가지 핀에 대한 조합을 고려하는 것으로 통합된다. 현재 가장 널리 사용되는 GGNMOS(Gate Grounded MOSFET) 구조는 음의 방향 서지가 인가될 때 저항성이 크고 신뢰성이 낮은(Oxide Breakdown이 일어날 수 있는)다이오드로써 동작하기 때문에 양방향 ESD 보호 설계 시에 두 개의 소자를 적용하여 면적을 크게 차지할 가능성이 있다[3]. 따라서 여러 연구자들은 대칭성을 가질 수 있는 SCR(Silicon-Controlled Rectifier) 기반 구조를 채택하여 양방향 ESD 보호소자들을 연구해 왔다[4]. 트리거 전압을 최적화 시킨 LVTSCR(Low Triggering SCR)과 양방향 특성을 가지는 DDSCR(Dual-Direction SCR)을 결합시킨 LTDDSCR 기반 장치들은 가장 대표적인 연구이다[5]. 허나, 여전히 LTDDSCR 기반 ESD 보호 장치들은 고전압 ESD 설계에 적용할 수 없으며 낮은 홀딩전압으로 인한 래치업 내성을 보장할 수 없다. 또한, 최근 보고된 소자들을 살펴보면 스냅백을 줄이고 홀딩전압을 높이는 데는 성공했지만 큰 면적을 가지며 복잡한 구조 설계에 의존하고 효율적이지 않다[6][7].

따라서 본 논문에서는 기존에 제안된 높은 홀딩전압을 갖는 양방향 SCR을 개선하여 12V급 어플리케이션에 최적화 된 구조를 제안한다. 이는 Synopsys사의 TCAD를 이용하여 검증되었다.

II. 본론

1. 기존의 ESD 보호소자

기존의 LTDDSCR와 개선된 구조의 단면도를 각각 그림 1, 2에 나타내었다. 두 구조 모두 SCR이 대칭구조로 형성되어 ESD 서지가 terminal 어디에 인가되던지 상

관없이 ESD 전류를 방출할 수 있다.

LTDDSCR의 동작원리는 Terminal A로 ESD 서지가 인가되었을 때 N-WELL과 오른쪽 P+ 브릿지 사이에 역방향 전압이 걸리게 되고 지속적인 ESD서지로 인해 임계전압을 넘어가면 Avalanche Breakdown으로 인해 생성된 정공전류는 P+를 통해 Terminal B로 빠져나가고 결국 P-WELL의 전위 상승으로 Qnpn2가 동작하게 된다. 동작한 Qnpn2는 Qnpn의 베이스 전류를 공급하며 Qnpn를 동작시킨다. 따라서 동작한 두 개의 기생 바이폴라 BJT는 SCR 루프를 형성하며 전류 경로를 만들어 ESD 전류를 안정적으로 방출하게 된다. 반대로 Terminal B에 ESD 서지가 인가되었을 시에는 Qnpn1과 Qnpn가 동일하게 동작하여 ESD 전류를 방출시킨다.

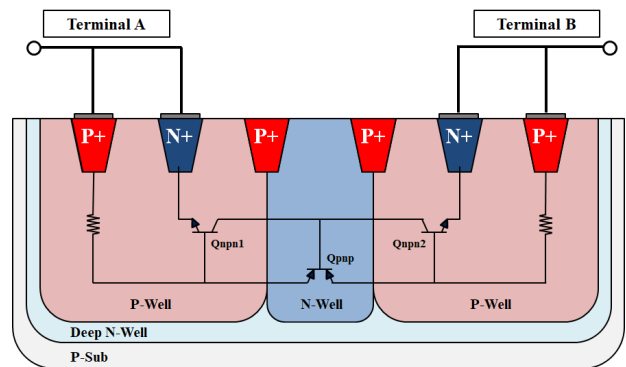


Fig. 1. Cross section of the conventional LTDDSCR. 그림 1. 일반적인 LTDDSCR의 단면도

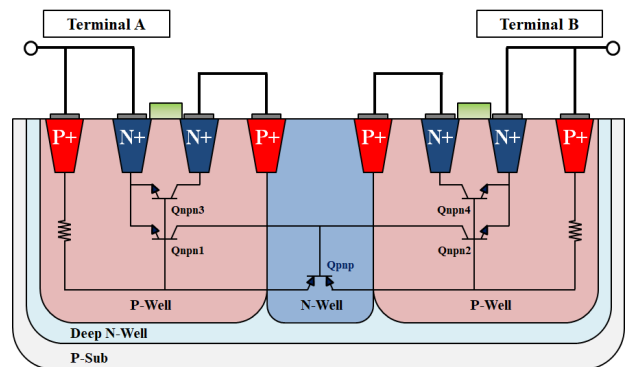


Fig. 2. Dual-direction SCR with high holding voltage due to additional parallel BJT. 그림 2. Parallel BJT로 높은 홀딩 전압을 갖는 양방향 SCR

그림 2의 개선된 구조의 양방향 SCR 또한 동일한 동작원리로 동작하지만 구조적 설계로 GGNMOS 구조를 삽입하고 P+브릿지 영역과 N+확산영역을 전기적으로 연결함으로써 추가 기생 바이폴라 트랜지스터 Qnpn3, Qnpn4를 동작시킨다. 양의 ESD 서지가 인가되었다고

가정하였을 때, Qnpn4는 Qpnp와 Qnpn2가 형성하고 있는 SCR 정궤환 루프 상에서 Qnpn2의 전류를 일부 방전함으로써 루프 Gain을 감소시킨다. 따라서 홀딩전압이 증가하게 된다. 본 구조는 12V 어플리케이션에 적합하게 설계되었으나 측정결과 설계변수 Split에도 불구하고 래치업 이슈가 발생할 가능성이 상당하였다. 따라서 본 논문의 개선된 구조가 제안되었다.

2. 제안된 ESD 보호소자

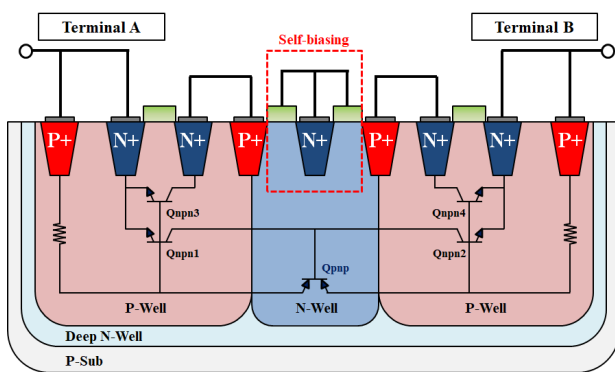


Fig. 3. Cross section of the proposed ESD protection circuit.

그림 3. 제안된 ESD 보호소자의 단면도

그림 3은 제안된 보호소자의 단면도와 등가회로를 나타낸 그림이다. 등가회로도에는 그림 2의 회로와 동일하다.

기존 보호소자의 단점을 극복하기 위하여 그림 2의 구조에서 N+ 확산 영역과 게이트 영역이 추가되었으며 이를 전기적으로 연결하였다. 동작원리는 앞서 설명한 그림 2의 보호소자와 동일하나 ESD 서지가 인가되면 증가하는 N-WELL의 전위는 N+확산영역을 통하여 게이트에 인가된다. 이로 인해, N+ 확산영역과 게이트 영역은 회로 내부의 RC 회로처럼 동작하게 된다. 게이트에 전압이 인가되기 때문에 게이트 하부에서 N-WELL의 농도 변화가 일어나게 되며, 전자 밀도가 증가하여 Qpnp 베이스 영역의 이미터 주입효율이 감소하게 된다. 이는 결국 SCR 루프상의 정궤환 이득을 감소시키고 홀딩전압을 상승시키게 된다. 이는 Terminal A, B 모두 동일하게 동작한다.

3. 시뮬레이션 결과

본 논문에선 제안된 구조의 동작원리와 전기적 특성 분석을 위해 Synopsis사의 TCAD Simulation을 사용했다.

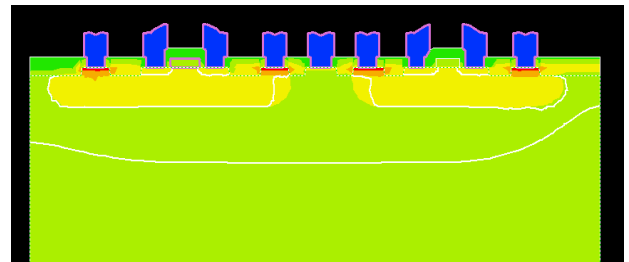


Fig. 4. Simulation structure of the proposed ESD protection device.

그림 4. 제안된 ESD 보호소자의 Simulation 구조

그림 4는 제안된 ESD 보호소자의 TCAD Simulation으로 구현된 구조이며 추가적인 N+확산영역과 게이트 영역을 확인할 수 있다. 그림 5는 Current Density Simulation 결과이다.

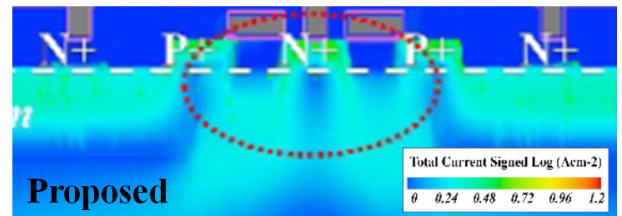
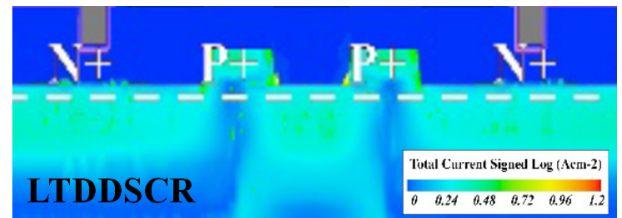


Fig. 5. Simulation structure of the proposed ESD protection device.

그림 5. LTDDSCR과 제안된 ESD 보호소자의 Current Density Simulation 결과

그림 5의 Current Density Simulation을 통해 제안된 보호소자의 추가적인 게이트와 N+확산영역으로 인한 Self-Biasing 효과를 검증하였다. 이는 N-WELL영역을 베이스로 형성되는 기생바이폴라 트랜지스터 Qpnp의 전류밀도를 감소시켜 결국, SCR loop상의 정궤환 이득을 감소시킨다. 따라서 홀딩전압이 상승하게 된다.

그림 6은 제안된 소자와 비교 소자들의 시뮬레이션 결과이며 비교된 양방향 소자들은 모두 양방향 특성을 가지며 I-V 특성이 대칭인 것을 확인하였다. 기존의 LTDDSCR의 홀딩전압은 6.1V이고 비교소자로 채택된 높은 홀딩전압을 갖는 DDSCR은 10.8V이며 제안된 보호 소자는 약 13.9V의 홀딩전압을 갖는 것을 확인하였다.

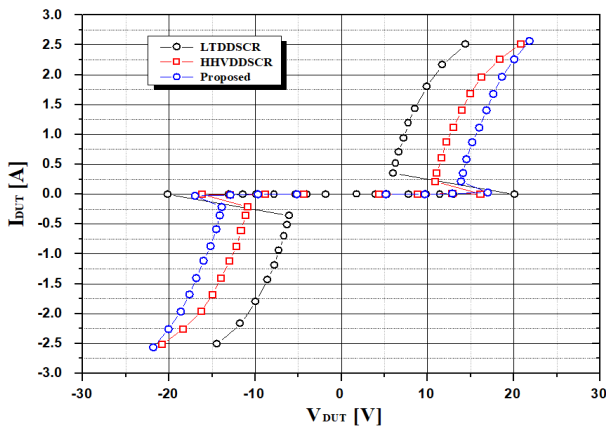


Fig. 6. Simulation structure of the proposed ESD protection device.

그림 6. LTDDSCR, HHVDDSCR 및 제안된 ESD 보호소자의 HBM 4kV Simulation 결과

Table 1. HBM 4kV simulation result of ESD protection device.

표 1. 제안된 소자의 HBM 4kV 시뮬레이션 결과

	Vt	Vh
LTDDSCR	20.1V	6.1V
HHVDDSCR	15.2V	10.8V
Proposed	15.5V	13.9V

III. 결론

본 논문에서는 새로운 Dual SCR 기반의 ESD 보호 소자를 제안한다. 새로운 구조는 N+확산영역과 브릿지 영역을 전기적으로 연결하여 SCR 전류 통로상의 추가적인 기생 바이폴라 트랜지스터를 턴 온 시키고 N-WELL 영역에 N+확산영역과 게이트를 추가시켜 Self-Biasing 효과로 홀딩전압을 향상시켰다. 제안된 구조의 전기적인 특성을 검증하기 위해 TCAD Simulation이 수행되었으며 그 결과 제안된 ESD 보호 소자는 13.9V의 홀딩전압을 가짐을 확인하였다. 이는 기존의 LTDDSCR에 비해 향상된 스냅백 특성을 가짐으로 12V급 어플리케이션에 충분히 적용 가능할 것으로 기대되며 후에 설계되어 IC에 적용되었을 시에 듀얼 구조로 인한 높은 면적효율과 SCR 구조 특성으로 인한 높은 전류구동능력, 구조적 설계로 인한 래치업 면역 특성으로 인해 IC 신뢰성 향상에 큰 도움이 될것으로 기대된다.

References

[1] S. Oleg, S. Hossein, S. Manoj, "ESD Protection Device and Circuit Design for Advanced CMOS Technologies," Springer, 2008.

[2] Albert Z. H. Wang, *On-Chip ESD Protection for Integrated Circuits 2nd ed*, Springer, 2002

[3] M. D. Ker and C. C. Yen, "Investigation and Design of On-Chip Power-Rail ESD Clamp Circuits Without Suffering Latch up-Like Failure During System-Level ESD Test," *IEEE J.Solid-State Circuits*, vol.43, no.11, pp.2533-2545. 2008. DOI: 10.1109/JSSC.2008.2005451

[4] A. V. Vladislav, S. Andrei, "ESD Design for Analog Circuits," Springer, 2010

[5] M.-D. Ker and S.-H. Chen, "Implementation of initial-on ESD protection concept with PMOS-triggered SCR devices in deep-submicron CMOS technology," *IEEE J. Solid-State Circuits*, vol.42, no.5, pp.1158-1168, 2007. DOI: 10.1109/JSSC.2007.894823

[6] M.-D. Ker and K.-C. Hsu, "Overview of on-chip electrostatic discharge protection design with SCR-based devices in CMOS integrated circuits," *IEEE Trans. Device Mater. Rel.*, vol.5, no.2, pp. 235-249, 2005. DOI: 10.1109/TDMR.2005.846824

[7] F. Du et al., "An improved silicon-controlled rectifier (SCR) for lowvoltage ESD application," *IEEE Trans. Electron Devices*, vol.67, no.2, pp. 576-581, 2020. DOI: 10.1109/TED.2019.2961124

BIOGRAPHY

Jang-Han Joung (Member)



2021 : BS degree in Electrical Engineering, DanKook University.
2021~ : Unified course of the master's in Electronics and Engineering, DanKook University.

Seung-Koo Jeong (Member)



2022 : BS degree in Electrical Engineering, SeoKyeong University.
2022~ : Unified course of the master's in Electronics and Engineering, DanKook University.

Yong-Seo Koo (Member)



1981 : BS degree in Electronics Engineering, Sogang University.
1983 : MS degree in Electronics Engineering, Sogang University.
1992 : Ph.D degree in Electronics Engineering, Sogang University.
Current research interest :
integrated circuit, micro processor