

탄소나노튜브 부분 밀도 변화에 의한 CNTFET SRAM 성능 변화에 대한 연구

A Study on the Performance Variation of CNTFET SRAM by the Partial Density Change of Carbon Nanotubes

조근호^{*,★}

Geunho Cho^{*,★}

Abstract

With high performance and wide application, a CNTFET has been attracting a lot of attention as a next-generation semiconductor, but the manufacturing process of CNTFET has not been mature enough, which makes commercialization difficult. In order to overcome the imperfections of the CNTFET manufacturing process and to increase the possibility of commercialization, this paper analyzes the CNTFET SRAM performance variation according to the CNTFET partial density change based on the recently reported CNTFET manufacturing process. Through HSPICE circuit simulation analysis using the existing 32nm CNTFET HSPICE library file, transistors whose performance variation is less sensitive to partial CNT density are selected among the six transistors constituting the SRAM cell and acceptable CNT density range is proposed. As the result of analysis, it is found that when the CNT density of the two transistors connected to the bit line in SRAM cell changed from 6/32nm to 8/32nm, the deviation of SRAM performance is less than 9% and when the CNT density is less than 5/32nm, the SRAM delay is increased by more than 8 time.

요약

높은 성능과 폭넓은 활용성으로 CNTFET은 차세대 반도체로 많은 관심을 받아 왔으나 생산 공정이 아직 충분히 성숙되지 않아 상용화에 어려움을 겪어 왔다. 이러한 CNTFET 공정의 불완전성을 극복하고 상용화 가능성을 높이기 위해 본 논문에서는 최근 발표된 CNTFET 공정 내용을 참고하여 CNTFET 부분 밀도 변화에 따른 CNTFET SRAM 성능 변화에 대해 분석하고자 한다. 현존하는 32nm CNTFET HSPICE용 라이브러리 파일을 활용한 HSPICE 회로 시뮬레이션 분석을 통해 SRAM 셀을 구성하는 6개의 트랜지스터 중, CNT 밀도 변화에 대해 성능 변화가 덜 민감한 트랜지스터를 선택하고, 허용되는 CNT 밀도 범위를 제안하였다. 분석 결과, SRAM 내 비트라인에 연결된 2개의 트랜지스터의 CNT 밀도가 6/32nm에서 8/32nm로 변경되더라도 SRAM 성능 편차는 9% 이하인 것으로 나타나고 CNT 밀도가 5/32nm 미만인 경우 SRAM 지연이 약 8배 이상 증가됨을 알 수 있었다.

Key words : SRAM, CNTFET, CNT, CNT Density, Cache

* Assistant Professor, Dept. of Electronic Engineering, Seokyeong University

★ Corresponding author

E-mail : choroot@skuniv.ac.kr, Tel : +82-2-940-7730

※ Acknowledgment

The EDA tool was supported by the IC Design Education Center(IDEC), Korea

Manuscript received Mar. 02, 2022; revised Mar. 23, 2022; accepted Mar. 28, 2022.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서론

무어의 법칙에 따라 반도체 소자의 크기가 지속적으로 감소하는 상황에서 반도체 소자 스케일링의 한계에 대한 관심이 점점 높아지고 있다. 기존 실리콘 기반 반도체 소자의 성능을 향상시키기 위해 반도체 소자의 크기를 지속적으로 줄일 경우 단채널 효과 또는 게이트 산화물 터널링 등으로 인해 기존 반도체 소자의 성능이 현저히 감소하는 문제가 있어 이를 극복하기 위한 연구가 활발히 진행 중이다. 이러한 상황에서 CNT(Carbon NanoTube)가 가지고 있는 높은 캐리어 이동도, 열전도성, 우수한 유연성과 안정성, 그리고 우수한 정전기 게이트 제어 능력은 가까운 미래에 차세대 반도체의 성능을 향상시킬 수 있는 소중한 장점으로 평가받고 있다. CNT를 반도체 소자에 활용할 경우, 5nm 기술 노드(technology node)를 넘어서는 높은 성능과 함께 생체전자, 웨어러블 기기, 전자 피부, 시냅스, 인공 근육용 뇌-기계 인터페이스, 그리고 코로나 바이러스 감지 센서와 같은 다양한 분야에 적용할 수 있어 앞으로 다가 올 4차 혁명 시대의 IoT 분야에서 중요한 역할을 할 수 있을 것으로 기대된다 [1]-[6].

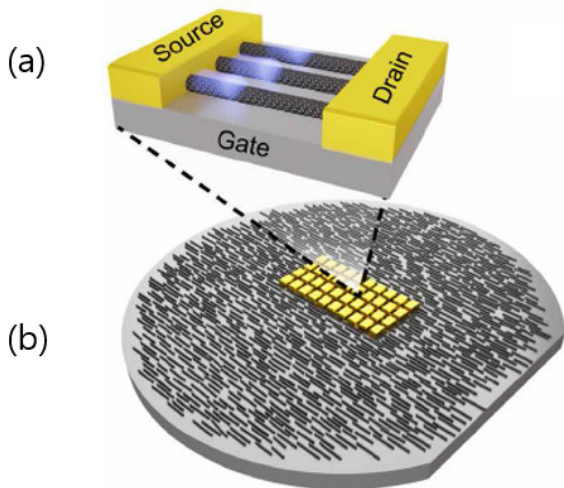


Fig. 1. (a) CNTFET (b) CNTFET fabricated on the wafer [7].
그림 1. (a) CNTFET (b) 웨이퍼 위에 만들어진 CNTFET [7]

II. 본론

1. CNTFET

CNT를 활용한 대표적인 반도체 소자인CNTFET (Carbon NanoTube Field Effect Transistor)은 그림

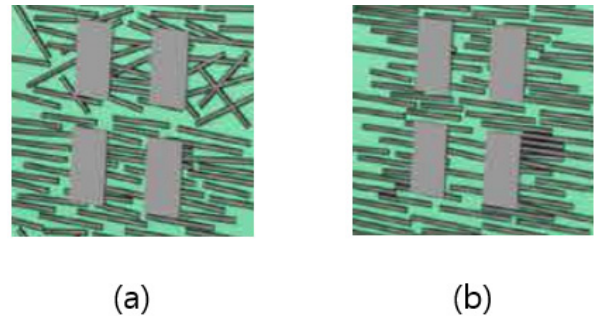


Fig. 2. (a) directionally misaligned CNTs (b) directionally aligned CNTs [7].
그림 2. (a) 방향성 있게 정렬되지 못한 CNT 무리 (b) 방향성 있게 정렬된 CNT 무리 [7]

1의 (a)와 같이 반도체 소자의 소스(source)와 드레인(drain) 사이에 CNT를 배치시킨 구조로 되어 있다. CNT는 전자의 ballistic 혹은 near-ballistic 이동이 가능한 성질을 가지고 있어 기존 반도체 소자보다 적은 면적에 높은 전류를 흐릴 수 있어 기존 실리콘 기반 반도체 소자 성능을 CV/I 측면에서 약 13배의 성능 향상시킬 수 있는 구조로 되어 있다. CNTFET 안에 CNT를 배치시키기 위해서는 일반적으로 그림 1의 (b)와 같이 웨이퍼 전체에 CNT를 배치시킨 후에 특정 영역에 대한 식각과 증착 과정을 통해 그림 1의 (a)와 같은 반도체 소자를 만들게 된다. 이러한 과정에서 이상적으로 CNT가 웨이퍼 전체에 일정한 방향과 밀도로 배치되면 좋겠지만, 일반적으로 CNTFET 공정을 거치면 그림 2의 (a)와 같이 CNT를 일정한 방향으로 배치하기 어렵다. 최근 공정의 발전으로 CNT 방향성을 향상시키는데 어느 정도 성공을 하여, 그림 2의 (b)와 같이 CNT의 방향성이 전체적으로 일정하게 배치된 모습을 보여주고 있으나, 방향성이 개선된 이후에도 CNT 밀도(일정한 면적 안에 배치되는 CNT 수나 CNT 사이의 거리)가 일정하지 않아 현실적으로 그림 1의 (a)와 같이 정확하고 일정한 밀도로 CNT를 CNTFET 안에 배치시키는데 어려움을 겪고 있다[7]-[10].

2. CNTFET SRAM

앞서 언급한 CNTFET의 높은 성능과 다양한 장점에도 불구하고 CNTFET 공정의 한계로 인해 아직 회로 복잡도가 높은 CNTFET 칩 구현은 어려운 부분이 있다. 이러한 상황에서 최근 CNTFET을 활용한 SRAM 디자인에 점점 높은 관심이 모아지고 있다. 일반적으로 SRAM은 다른 회로에 비해 트랜지스터의 수가 적고 SRAM 셀을 규칙적으로 배치하여 마이크로프로세서 안에서 캐시 메모리

모리를 구성하기 때문에 앞서 언급한 CNTFET 공정에서 유리한 측면이 있다. 마이크로프로세서에서 캐시는 빠른 프로세싱 유닛과 상대적으로 느린 외부 메모리를 연결하는 회로 블록으로서 높은 캐시 히트 레이트(cache hit rate)를 확보하기 위해 그 크기가 점점 커지고 있는 상황이지만 기존 실리콘 기반 반도체 소자로 캐시를 구성할 경우 캐시의 속도와 에너지 효율성을 모두 확보하기에 점점 어려운 상황에 있다. 이러한 상황에서 기존 실리콘 기반 트랜지스터 보다 좁은 면적에 높은 "ON" 전류와 낮은 "OFF" 누설 전류를 가진 CNTFET은 미래의 캐시 제작을 위한 반도체 소자로 점점 더 많은 관심을 받고 있다[11]-[15].

3. CNTFET SRAM 부분 밀도

앞서 언급한 바와 같이 CNTFET 공정에서 CNTFET의 면적과 CNT 밀도는 중요한 변수 중 하나이다. 이러한 CNTFET 면적과 CNT 밀도에 따른 CNTFET SRAM 성능을 검토한 기존 연구[15]를 보았을 때, CNTFET으로 SRAM을 구성할 경우, 기존 실리콘 반도체 소자로 구성된 SRAM보다 읽기 속도와 읽기 파워에서 각각 약 2.17배와 약 20.5배의 성능 향상이 있음을 알 수 있었고, 쓰기 속도와 쓰기 파워에서 각각 약 1.13배와 약 2.15배의 성능 향상이 있음을 알 수 있었다. 하지만, [15]에서의 CNT 밀도 변화는 SRAM 셀 전체에 대한 CNT 밀도의 변화이기 때문에 그림 2의 (b)와 같이 부분적인 CNT 밀도의 변화를 반영하지 못했다. 현재까지 개발된 CNTFET 공정에서는 그림 1의 (b)와 같이 전체적으로 불균일하게 배치된 CNT 영역에서 일부 영역을 선택하여 CNTFET을 만들어야 하기 때문에 선택된 위치와 영역에 따라 CNTFET의 크기와 CNTFET에 포함되는 CNT 밀도가

다를 수밖에 없다. 따라서, CNT 공정 편차에 따른 CNTFET SRAM 성능을 현실적으로 평가하기 위해서는 SRAM을 구성하는 개별 트랜지스터의 크기와 CNT 밀도에 대한 검토가 필요하다[7]-[10][15].

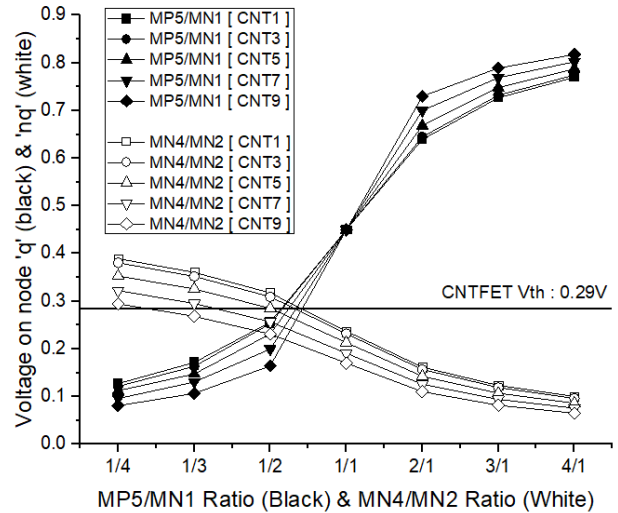


Fig. 4. Voltage on node 'nq' and 'q' depending on MN4/MN2 and MP5/MN1 Ratio respectively [15].
 그림 4. MN4/MN2 그리고 MP5/MN1 비율에 따른 'nq' 그리고 'q' 노드 전압 [15]

이를 위해 본 논문에서는 그림 3과 같은 6T SRAM 셀을 기반으로 기존 연구[15] 결과를 참고하여 그림 3의 개별 트랜지스터(MN1, MN2, MN3, MN4, MP5, 그리고 MP6)의 크기와 CNT 부분 밀도에 따른 CNTFET SRAM 셀의 성능 변화를 검토해 보고자 한다. 시뮬레이션을 위해 CNTFET 회로의 성능 평가를 위해 오랫동안 사용되었던 스탠포드 대학교의 CNFET 라이브러리 파일 [16] 사용하였으며, 그림 3의 트랜지스터가 CNTFET 소자임을 나타내기 위해 각각의 트랜지스터에 CNT를 상징하는 원기둥을 그려 넣었다. 그려 넣은 CNT가 P-CNT 그리고 N-CNT임을 나타내기 위해 각각의 원기둥을 흰색 그리고 회색으로 표시하였다.

SRAM 디자인의 기본은 SRAM의 고유한 기능인 읽기와 쓰기가 가능한 회로 디자인이다. 즉, SRAM에 저장된 값을 읽는 중에 그 값이 변하지 않도록 노드 'nq' 값은 CNTFET 임계 전압 값보다 낮게 디자인해야 하고, SRAM에 새로운 값을 기록하는 중에 기존 값이 변하도록 노드 'q'의 값은 CNTFET 임계 전압 값보다 높게 디자인해야 한다. 이를 논하기 위해, [15]로부터 MOSFET을 제외한 CNTFET의 MP5/MN1 비율과 MN4/MN2 비율에 따른 노드 'q'와 'nq' 전압값을 그림 4와 같이 표

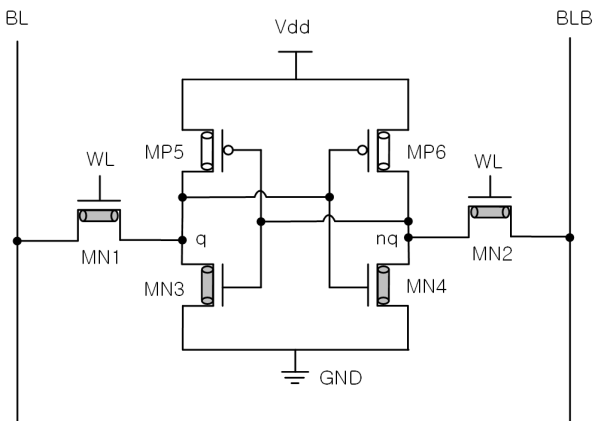


Fig. 3. SRAM Cell.
 그림 3. SRAM 셀

현하였다.

그림 4로부터 MN1과 MN2의 크기와 CNT 밀도에 대해서 논의하면, MN1과 MN2의 크기를 다른 트랜지스터(MN3, MN4, MP5, 그리고 MP6)보다 크게 가져가면(그림 4에서 x축 값이 1/4, 1/3, 그리고 1/2 인 경우) 앞서 언급한 노드 'q'와 노드 'nq'의 전압 조건을 만족하지 않기 때문에 트랜지스터가 동작하지 않을 가능성이 높다. 반대로 다른 MN3, MN4, MP5, 그리고 MP6의 크기를 다른 트랜지스터(MN1과 MN2) 보다 크게 가져가는 경우(그림 4에서 x축 값이 2/1, 3/1, 그리고 4/1인 경우), 일반적으로 MN1과 MN2가 큰 gate width를 가지는 4개의 트랜지스터를 구동해야하기 때문에 주어진 클럭 안에서 SRAM이 구동하지 못해 시뮬레이션을 진행하지 못한다.

따라서, 본 논문에서는 모든 트랜지스터의 크기를 동일하게 설정한 상황에서 MN1과 MN2의 밀도를 증가시키는 분석을 진행하고자 한다. 이러한 트랜지스터 크기 설정은 [15]에서도 동일하게 적용한 설정이고, 이 크기에서 CNT 밀도를 변화시키더라도 그림 4와 같이 'q' 전압 값은 거의 변하지 않고, 'nq' 전압 값은 변하더라도 CNTFET 임계 전압 값보다 낮은 값에서 변하고 있기 때문에 MN1과 MN2의 밀도를 자유롭게 변화시켜도 CNTFET SRAM 셀의 동작에는 문제가 없음을 알 수 있다. 본 논문에서 CNT 밀도는 [15]에서와 같이 32nm

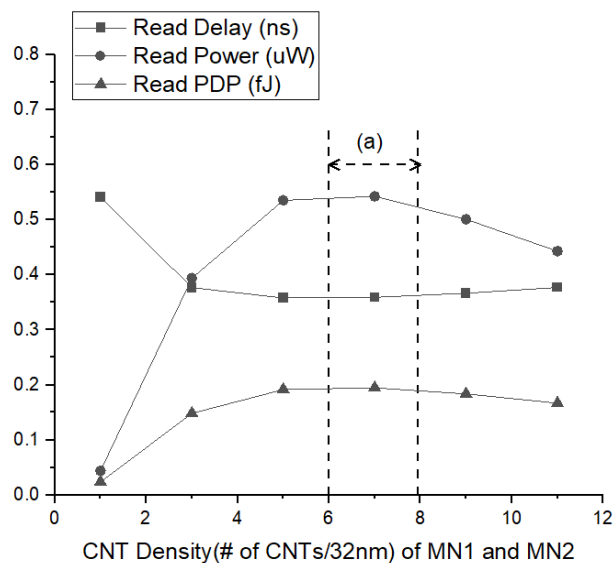


Fig. 5. Read delay, power, and PDP when CNT density of MN1 and MN2 is increased.

그림 5. MN1과 MN2의 CNT 밀도가 증가할 때 읽기 지연, 파워, 그리고 PDP

gate width 안에 몇 개의 CNT가 배치되었는가(# of CNTs/32nm)를 기준으로 하였다.

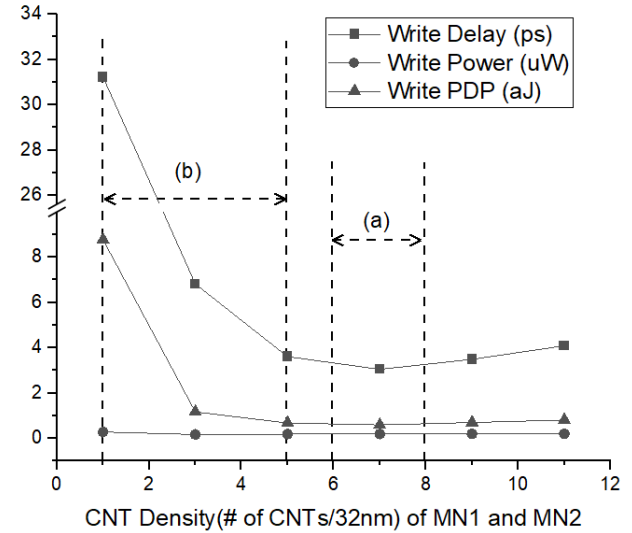


Fig. 6. Write delay, power, and PDP when CNT density of MN1 and MN2 is increased.

그림 6. MN1과 MN2의 CNT 밀도가 증가할 때의 쓰기 지연, 파워, 그리고 PDP

시뮬레이션 결과, MN1 그리고 MN2의 CNT 밀도를 올렸을 때, CNTFET SRAM의 읽기(쓰기) 구동의 지연, 파워, 그리고 PDP 값은 그림 5(그림 6)와 같다. 우선 읽기 동작의 지연, 파워, 그리고 PDP 값을 보면, 그림 5의 (a) 영역과 같이 CNT 밀도가 6/32nm에서 8/32nm 사이일 때 SRAM의 읽기 지연, 파워, 그리고 PDP 값은 각각 0.592%, 2.245%, 그리고 1.832%로 변화였고, 쓰기 동작의 지연, 파워, 그리고 PDP 값을 보면, 그림 6의 (a) 영역과 같이 CNT 밀도가 6/32nm에서 9/32nm 사이일 때 SRAM의 쓰기 지연, 파워, 그리고 PDP 값은 각각 8.159%, 1.749%, 그리고 7.784%로 변화였다. 이러한 결과는 CNTFET SRAM을 설계할 때, CNT 밀도를 불필요하게 6/32nm보다 높게 설정할 필요가 없음을 보여주지만, 앞서 언급한 CNTFET 공정을 고려하면, CNT 밀도가 6/32nm에서 8/32nm사이에서 변화여도 CNTFET SRAM의 성능은 최대 9% 미만에서 변함을 나타내기 때문에 CNTFET 공정 편차에 좀 더 강건한 CNTFET SRAM을 만들 수 있음을 알 수 있다. 추가로, CNT 밀도가 5/32nm 미만으로 작아졌을 때, 쓰기 동작의 경우, 그림 6과 같이 SRAM 지연이 약 8배 이상 급격하게 증가하는 경향이 있기 때문에 CNTFET 공정 중 웨이퍼 상에서 MN1과 MN2의 영역을 정할 때 CNT 밀도가

5/32nm 미만이 되지 않도록 공정을 관리해야 함을 알 수 있다.

III. 결론

뛰어난 성능과 넓은 활용성에도 불구하고 CNTFET의 공정은 아직 충분히 성숙하지 못한 상황에 있어 이를 극복하기 위한 추가 분석과 연구가 필요한 상황이다. 본 논문에서는 CNTFET 공정에서 웨이퍼상에 배치된 CNT의 부분 밀도가 CNTFET SRAM의 성능에 미치는 영향을 분석하여 CNTFET 공정시 허용될 수 있는 CNT 밀도 범위를 제시하였다. 연구 결과 6T SRAM에서 비트라인과 연결된 두 개의 트랜지스터의 CNT 밀도는 6/32nm에서 8/32nm까지 변화여도 SRAM 성능 편차가 최대 9% 미만을 보여주고 있고, CNT 밀도가 5/32nm 미만으로 작아졌을 경우, SRAM 지연은 8배 이상 증가함을 보여주고 있다. 본 연구 결과를 CNTFET SRAM 설계 및 공정시 활용한다면 가까운 미래에 CNTFET 공정 편차에 덜 영향 받는 CNTFET 칩 생산에 도움이 될 수 있을 것으로 기대한다.

References

[1] Zou, et al., "Advances and Frontiers in Single-Walled Carbon Nanotube Electronics," *Advanced Science*, vol.8, no.23, 2021.
DOI: 10.1002/advs.202102860

[2] L. Xu et al., "Can Carbon Nanotube Transistors Be Scaled Down to the Sub-5 nm Gate Length?," *ACS Applied Materials & Interfaces*, vol.13, no.27, pp.31957-31967, 2021.
DOI: 10.1021/acsmi.1c05229

[3] Pang et al., "Applications of Carbon Nanotubes in the Internet of Things Era," *Nano-Micro Letters*, vol.13, no.1, 2021.
DOI: 10.1007/s40820-021-00721-4

[4] L. Fan et al., "Stretchable Carbon Nanotube Thin-Film Transistor Arrays Realized by a Universal Transferable-Band-Aid Method," *IEEE Transactions on Electron Devices*, vol.68, no.11, pp.5879-5885, 2021. DOI: 10.1109/TED.2021.3114140

[5] H. Wan et al., "Multimodal Artificial Neurological

Sensory-Memory System Based on Flexible Carbon Nanotube Synaptic Transistor," *ACS Nano*, vol.15, no.9, pp.14587-14597, 2021.

DOI: 10.1021/acsnano.1c04298

[6] M. A. Zamzami et al., "Carbon nanotube field-effect transistor (CNT-FET)-based biosensor for rapid detection of SARS-CoV-2 (COVID-19) surface spike protein S1," *Bioelectrochemistry*, vol.143, 2022. DOI: 10.1016/j.bioelechem.2021.107982

[7] K. R. Jinkins et al., "Aligned 2D carbon nanotube liquid crystals for wafer-scale electronics," *Science Advances*, vol.7, no.37, 2021.

DOI: 10.1126/sciadv.abh0640

[8] J. Deng et al., "A Compact SPICE Model for Carbon-Nanotube Field-Effect Transistors Including Nonidealities and Its Application-Part I: Model of the Intrinsic Channel Region," *IEEE Transactions on Electron Devices*, vol.54, no.12., pp.3186-3194, 2007. DOI: 10.1109/TED.2007.909030

[9] J. Deng and H.-S. P. Wong, "A Compact SPICE Model for Carbon-Nanotube Field-Effect Transistors Including Nonidealities and Its Application-Part II: Full Device Model and Circuit Performance Benchmarking," *IEEE Transactions on Electron Devices*, vol.54, no.12, pp.3195-3205, 2007. DOI: 10.1109/TED.2007.909043

[10] Nishant Patil, et al., "Design Methods for Misaligned and Mispositioned Carbon Nanotube Immune Circuits," *IEEE Transactions on Computer Aided Design of Integrated Circuits and Systems*, vol.27, no.10, pp.1725-1736, 2008.

DOI: 10.1109/TCAD.2008.2003278

[11] B. R. Muthu et al., "Design and Analysis of Soft Error Rate in FET/CNTFET Based Radiation Hardened SRAM Cell," *Sensors*, vol.22, no.1, 2021. DOI: 10.3390/s22010033

[12] D. Xu et al., "Taming Process Variations in CNFET for Efficient Last-Level Cache Design," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, pp.1-14, 2021.

DOI: 10.48550/arXiv.2108.05023

[13] D. Kim et al., "An SRAM Compiler for Monolithic-3-D Integrated Circuit With Carbon

Nanotube Transistors," *IEEE Journal on Exploratory Solid-State Computational Devices and Circuits*, vol.7, no.2. pp.106-114, 2021.

DOI: 10.1109/JXCDC.2021.3120715

[14] A. Darabi et al., "Newly energy efficient SRAM bit-cell using GAA CNT-GDI method with asymmetrical write and built-in read-assist schemes for QR code-based multimedia applications," *Microelectronics Journal*, vol. 114., 2021.

DOI: 10.1016/j.mejo.2021.105117

[15] G. Cho, "A Study on the Circuit Design Method of CNTFET SRAM Considering Carbon Nanotube Density," *Journal of IKEEE*, vol.25, no.3, pp.473-478, 2021. DOI: 10.7471/ikeee.2021.25.3.473

[16] CNFET Models. <https://nano.stanford.edu/stanford-cnfet-model>

BIOGRAPHY

Geunho Cho (Member)



2004 : BS degree in Electronic Engineering, Sogang University.

2006 : MS degree in Electronic Engineering, Sogang University.

2012 : PhD degree in Electrical Engineering, Northeastern University.

2012~2017 : Senior Engineer, Samsung Display.

2017~present : Assistant Professor, Seokyeong University.