

RF Sputtering 공정법을 이용해 증착한 Te 기반 박막 및 박막 트랜지스터의 공정 변수에 따른 전기적 특성 평가

이규리, 김현석 

충남대학교 신소재공학과

Effect of Working Pressure Conditions during Sputtering on the Electrical Performance in Te Thin-Film Transistors

Kyu Ri Lee and Hyun-Suk Kim

Department of Materials Science and Engineering, Chungnam National University, Daejeon 34134, Korea

(Received September 24, 2021; Revised November 17, 2021; Accepted November 24, 2021)

Abstract: In this work, the effect of sputtering working pressure for the tellurium film and its thin-film transistor was investigated. The transfer characteristics of tellurium thin-film transistors were improved by increasing the working pressure during sputtering process. As increasing working pressure, physical and optical properties of Te films such as crystallinity, transmittance, and surface roughness were improved. Therefore, the improved transfer characteristics of Te thin-film transistors may originate from both improved interface properties between the silicon oxide gate dielectric layer and the tellurium active layer with an improved quality of Te film. In conclusion, the control of working pressure during sputtering would be important for obtaining high-performance tellurium-based thin film transistor

Keywords: Tellurium, Thin-film transistors, Surface roughness, Sputtering, P-type semiconductor

최근 전자소자 산업이 빠르게 발달함에 따라 기존의 국부적인 형태에서 벗어나 대면적 제조 및 저온 공정이 가능한 집적회로 개발의 필요성이 높아지고 있다 [1]. 그러나 기존의 complementary metal-oxide-semiconductor (CMOS) 집적회로 기술은 실리콘을 기반으로 이루어지며, 실리콘 기판의 직접사용 및 높은 공정 온도 등으로 인하여 대면적화가 매우 어려운 편이다. 따라서 기존 실리콘 기반 기술을 대체하고 대면적 제조가 가능한 기술의 요구가 점차 증대되고 있다.

이러한 요구를 충족시킬 수 있는 소재로써, 유기소재 기반 반도체와 산화물계 반도체가 주목받고 있다. 그러나 유기소재 기반 반도체의 경우 그 전계 효과 이동도가 $1 \text{ cm}^2/\text{Vs}$ 수준으로 매우 낮으며, 유기재료의 특성상 근본적인 불안정성 문제를 가지고 있다 [2-4]. In-Ga-Zn-O로 대표되는 산화물계 반도체의 경우, 쉽게 $10 \text{ cm}^2/\text{Vs}$ 이상의 높은 전자 이동도를 확보할 수 있으며, 비정질 구조의 특성상 결정립계가 존재하지 않아 대면적 제조에 매우 유리한 장점을 가지고 있다 [5-7]. 그러나 대부분의 산화물계 반도체는 국부화된 가전자대로 인해 대부분 열악한 홀 이동도 특성을 보이고 있는 실정이다. 따라서 이러한 문제를 해결할 수 있는 새로운 반도체의 개발이 절실하다.

이러한 상황에서, 최근 텔루륨(tellurium, Te) 이 높은 홀 이동도를 가지면서 동시에 대면적 증착이 가능한 소재

✉ Hyun-Suk Kim, khs3297@cnu.ac.kr

Copyright ©2022 KIEEME. All rights reserved.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

로 각광받고 있다 [8-10]. Te는 매우 높은 홀 이동도를 가질 수 있으며, 열 증발 증착과 같은 진공증착법으로 증착이 가능하여 대면적화에 유리할 것으로 보고되었다. 그러나 고성능의 Te 활성층 확보를 위해 분자 빔 에피택시 공정을 사용하거나 [8], 매우 낮은 온도에서 증착해야 하는 등의 문제를 가지고 있다 [9].

본 연구에서는, 이러한 Te 대면적 증착 관점에서의 문제를 해결하고자 스퍼터링 법을 이용하여 Te 박막을 증착하고, 이를 기반으로 하는 박막 트랜지스터를 제조하여 전기적 특성을 평가하였다. 스퍼터링 공정 중 공정 압력을 변수로 하여 공정 압력 변화가 Te 박막 및 박막 트랜지스터에 주는 영향을 조사하였다. Te 박막 트랜지스터의 전기적 특성은 공정 압력이 증가할수록 개선되었으며, 원자간력 현미경을 통한 표면 구조 분석 결과 Te 박막 증착 중 공정 압력이 증가할수록 표면 거칠기가 크게 감소하는 것을 확인하였다. 결과적으로, Te 박막 트랜지스터의 높은 공정 압력에서의 개선된 전기적 특성은 개선된 Te와 게이트 절연막 간의 계면 특성인 것으로 볼 수 있다.

본 연구에서는 고주파 스퍼터링 법을 이용하여 Te 박막을 증착하였다. Te 타겟을 이용, 상온에서 증착을 진행하였고, 박막 증착 변수로는 공정 압력을 채택하였다. 공정 압력은 10 mTorr, 13 mTorr, 그리고 15 mTorr 세 조건으로 설정하였다. 고주파 전력은 15 W로 고정하였으며, 증착을 위한 아르곤 가스는 20 sccm으로 설정하였다. 모든 Te 박막의 두께는 10 nm로 고정하여 공정압력에 의한 효과만을 평가하였다. 또한, Te 박막 후 후열처리는 진행하지 않았다.

다음으로, Te 기반 박막 트랜지스터는 SiO₂/p⁺⁺Si 기판을 이용하여 제조하였다. 게이트 절연막인 SiO₂의 두께는 100 nm였으며, 소오스-드레인으로써 100 nm의 금 전극을 증착하였다. 트랜지스터 제조를 위한 활성층과 소오스-드레인의 패터닝 공정을 웨도우 마스크를 이용해 진행하였으며, 활성층의 width/length는 각각 800 μm, 200 μm이다. 제작된 Te 박막 트랜지스터의 전기적 특성은 Keithely 4200 series 계측기를 이용하여 암실 및 대기 중에서 평가하였으며, -50 ~ 0 V의 게이트 전압 범위 및 -10 V의 드레인 전압에서 측정을 진행하였다.

그림 1은 Te 박막을 활성층으로 하는 박막 트랜지스터의 증착 중 공정 압력에 따른 전달 특성 측정 결과를 나타낸다. 증착 중 공정 압력에 관계없이 모든 Te 박막 트랜지스터는 전기적으로 p형 거동을 나타내었다. 전기적 특성 평가 결과, 공정 압력의 변화에 따라 그 특성이 크게 변화하였다. 가장 낮은 공정 압력인 10 mTorr의 경우, 전도성이 매우 높아 스위칭 특성이 거의 나타나지 않았다. 반면,

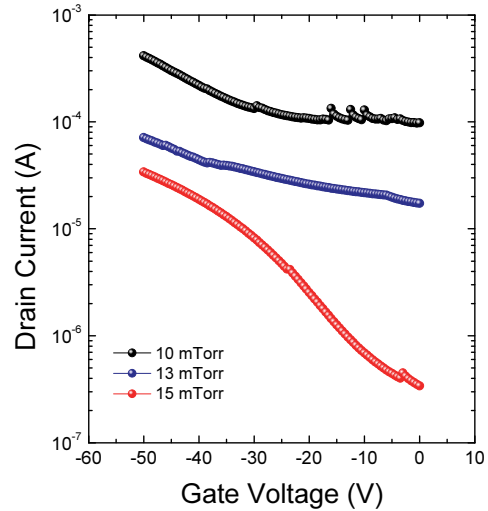


Fig. 1. Transfer curves of Te thin-film transistors with various working pressure during sputtering.

Table 1. Representative transfer parameters of Te thin-film transistors.

Working pressure	μ_{FE} (cm ² /Vs)	S.S. (V/dec)	V _{th} (V)	I _{ON} /I _{OFF}
10 mTorr	N/A	N/A	N/A	N/A
13 mTorr	6.4	N/A	-18.3	< 10
15 mTorr	2.3	16.3	-15.9	~ 10 ²

공정 압력이 증가할수록 전달 특성은 개선되었으며, 가장 높은 공정 압력인 15 mTorr에서 가장 우수한 10² 수준의 전류점멸비를 보였다. 그러므로, 스퍼터링 증착 중 공정 압력이 높아질수록 전달 특성 또한 좋아지는 것으로 볼 수 있다. 공정 압력 변화에 따른 Te 박막 트랜지스터의 추출된 전달 매개 변수를 표 1에 도시하였다.

이러한 증착 중 공정 압력의 변화에 따라 발생하는 전달 특성 개선의 원인을 알기 위해 Te 박막의 분석을 수행하였다. 먼저, X-선 회절 분석을 통해 공정 압력 변화가 Te 박막의 결정 구조에 어떠한 영향을 주는지 조사하였다. 그림 2에 Te 박막의 공정 압력에 따른 X-선 회절 패턴 분석 결과를 도시하였다. 일반적으로 Te는 공유결합성 물질로, Si와 유사한 결합을 가지는 것으로 알려져 있다. X-선 회절 분석 결과, 모든 박막은 (100), (101), (110), (003) peak 등을 가지는 다결정 구조로 확인되었다 [11]. 공정 압력이 증가함에 따라 (110), (003) peak 이 강화되는 것으로 보인다. 공정 압력에 따라 결정성이 향상되는 것으로 보이며, 이는 Te 박막 트랜지스터의 전기적 특성이 우수한 이유 중 하나이다.

다음으로, 공정 압력 변화에 따라 증착한 Te 박막의 광학적 특성을 분석하기 위해 각 박막의 투과도를 측정하고, 그 결과를 그림 2에 도시하였다. 투과도는 자외선 (200 nm) 영역부터 적외선 (1,000 nm) 영역 내에서 측정하였으며, 가시광 범위 내 (400 - 800 nm)에서 공정 압력에 관계없이 모든 Te 박막은 매우 낮은 투과도를 보였다. 이는 Te 박막의 매우 작은 밴드갭 (~ 0.3 eV)으로 인한 것으로 볼 수 있다 [9]. 투과도 측정 및 분석 결과, 공정 압력이 증가하는 경우, 투과도가 점차적으로 증가하는 모습을 확인할 수 있다. 투과도는 박막 내부의 결함과 연관이 있다. 투과도가 높을 경우, 박막 내의 결함이 적은 것으로 생각될 수 있다. 적은 결함은 Te 박막 트랜지스터의 전기적 특성이 우수한 주 원인 중 하나이다.

일반적인 박막 트랜지스터의 전기적 수송 특성 거동을 고려하였을 때, 박막 트랜지스터의 전기적 특성은 크게 두 가지에 의존한다고 볼 수 있으며, 이는 다음과 같다.

- i) 활성층으로 작용하는 반도체 소재의 전기적 특성 (결함 및 캐리어 농도 등) [12]

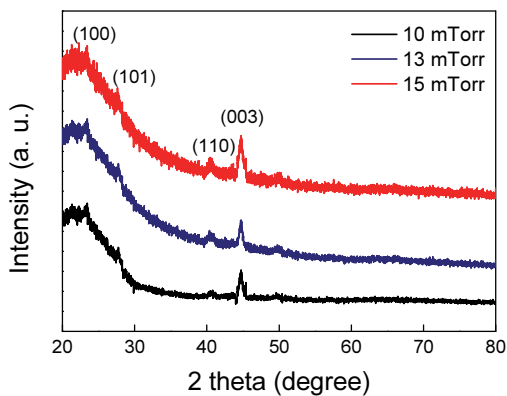


Fig. 2. X-ray diffraction patterns of sputter-deposited Te films.

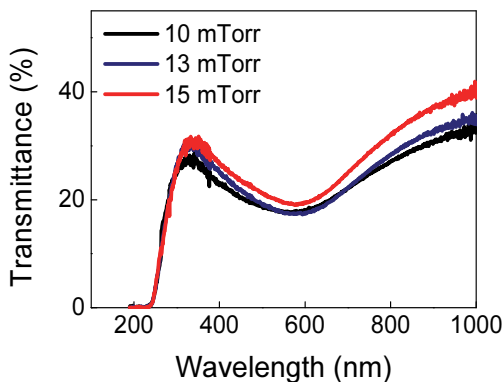


Fig. 3. Transmittance spectra of Te films with various working pressure.

- ii) 활성층/게이트 절연막 간의 계면 특성 [13]

앞선 Te 박막의 X-선 회절 및 투과도 측정 결과, 공정 압력에 따라 결정성이 증가하며, 투과도가 증가하는 것으로 확인되었다. 공정 압력이 증가함에 따라 Te 박막의 질이 좋아져 전기적 특성이 우수한 것으로 분석되었다. 이에 더 나아가 박막 트랜지스터의 전기적 특성에 영향을 미치는 요소 중 하나인 활성층/게이트 절연막 간의 계면 특성에 대한 추가적인 분석을 진행하였다.

Te와 SiO₂의 계면 특성을 분석하기 위해 원자간력 현미경 분석을 수행하였다. 그림 4는 SiO₂ 절연막 위에 증착한 Te 박막의 공정 압력 변화에 따른 표면 구조 분석 결과를 보여준다. 원자간력 현미경 분석에 따른 각 박막의 계산된 표면 거칠기는 각각 2.57 nm, 0.68 nm, 0.52 nm로 공정 압력이 증가할수록 표면 거칠기가 크게 감소하는 것으로 나타났다. 정공은 활성층/게이트 절연막의 계면에서 채널을 통해 이동하기 때문에 거칠기는 박막 트랜지스터의 전

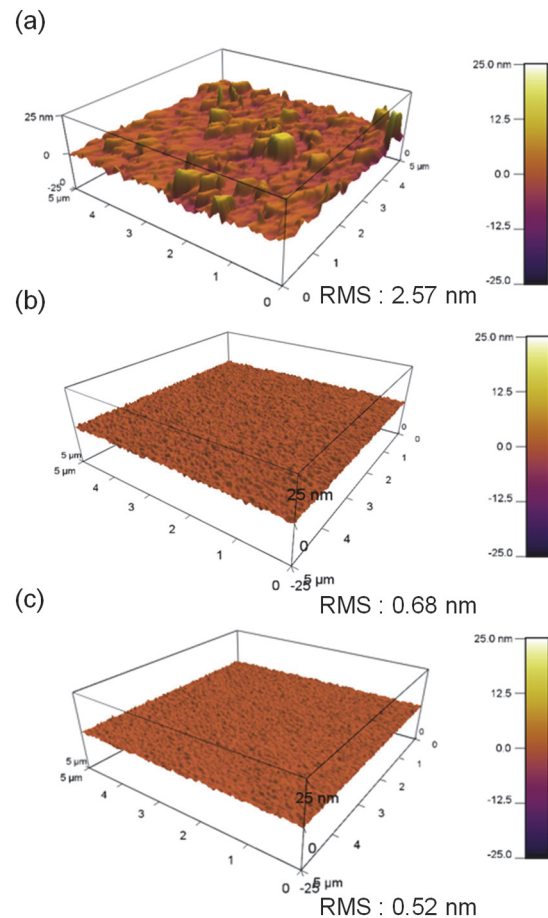


Fig. 4. The AFM images and calculated root-mean-square values of Te films deposited at (a) 10 mTorr, (b) 13 mTorr, and (c) 15 mTorr.

기적 특성에 직접적으로 영향을 미치는 요소이다. 따라서 낮은 거칠기를 가지는 높은 공정 압력의 Te 박막 트랜지스터는 우수한 전기적 특성을 가진다.

스퍼터링 공정 중 공정 압력이 낮을 경우, 타겟 원자의 mean free path가 증가하게 되고, 타겟에 인가된 전력이 동일한 경우 높은 공정 압력에서 보다 더 높은 운동에너지를 가질 수 있다 [14]. 따라서 공정 압력이 상대적으로 낮은 조건인 10 mTorr의 경우, 상대적으로 높은 운동에너지를 가지는 Te 원자에 의해 SiO₂ 표면에 강한 ion bombardment가 발생하는 것으로 볼 수 있다. 공정 압력이 낮을 경우, 높은 운동 에너지로 인해, 박막이 빠르게 성장돼, 박막 내부의 결함이 많으며, grain size가 크며, 결정성이 작으며, 표면이 거칠게 된다. 그러므로, mean free path가 상대적으로 작으며, 운동에너지가 작은 조건인 15 mTorr의 공정 압력에서 더 매끄러운 표면이 형성되었다고 볼 수 있다. 결론적으로, 증가한 공정 압력에 의해 박막의 물리적 특성(결정성, 내부 결함, 거칠기)이 개선됨으로써 Te 박막 트랜지스터의 전기적 특성이 향상되었다고 할 수 있다. 따라서 증착 변수 중 하나인 공정 압력은 고성능의 Te 박막 트랜지스터를 구현하는데 중요한 요소인 것으로 사료된다.

본 연구에서, 스퍼터링 증착 중 공정 압력의 변화가 Te 박막 및 이를 기반으로 하는 박막 트랜지스터의 전기적 특성에 끼치는 영향에 대해 조사하였다. Te 증착 중 공정 압력은 10 mTorr에서 15 mTorr까지 변화시켰으며, 이를 X-선 회절 및 원자간력 현미경과 같은 방법으로 분석하였다. X-선 회절 결과, 박막의 결정성은 압력이 증가함에 따라 약 1.5배까지 증가하는 것을 확인하였다. 투과도 또한 압력이 증가함에 따라 800 nm 파장에서 24%에서 29%로 증가하는 것으로 나타났다. AFM 결과, 압력이 증가함에 따라 RMS 거칠기 값이 2.57 nm (10 mTorr), 0.68 nm (13 mTorr), 0.52 nm (15 mTorr)로 감소하는 것으로 나타났다. 분석 결과 공정 압력의 변화는 Te 박막 내부 결함 밀도와 같은 자체적인 물성뿐만 아니라 게이트 절연막과의 계면 특성에도 영향을 미치는 것으로 확인되었다. 공정 압력이 높을 경우 Te 박막 트랜지스터의 전기적 특성이 가장 좋았는데, 이는 줄어든 ion bombardment에 의해 개선된 Te의 물리적 특성 때문이다. 따라서 스퍼터링 증착 중 공정 압력이 고성능의 Te 기반 박막 및 박막 트랜지스터를 구현하는 데 중요한 변수 중 하나라고 할 수 있다.

감사의 글

This work was supported by research fund of Chungnam National University.

REFERENCES

- [1] Z. Wang, P. K. Nayak, J. A. Caraveo-Frescas, and H. N. Alshareef, *Adv. Mater.*, **28**, 3831 (2016). [DOI: <https://doi.org/10.1002/adma.201503080>]
- [2] B. Kumar, B. K. Kaushik, and Y. S. Negi, *Polym Rev*, **54**, 33 (2014). [DOI: <https://doi.org/10.1080/15583724.2013.848455>]
- [3] U. Zschieschang and H. Klauk, *J. Mater. Chem. C*, **7**, 5522 (2019). [DOI: <https://doi.org/10.1039/C9TC00793H>]
- [4] H. Matsui, Y. Takeda, and S. Tokito, *Org. Electron*, **75**, 105432 (2019). [DOI: <https://doi.org/10.1016/j.orgel.2019.105432>]
- [5] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, *Nature*, **432**, 488 (2004). [DOI: <https://doi.org/10.1038/nature03090>]
- [6] H. Hosono, *J Non Cryst Solids*, **352**, 851 (2006). [DOI: <https://doi.org/10.1016/j.jnoncrsol.2006.01.073>]
- [7] J. S. Park, W. J. Maeng, H. S. Kim, and J. S. Park, *Thin Solid Films*, **520**, 1679 (2012). [DOI: <https://doi.org/10.1016/j.tsf.2011.07.018>]
- [8] G. Zhou, R. Addou, Q. Wang, S. Honari, C. R. Cormier, L. Cheng, R. Yue, C. M. Smyth, A. Laturia, J. Kim, W. G. Vandenberghe, M. J. Kim, R. M. Wallace, and C. L. Hinkle, *Adv. Mater.*, **30**, 1803109 (2018). [DOI: <https://doi.org/10.1002/adma.201803109>]
- [9] C. Zhao, C. Tan, D. H. Lien, X. Song, M. Amani, M. Hettick, H. Y. Y. Nyein, Z. Yuan, L. Li, M. C. Scott, and A. Javey, *Nat. Nanotechnol.*, **15**, 53 (2020). [DOI: <https://doi.org/10.1038/s41565-019-0585-9>]
- [10] M. Naqi, K. H. Choi, H. Yoo, S. Chae, B. J. Kim, S. Oh, J. Jeon, C. Wang, N. Liu, S. Kim, and J. Y. Choi, *NPG Asia Mater.*, **13**, 46 (2021). [DOI: <https://doi.org/10.1038/s41427-021-00314-y>]
- [11] M. Mayilmurugan, S. Kaipannan, M. Sathish, and S. Dhanuskodi, *RSC Adv.*, **10**, 13632 (2020). [DOI: <https://doi.org/10.1039/C9RA08692G>]
- [12] H. D. Kim, J. H. Kim, K. Park, J. H. Kim, J. Park, Y. J. Kim, and H. S. Kim, *ACS Appl. Mater. Interfaces*, **9**, 24688 (2017). [DOI: <https://doi.org/10.1021/acsami.7b03385>]
- [13] F. H. Chen, M. N. Hung, J. F. Yang, S. Y. Kuo, J. L. Her, Y. H. Matsuda, and T. M. Pan, *J Phys Chem Solids*, **74**, 570 (2013). [DOI: <https://doi.org/10.1016/j.jpcs.2012.12.006>]
- [14] D. G. Yang, H. D. Kim, J. H. Kim, S. W. Lee, J. Park, Y. J. Kim, and H. S. Kim, *Thin Solid Films*, **638**, 361 (2017). [DOI: <https://doi.org/10.1016/j.tsf.2017.08.008>]

ORCID

Hyun-Suk Kim

<https://orcid.org/0000-0003-4286-7027>