

고체 전해질 층의 어닐링 온도가 고분자 멤리스터의 전기적 특성에 미치는 영향

Effect of annealing temperature of solid electrolyte layer on the electrical characteristics of polymer memristor

김 우 석*, 노 은 경*, 권 진 혁**, 김 민 회**★

Woo-Seok Kim*, Eun-Kyung Noh*, Jin-Hyuk Kwon**, Min-Hoi Kim**★

Abstract

The effect of the annealing temperature of the poly(vinylidene fluoride-trifluoroethylene)(P(VDF-TrFE)) solid electrolyte layer on the electrical properties of the P(VDF-TrFE)-based memristor was analyzed. In morphological analyses, the P(VDF-TrFE) thin film with 200°C annealing temperature (200P(VDF-TrFE)) was shown to have surface roughness ≈ 5 times larger and thickness $\approx 20\%$ smaller than that with 100°C annealing temperature (100P(VDF-TrFE)). Compared to the 100P(VDF-TrFE) memristor (M100), the set voltage of the 200P(VDF-TrFE) memristor (M200) decreased by $\approx 50\%$ and the magnitude of its reset voltage increased by $\approx 30\%$. Moreover, M200 was found to have better memory retention characteristics than M100. These differences were attributed to relatively strong local electric fields inside M200 compared to M100. This study suggests the importance of the annealing temperature in polymer memristors.

요 약

Poly(vinylidene fluoride-trifluoroethylene)(P(VDF-TrFE)) 고체 전해질 층의 어닐링 온도가 고분자 멤리스터의 전기적 특성에 미치는 영향을 분석하였다. 형태적 분석에서 100°C 어닐링 온도를 갖는 P(VDF-TrFE) (100P(VDF-TrFE)) 박막 대비 200°C 어닐링 온도를 갖는 P(VDF-TrFE) (200P(VDF-TrFE)) 박막의 표면 거칠기가 약 5배 크고 두께는 약 20% 작은 것으로 나타났다. 100P(VDF-TrFE)를 갖는 멤리스터 (M100) 대비 200P(VDF-TrFE) 멤리스터 (M200)의 set voltage는 약 50% 감소하였고, reset voltage의 크기는 약 30% 증가하였다. 또한, M200이 M100보다 더 나은 메모리 유지 특성을 갖는 것으로 나타났다. 이러한 차이는 M100 대비 M200 내부의 강한 국소 전기장 때문인 것으로 판단된다. 본 연구는 고분자 멤리스터의 어닐링 온도의 중요성을 제시함에 의의가 있다.

Key words : annealing temperature, memristor, surface roughness, local electric field

* Dept. of Creative Convergence Engineering, Hanbat National University

** Research Institute of Printed Electronics & 3D Printing, Industry University Cooperation Foundation, Hanbat National University

★ Corresponding authors

E-mail : jhkwon@hanbat.ac.kr (J.-H. Kwon), mhkim8@hanbat.ac.kr (M.-H. Kim),

Tel : +82-42-821-1973 (M.-H. Kim)

Manuscript received Dec. 14, 2022; revised Dec. 20, 2022; accepted Dec. 22, 2022.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서론

저항의 값을 조절하여 메모리로 활용하는 멤리스터는 소자 구조가 단순하고 집적도가 높아 활발한 연구가 진행되고 있다[1, 2]. 금속 이온화 현상을 이용하는 전도성 필라멘트 멤리스터는 높은 전류 점멸비를 가지고 인공신경망 소자로 응용될 수 있는 장점을 가진다[3, 4]. 이러한 장점과 함께 저가 메모리에 대한 요구가 높아지고 있어서 간단하면서도 저가 공정이 가능한 용액공정으로 멤리스터를 제작하는 연구가 활발히 진행되어 왔다[5, 6, 7]. 이러한 공정 중, 고분자를 간단하게 스핀코팅하고 어닐링 하여 고체 전해질 층을 형성하는 공정이 활용되고 있다. H.-L. Park 등은 poly(methyl methacrylate) 소재를 활용하여 신뢰성을 향상시키기 고분자 계면 층을 추가하였고, 분자 정렬을 통해 필라멘트 제어능력을 향상시켰다[5, 6]. M. Zaheer 등은 액체금속을 poly(vinylidene fluoride-trifluoroethylene) (P(VDF-TrFE))를 포함한 여러 고분자 위에 형성하여 액체 금속 전극의 효과를 조사하였다[8]. P(VDF-TrFE)는 어닐링 온도에 따라 상변화가 큰 소재이기 때문에[9] 이에 상응하여 전기적 특성이 변화할 가능성이 있다. 그럼에도 불구하고 어닐링 온도가 P(VDF-TrFE) 고체 전해질 층을 가진 멤리스터의 전기적 특성에 미치는 영향에 대한 자세한 연구는 이루어지지 않았다.

본 연구에서는 어닐링 온도에 따른 P(VDF-TrFE) 멤리스터의 전기적 특성 변화를 면밀히 살펴보았다. 먼저 100°C 및 200°C의 온도에서 어닐링 한 뒤 얻은 P(VDF-TrFE) 박막의 표면 거칠기 및 두께를 조사하였다. 나아가 100°C 및 200°C의 어닐링 온도를 갖는 P(VDF-TrFE) 멤리스터를 제작하고, 소자의 전류-전압 및 데이터 유지 특성을 비교 분석하였다. 이를 바탕으로 P(VDF-TrFE) 멤리스터의 전기적 특성에 대한 어닐링 온도의 효과를 분석 및 평가하였다.

II. 본론

1. 멤리스터 소자 제작

그림 1(a)~1(b)에 멤리스터의 제작과정이 제시되었다. 200nm 두께의 실리콘 산화물 층을 갖는 실리콘 기판을 acetone과 isopropyl alcohol을 사용해 각각 15분씩 초음파 세척하였다. 열진공증착기(GVTECH, GVEV-2000-1501)를 사용하여 50nm 두께의 금(Au) 하부 비활성 전극을 0.1 nm/s 속도로 증착하였다. 고체 전해질 층을 형

성하기 위해서 vinylidene과 trifluoroethylene이 75:25 비율인 P(VDF-TrFE)를 cyclopentanone 용매에 5 wt.% 농도로 녹여 89°C에서 8시간 동안 스티어링 하여 용액을 제작하였다. 제작한 P(VDF-TrFE) 용액을 Au 전극이 형성된 기판 위에 3000 rpm에서 30초 동안 스핀코팅 하고 100°C 또는 200°C의 온도에서 2시간 동안 어닐링 하였다. 마지막으로, 상부 활성전극은 그림 1(c)와 같이 바이어스 상태에서 전도성 필라멘트를 형성하기 위해서 P(VDF-TrFE) 박막 위에 50 nm 두께의 은 상부 활성전극을 0.1 nm/s 속도로 열증착 하였다.

원자현미경(Shimadzu, SPM-9600)을 사용해 P(VDF-TrFE) 박막의 표면 형태를 분석하였다. 두께측정장비(KLA, Alpha-Step D-300)를 사용해 P(VDF-TrFE) 박막의 두께를 측정하였다. 반도체특성분석기(Hewlett Packard, HP 4551A)를 사용해 멤리스터의 전기적 특성을 측정하였다.

2. 박막 특성 분석

그림 1(d)와 1(e)는 각각 100°C, 200°C에서 어닐링 하여 얻은 P(VDF-TrFE) 박막 표면의 원자현미경 측정 결과이다. 100°C에서 어닐링 한 경우의 P(VDF-TrFE) (100P(VDF-TrFE)) 박막의 표면 거칠기 값은 평균 2.6 nm 인 것에 비하여, 200°C에서 어닐링 한 경우의 P

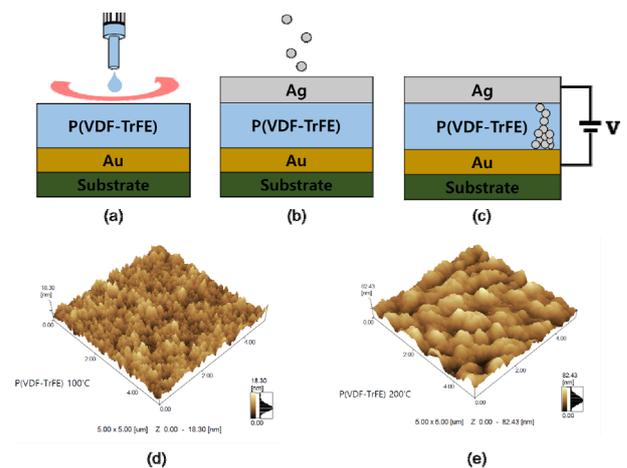


Fig. 1. Formations of (a) P(VDF-TrFE) solid electrolyte layer through spin-coating, (b) Ag active electrode layer through thermal deposition, and (c) conductive filament in the memristor, and AFM data of P(VDF-TrFE) annealed at (d) 100°C and (e) 200°C.

그림 1. (a) 용액공정을 통한 P(VDF-TrFE) 고체 전해질층 형성, (b) 열 진공 증착을 통한 Ag 활성 전극층 형성, (c) 멤리스터 내부 필라멘트 형성, (d) 100P(VDF-TrFE) 및 (e) 200P(VDF-TrFE) 박막의 표면 원자현미경 결과

(VDF-TrFE) (200P(VDF-TrFE)) 박막의 표면 거칠기 값은 평균 15.0 nm로 약 5배 컸다. 조건 별 5개의 샘플을 제작하여 그 두께를 측정한 결과, 100P(VDF-TrFE) 박막의 평균 두께는 약 180 nm, 200P(VDF-TrFE) 박막의 평균 두께는 약 150 nm로 20% 정도의 두께 차이가 있었다. 어닐링 과정 중 온도가 높아지면 고분자의 진동 에너지가 상승함에 따라 준결정 성질을 띠는 P(VDF-TrFE)의 배열된 정도와 상태에 변화가 일어난다. 이때 고분자의 이동과 그에 따른 빈 공간의 감소 때문에 표면 거칠기는 커지고 두께는 얇아지는 것으로 판단된다[10].

3. 메모리스터 전기적 특성 분석

어닐링 온도에 따른 메모리스터의 전기적 특성을 알아보기 위해 100P(VDF-TrFE) 메모리스터 (M100)와 200P(VDF-TrFE) 메모리스터 (M200)의 전류-전압 특성을 그림 2(a)와 2(b)에서 확인하였다. 실온에서 측정을 진행하였으며, 한계 전류는 3 mA로 설정하였다. 소자에 가해지는 전압 값이 증가함에 따라 필라멘트가 형성되며 전류가 증가하기 시작하고, 전류값이 한계 전류값과 같아지는 시점의 전압을 set voltage(V_{set})라고 정의하였다. 또한, 지우기 과정에서 원활한 필라멘트 파괴를 위해 한계전류 설정을 해제하였다. Reset voltage(V_{reset})는 첫 역방향 스위프와 두 번째 역방향 스위프의 전류값이 처음으로 같아질 때의 전압 값으로 정의하였다. 그림 2(c)와 2(d)는 각각 M100과 M200의 V_{set} 과 V_{reset} 를 정리한 것이다. M200의 평균 V_{set} 는 3.8 V, M100의 평균 V_{set} 는 8.1 V이다. M100 대비 M200의 경우 V_{set} 가 약 50% 감소하였다. 200P(VDF-TrFE) 박막은 100P(VDF-TrFE) 박막 보다 더 큰 표면 거칠기를 가져서 표면의 골짜기 영역과 돌출 영역의 높이 차이가 크다. 또한 200P(VDF-TrFE)는 두께가 더 얇다. 이에 따라 메모리스터의 상하부 전극에 인가되는 전압에 의해서 생성되는 전기장의 측면에서, M200은 M100보다 더 강한 국소 전기장이 형성된다. 이로 인해서 M200이 M100 보다 낮은 전압에서 필라멘트 형성이 이루어진 것으로 판단된다[11, 12]. 다음으로, M200의 평균 V_{reset} 은 -18.7 V, M100의 평균 V_{reset} 는 -13.9 V이었다. M100 대비 M200 소자의 V_{reset} 크기는 약 30%증가 하였다. 이러한 현상은 앞서 쓰기 과정에서 M200의 국소 전기장 특성 때문에, 금속 필라멘트가 M100 보다 더 두껍게 형성되어 필라멘트 파괴가 비교적 어려워졌기 때문이다. 어닐링 온도 조건 별 최소 20개 이상의 소자로부터 전기적 특성의 차이를 파악하였다.

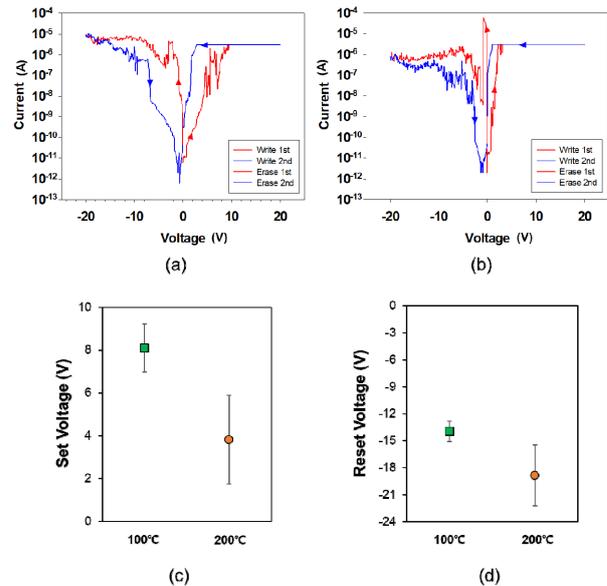


Fig. 2. I-V characteristics of the memristors with P(VDF-TrFE) annealed at (a) 100°C and (b) 200°C, and the variations in (c) the set voltage and (d) reset voltage according to the annealing temperature.

그림 2. (a) 100°C 및 (b) 200°C에서 어닐링 된 P(VDF-TrFE)를 갖는 메모리스터 소자의 전류-전압 커브, 어닐링 온도에 따른 (c) set voltage 및 (d) reset voltage의 변화

그림 3은 어닐링 온도 별 메모리스터의 메모리 유지 특성을 보여준다. 그림 3(a)와 3(b)는 각각 M100과 M200의 유지 측정 결과다. On-state와 off-state는 각각 set 과정과 reset 과정 후 활성 전극에 0.1 V를 인가하여 흐르는 전류를 의미한다. M100 소자는 그림 2(a)에서 이력 현상이 있는 특성이 관측되었음에도 불구하고 on-state와 off-state의 차이가 거의 없다. 즉, 메모리 유지 성능이 제대로 구현되지 않는 것을 알 수 있다. 반면, M200은 뚜렷이 구분되는 on-과 off-state의 전류를 갖는 안정적인 메모리 특성이 나타났다. 그러므로 P(VDF-TrFE) 메모리스터의 메모리특성을 얻기 위해서는 적절한 어닐링 온도가 필요하다는 것을 알 수 있다.

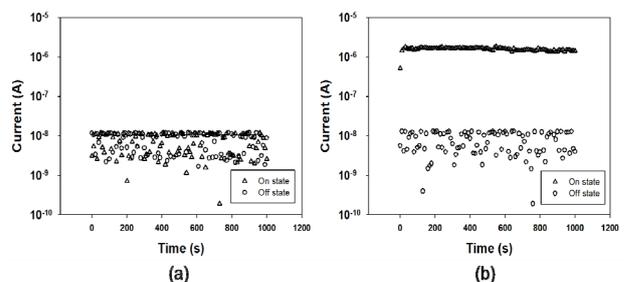


Fig. 3. Retention characteristics of the memristors with P(VDF-TrFE) annealed at (a) 100°C and (b) 200°C. 그림 3. (a) 100°C 및 (b) 200°C에서 어닐링 된 P(VDF-TrFE)를 갖는 메모리스터 소자의 메모리 유지 특성

III. 결론

본 연구는 어닐링 온도에 따른 P(VDF-TrFE) 고체 전해질 층을 가진 멤리스터의 전기적 특성변화를 분석했다. 원자현미경 분석 결과, 100P(VDF-TrFE) 대비 200P(VDF-TrFE) 박막의 표면 거칠기가 크고 두께는 얇은 것으로 나타났다. 이로 인하여 M200은 M100대비 더 낮은 V_{set} 와 더 큰 V_{reset} 를 보이고 뛰어난 메모리 특성을 보인다. 이는 M200의 큰 표면 거칠기와 얇은 두께로 인해서 강한 국소 전기장이 형성되기 때문인 것으로 이해된다. 본 연구 결과는 고분자 멤리스터의 효과적인 전기적 특성 제어를 위한 어닐링 온도의 중요성을 제시한다.

References

[1] B. Cho et al., "Organic resistive memory devices: performance enhancement, integration, and advanced architectures," *Adv. Funct. Mater.*, vol.21, no.15, pp.2806-2829, 2011.
DOI: 10.1002/adfm.201100686

[2] P. Sun et al., "Thermal crosstalk in 3-dimensional RRAM crossbar array," *Sci. Rep.*, vol.5, no.1, pp.1-9, 2015.

[3] S. H. Jo et al., "Nanoscale memristor device as synapse in neuromorphic systems," *Nano Lett.*, vol.10, no.4, pp.1297-1301, 2010.
DOI: 10.1021/nl904092h

[4] V. D. B. Yoei et al., "Organic electronics for neuromorphic computing," *Nature Electronics*, vol.1, no.7, pp.386-397, 2018.

[5] H.-L. Park et al., "Introduction of interfacial load polymeric layer to organic flexible memristor for regulating conductive filament growth," *Adv. Electron. Mater.*, vol.6, no.10, pp.2000582, 2020.
DOI: 10.1002/aelm.202000582

[6] H.-L. Park et al., "Control of conductive filament growth in flexible organic memristor by polymer alignment," *Org. Electron.*, vol.87, pp.105927, 2020.
DOI: 10.1016/j.orgel.2020.105927

[7] H.-L. Park et al., "Reliable organic memristors for neuromorphic computing by predefining a localized ion-migration path in crosslinkable

polymer," *Nanoscale*, vol.12, no.44, pp.22502-22510, 2020.

[8] M. Zaheer et al., "Liquid-Metal-Induced Memristor Behavior in Polymer Insulators", *pss (RRL)*, vol.14, no.5, pp.200050, 2020.

[9] R. I. Mahdi et al., "Hot plate annealing at a low temperature of a thin ferroelectric P (VDF-TrFE) film with an improved crystalline structure for sensors and actuators", *Sens.*, vol.14, no.10, pp.19115-19127, 2014.

[10] K. Min. Yu et al., "Controllable liquid water sensitivity of polymer-encapsulated oxide thin-film transistors," *Semicond. Sci. Technol.*, vol.35, no.11, pp.115006, 2020.

DOI: 10.1088/1361-6641/abad75/meta

[11] Y. Sun et al., "Guiding the growth of a conductive filament by nanoindentation to improve resistive switching," *ACS Appl. Mater. Interfaces*, vol.9, no.39, pp.34064-34070, 2017.

DOI: 10.1021/acsami.7b09710

[12] S.-H. Lee et al., "Interfacial Triggering of Conductive Filament Growth in Organic Flexible Memristor for High Reliability and Uniformity," *ACS Appl. Mater. Interfaces*, vol.11, no.33, pp.30108-30115, 2019.

DOI: 10.1021/acsami.9b10491

BIOGRAPHY

Woo-Seok Kim (Member)



2018~present : BS-MS integrated degree course of Creative convergence Engineering, Hanbat Nat'l Univ.

Eun-Kyung Noh (Member)

2017~2022 : BS-MS integrated degree course of Creative convergence Engineering, Hanbat Nat'l Univ.
2022~present : Research Engineer, Samsung Electronics

Jin-Hyuk Kwon (Member)

2021 : Ph. D. degree in Electronic and Electrical Engineering, Kyungpook National University.
2021~present : Postdoctoral researcher, Hanbat National University.

Min-Hoi Kim (Member)

2013 : Ph.D degree in Electrical and Computer Engineering, Seoul National University, Korea
2013~present : Professor, Hanbat Nat'l Univ.